

氏名	はしもとまさのり 橋本昌宣
学位(専攻分野)	博士(情報学)
学位記番号	情博第40号
学位授与の日付	平成13年3月23日
学位授与の要件	学位規則第4条第1項該当
研究科・専攻	情報学研究科通信情報システム専攻
学位論文題目	A Study on Performance Optimization for Digital CMOS Circuits in Physical Design (物理設計段階におけるデジタルCMOS回路の性能最適化に関する研究)
論文調査委員	(主査) 教授 小野寺秀俊 教授 中村行宏 教授 佐藤 亨

論文内容の要旨

本論文は、LSI物理設計段階における回路性能最適化手法について検討し、実験的にその有効性を確認したもので、8章からなっている。

第1章は序論であり、近年のLSI製造プロセスの微細化によって深刻化している配線遅延の増加の問題や、消費電力の増加、プロセス変動による遅延変動、配線間の結合容量によるクロストークノイズの問題などの研究背景について述べている。その後、本研究の目的、および行った研究の概要を述べている。

第2章では、セルの論理的に等価な入力端子をつなぎ変えることにより、端子ごとの特性の違いを利用して、消費電力と遅延時間を最適化する手法について検討を行っている。提案手法では、従来から考慮されていたセル内部の寄生容量だけでなく、ゲート入力容量の信号値依存性を特性最適化に利用している。実験的に効果を評価し、確実な回路性能の改善が実現できることを確認している。

第3章では、セルの駆動能力の調節によって信号遷移のタイミングを調節し、グリッチと呼ばれる不必要な遷移による消費電力を削減する手法を開発している。グリッチの見積もりを高速に見積もる統計的手法と、摂動を利用した効率の良い最適化アルゴリズムを考案している。グリッチの削減を考慮しない従来手法では電力が最小であると考えられていた最小面積の回路よりも、さらに消費電力を削減することが可能であることを実験的に示している。

第4章では、局所的なランダム遅延変動を考慮できる統計遅延解析手法と、統計遅延解析に基づいてセルの駆動能力を調節し、遅延、消費電力の最適化を行う手法の検討を行っている。統計遅延解析の精度を向上させ、各セルにおけるタイミングの余裕度を表す新たな指標を考案している。この指標により統計的な遅延モデル下で効率的な回路性能の最適化を実現している。実験により、遅延変動を考慮せずに最適化された回路に対して、さらなる遅延や消費電力の削減が可能であることを確認している。

本論文では、セル内のトランジスタサイズを連続的に変化させることにより、セルベース設計の枠組みの中でフルカスタム設計に近い品質の回路設計を実現する設計手法を提案している。第5章では、提案設計手法において、詳細配線後にセル内のトランジスタサイズを縮小し、消費電力を削減する手法を検討している。提案設計手法では詳細配線後に配線を変化させずにトランジスタサイズを変更することが可能であるため、最適化後のレイアウト変更による遅延違反を完全に回避することができる。従来のセルベース設計と比較して大幅な消費電力の削減が可能であることを実験的に示している。

第6章では、回路性能の最適化によって回路中のパス遅延値が均一化されるパスバランス効果が遅延の不確かさに与える影響について議論している。パスバランス化された回路では、回路遅延の統計的性質により遅延の不確かさに敏感になることを明らかにしている。また、一解決手法として第4章で議論した静的統計遅延解析が有効であることを確認している。

第5章で議論した設計手法では詳細配線後に配線を保存したままトランジスタサイズを縮小することが可能である。第7章では、この特徴を利用して、詳細配線後の隣接配線の情報を用いて精度良くクロストークノイズを見積もりながら、トラ

ンジスタサイズの調節を行い、クロストークノイズを削減する手法を開発している。高速にノイズ波形やピークノイズ電圧を解析的に求めることができるクロストークノイズモデルや、遅延制約下で効率的にノイズ電圧を削減することができる最適化アルゴリズムを考案している。提案手法の実験的評価を行い、詳細配線後のトランジスタ寸法の縮小により、クロストークノイズを削減できることを確認している。

第8章は結論であり、本論文で得られた結果を総括的にまとめている。

論文審査の結果の要旨

近年のLSIの微細化にともない、物理設計段階では配線抵抗の増大による配線遅延の増加や、集積度の向上による消費電力の増加、プロセス変動による遅延変動、配線間の結合容量によるクロストークノイズなどの問題が深刻化している。高性能で信頼性の高いLSIの設計には、遅延変動やクロストークノイズなどを考慮して、回路の遅延時間や消費電力、面積などを最適化する手法が不可欠となっている。

本論文は、消費電力、遅延変動、クロストークノイズの問題に注目し、それぞれの問題に対する物理設計段階での一解決手法を提案している。また、実験的に提案手法の有効性を評価を行っている。本論文で得られた主な成果は以下の通りである。

1. 消費電力の削減を行う手法として、次の3つの手法の提案を行った。入力端子の接続最適化手法、グリッチの削減を考慮したゲート寸法最適化手法、セル内トランジスタ寸法最適化手法である。いずれの手法も与えられた遅延制約下で消費電力を最小化することが可能である、また実設計で用いられている他の設計制約も考慮しており、実用的見地からの検討もなされている。
2. 遅延変動を考慮した回路性能最適化手法として、静的統計遅延解析に基づく遅延時間、消費電力の最適化手法の提案を行った。従来のマージンを設定して行っていた回路設計と比較し、高性能かつ必要十分な回路設計を実現した。
3. クロストークノイズの低減手法として、攻撃配線の駆動能力を低下させることによりノイズ電圧を削減する手法を提案した。詳細配線後に配線を変更させることなく最適化を行うことが可能であり、実用性が非常に高い。また、本論文で確立したノイズモデルは他のノイズ最適化手法にも広く適用可能である。
4. 回路性能最適化によって、最適化後の回路が遅延の不確かさに敏感になる問題を明らかにし、2.の成果である静的統計遅延解析が一解決法として有効であることを確認している。

以上、本論文は、LSI製造プロセスの微細化に伴う諸問題に対して、物理設計段階におけるいくつかの解決方法を提案するとともに、計算機上での実験を行い有効性を示している。本論文の内容は、学術上、応用上ともに寄与するところが少なくない。よって、本論文は博士(情報学)の学位論文として価値あるものと認める。また、平成13年2月19日実施した論文内容とそれに関連した試問の結果合格と認めた。