

氏名	でんの野 哲
学位(専攻分野)	博士(工学)
学位記番号	論工博第3485号
学位授与の日付	平成12年1月24日
学位授与の要件	学位規則第4条第2項該当
学位論文題目	移動通信における高速等化アルゴリズムに関する研究

論文調査委員 (主査) 教授 吉田 進 教授 酒井英昭 教授 中村行宏

論文内容の要旨

ディジタル移動通信は予想を遙かに上回る速度で普及し、現在では情報化社会における不可欠な情報通信基盤として認知されるに至っている。本論文は、TDMA(時分割多元接続)移動通信を対象として多重波フェージングや同一チャネル干渉などの影響を受ける劣悪な通信路において高効率高信頼度な情報伝送を実現する上で不可欠となる受信機復調回路技術に関する研究成果を取りまとめたものである。具体的には、トレーニング系列などのオーバーヘッド情報の短縮化が可能な復調回路の高速同期アルゴリズム、さらには多重波ひずみを克服する等化器に適用可能な適応信号処理アルゴリズム等に関する研究成果をまとめたもので、8章から構成されている。

第1章は序論であり、本論文の背景と目的、ディジタル移動通信における受信機復調回路に必要とされる機能について説明するとともに、本論文の構成について述べている。

第2章は移動通信において従来提案されてきた復調回路、適応等化器、ダイバーシチ受信技術の特徴と問題点を詳細に述べている。これらの従来技術を踏まえて、本研究で達成すべき技術的な課題を明確に示している。

第3章は位相検波器への適用を前提とした高速位相同期手法として、RLS(Recursive Least Square)アルゴリズムに基づく新しい手法を提案している。提案手法がRLSアルゴリズムに状態遷移項を導入するだけで、周波数オフセットのある通信路において高速同期を達成できることを理論的に示すと共に、16QAM(quadrature amplitude modulation)を適用したハードウェア実験系により検証している。

第4章ではMLSE(Maximum Likelihood Sequence Estimation)型適応等化器における高速通信路推定法として、VLMS(Variable-gain Least Mean Squares)アルゴリズムを提案している。VLMSアルゴリズムがRLSアルゴリズムに比較して格段に少ない演算量で、遜色のない高速同期特性を達成することを理論的に示すと共に、DSP(Digital Signal Processor)を適用したハードウェア実験により実証している。また、VLMSアルゴリズムを分数間隔サンプルに拡張する方法や、さらなる演算量削減方法についても考察している。

第5章は前章で提案したアルゴリズムを搭載したMLSE型等化器の処理速度の高速化を狙い、パイプライン処理あるいは並列処理を駆使した効率的かつ高速処理に適したハードウェア回路実現方法を提案している。実際に等化器を試作し、パイプライン処理により演算器の数を約8分の1に低減でき、理論値に漸近する誤り率特性を示すことを確認している。また、並列処理を適用したMLSE等化器をFPGA(Field Programmable Gate Array)を用いて試作し、1.5Mbit/sの信号を実時間処理可能なことを確認した後、LSI化を行い、100Mbit/sの信号が実時間処理可能であることを示した。

第6章は等化器を搭載可能な無線伝送装置に必要なダイバーシチ受信法やフレームタイミング同期法等の周辺技術の構成法を提案している。具体的には、MLSE型等化器や判定帰還型等化器(DFE)の簡易な最大比合成ダイバーシチ受信の実現法、CMA(Constant Modulus Algorithm)を適用したアナログ準同期検波器の不完全性補償法を提案し、主にシミュレーションにより特性を評価している。また、これらの技術を搭載したTDMA移動通信用の6.144Mbit/sの変復調装置を試作し、理論値に漸近する特性をもつことを確認している。

第7章は適応等化器あるいはダイバーシチ受信技術の実通信路における特性評価方法を提案している。一例としてDFE

と最大比合成ダイバーシチ受信を取り上げ、PHSの伝搬モデルにおける特性を評価すると共に、最大比合成ダイバーシチ受信により現行のシステム構成で最大1.5倍セル半径を拡大できることを示している。

第8章では以上の結果を総括すると共に、今後の課題について述べている。

論文審査の結果の要旨

本論文は、多重波フェージングや同一チャネル干渉等の影響を受ける劣悪な移動通信路において、高速高信頼度な情報伝送を実現する上で不可欠となる受信機復調回路技術について研究を行い、主に高速位相同期や各種適応等化器のための簡易かつ高能率デジタル信号処理アルゴリズムに関する研究成果をとりまとめたものであり、得られた主な成果は以下の通りである。

1. フェージング通信路における位相検波器への適用を前提とした高速位相同期手法としてRLS位相制御アルゴリズムを提案し、その高速同期特性を理論的に明らかにすると同時に、ハードウェア実験により特性を確認した。

2. MLSE(最尤系列推定)型等化器の通信路推定法として、単純な構成で高速同期が可能なVLMSアルゴリズムを提案した。さらに、分数間隔サンプルへの拡張方法ならびに演算量削減方法を提案し、提案アルゴリズムの特性を理論的に解析すると同時に、ハードウェア実験により解析結果を確認した。

3. パイプライン処理や並列処理を適用したMLSE型等化器の、効率的かつ高速処理を可能とする回路実現方法を提案した。実際に、ディスクリートICやFPGAを用いて等化器を試作し、パイプライン処理により著しく演算器の数を削減できることや、並列処理により高速処理が可能になることを実証した。

4. 適応等化器を搭載した無線伝送装置を構成する周辺回路の構成法を提案した。さらに、提案回路を搭載した6.144 Mbit/sの変復調装置を試作し、理論値に漸近する特性を示すことを確認した。

以上要するに本論文は、移動通信用受信機の高速同期および高信頼度復調を可能とする適応信号処理アルゴリズムについて研究を行い、劣悪な移動通信路における高速高信頼度情報伝送の可能性を明らかにしたものであり、学術上、実際上寄与するところが少なくない。よって、本論文は博士(工学)の学位論文として価値あるものと認める。また、平成11年11月22日、論文内容とそれに関連した事項について試問を行った結果、合格と認めた。