

氏名	堀田厚生
	ほっ た あつ お
学位の種類	工学博士
学位記番号	論工博第1590号
学位授与の日付	昭和58年5月23日
学位授与の要件	学位規則第5条第2項該当
学位論文題目	STUDIES ON BIPOLAR RANDOM ACCESS MEMORY INTEGRATED CIRCUITS (バイポーラ・ランダム・アクセス・メモリ集積回路に 関する研究)
論文調査委員	(主査) 教授 川端 昭 教授 佐々木昭夫 教授 田丸啓吉

論文内容の要旨

本論文はバイポーラ型の RAM (ランダム・アクセス・メモリ) 集積回路 (以下 IC と略す) の集積度向上と高性能化を目的とし、セル回路の高速化と低消費電力化、回路設計手法および回路試験法などについて研究した成果をまとめたもので、6章からなっている。

第1章は序論で、IC の分野におけるバイポーラ RAM・IC の位置づけを述べ、本研究の目的について述べている。

第2章では RAM の最も重要な基本回路であるセルに要求される諸条件を検討し、高速化と低消費電力化には読出電流 (I_R) と保持電流 (I_{ST}) の比が重要なパラメータであることを指摘している。さらに、この比を任意の大きさに設定できるスイッチド・コレクタ・インピーダンス (SCI) セルを新しく提案し、アドレス・アクセス時間 (t_{AA}) が 13~19 ns の 128ビット RAM を設計、試作し、 I_R/I_{ST} が 100 という高い値を実現して実証した。このインピーダンス切替えの考えは、その後のプロセス技術の進歩もあって、1979年には t_{AA} が 6 ns の 4Kビット RAM として開発されたことに触れている。

第3章では高速で低消費電力を目指した 4K ビット RAM の開発について述べている。1K ビット RAM に広く使用されているパラレル・ダイオードセルを用いて、同程度の t_{AA} と低消費電力の 4K ビット RAM を実現するには動作マージンが低下して設計できないことを明らかにし、このセルに PNP トランジスタを付加した新しいセルを提案した。とくに PNP トランジスタは抵抗の下部に埋め込む構造としてセルの占有面積の増加を抑え、 t_{AA} が 25 ns、消費電力 350 mW という高性能を実証した。

第4章ではメインフレーム・コンピュータのメモリ・アクセス・サイクルを高速化するためには、バッファ・メモリだけでなくストアリッジ・コントロール・ユニット中のテーブル・ルックアサイド・バッファ (TLB) およびバッファ・アドレス・アレイ (BAA) の高速化が必要なことを明らかにし、この目的に沿って一対のバイポーラ RAM・IC の開発について述べている。即ち、一つは 3Kビットの RAM と 470ゲートの論理回路を同一チップに集積した新方式の IC で、 t_{AA} が 6.7 ns と高速化が達成され、消費電力は 3.9Wであるとしている。もう一つの IC はバッファ・メモリに用いられる t_{AA} 5.5 ns、消費電

力 0.8W の 1K ビット RAM で、ショットキバリア・ダイオードを用いたパラレルダイオードセルを用い、消費電力をパッケージの熱抵抗から許される上限の 0.8W まで増加させ、各回路への電力配分が最適になるように設計する方法を述べている。さらにこの RAM を例にとり、回路の過渡解析を行うコンピュータプログラムを用いた RAM 回路設計手法を整理し、最適電流配分の手法についても提案している。

第 5 章では超高速バイポーラ RAM の試験法について述べている。まず高速 RAM の AC 特性を高精度に測定するために必要なテストの諸機能について検討を加え、1K ビット RAM の t_{AA} および書込みパルス幅を ± 300 ps の精度で評価した結果について述べている。また IC ソケットによる雑音の発生機構を明らかにし、リードソケットの利用を提案し、実測により雑音の低減を確認している。

第 6 章は結論をまとめたものである。

論文審査の結果の要旨

本論文はバイポーラ型の RAM (ランダム・アクセス・メモリ) 集積回路 (IC) の集積度向上と高性能化を目的とし、セル回路の高速化と低消費電力化、RAM 回路設計手法および高精度試験法に関する研究についてまとめたもので、得られた主な成果は次のとおりである。

1. RAM 回路の中で最も重要なメモリセルに要求される諸条件を分析し、高速化と低消費電力化に係るパラメータが、読出電流 (I_R) と保持電流 (I_{ST}) の比であることを明らかにした。さらにこの比を任意の大きさに設定できるスイッチド・コレクタ・インピーダンス (SCI) メモリセルを新しく提案し、アドレス・アクセス時間 (t_{AA}) が 13~19 ns の 128 ビット RAM を試作し、 I_R/I_{ST} が 100 の高い値を実現した。

2. 1K ビット RAM と同程度の高速度と消費電力をもつ 4K ビット RAM の開発を目指し、従来のパラレル・ダイオードセルには PNP トランジスタを付加することの必要性を理論的に明らかにし、セルの占有面積を増加することなく製造できる埋込み型構造を提案し、 t_{AA} が 25 ns、消費電力 350 mW を実現し、実用化した。

3. 3K ビットの RAM と 470 ゲートの論理回路が同一チップに集積した IC ($t_{AA}=6.7$ ns) と t_{AA} が 5.5 ns の 1K ビット RAMIC を開発し、これらを巧みに組合せて使用することにより大型計算機のサイクル時間の高速化を達成した。さらに、回路シミュレーションプログラムを用いた RAM の回路設計手法について考察を加え、最適電流配分の手法を提案している。

4. 高速 RAM の高精度試験に必要なメモリテストの使用法、寄生容量や寄生インダクタンスに基づく雑音の影響などについて検討を加え、試験法を確立した。

以上要するに本論文は、バイポーラ RAM の特長である高速性を生かし、集積度の向上と低消費電力化のための新しいセル回路を開発し、その設計法と試験法を確立して実用化に貢献したもので、工業上、学術上寄与するところが少なくない。よって本論文は工学博士の学位論文として価値あるものと認める。