

氏名	松本平八 まつもとへいはち
学位の種類	工学博士
学位記番号	論工博第1858号
学位授与の日付	昭和60年11月25日
学位授与の要件	学位規則第5条第2項該当
学位論文題目	高密度 MOS デバイスにおける、衝突電離に起因した 特性劣化に関する研究

論文調査委員 (主査) 教授 川端 昭 教授 松波弘之 教授 佐々木昭夫

### 論文内容の要旨

半導体集積回路は高密度化と大容量化を指向して進展を遂げているが、これらは主として寸法の微細化で達成されている。本論文は MOS (metal oxide semiconductor) デバイスの微細化に伴って生ずるホットキャリア現象の諸特性を詳細に検討し、その機構を明らかにするとともに、この現象が実際の LSI デバイスに与える影響を解明し、改善方法を提案して実証したもので、5章からなっている。

第1章は序論で、この研究の歴史的背景を概説し、この論文の目的と位置づけについて述べている。

第2章では、MOS デバイスで生ずるホットキャリア現象の生成機構を検討し、諸特性が良く説明できるモデルを提案している。即ち、まず n チャンネル MOS トランジスタについて、集積度の異なる3種類の試料を用意し、動作条件を変えてソース電流、ドレイン電流、基板電流およびゲート電流を詳細に測定した。一方、 $\text{SiO}_2$  膜への電子注入現象に簡単なモデルを導入した理論式を導き、実験結果をよく説明できることを示した。また、これらの結果から、微細化される程衝突電離現象が著しくなることを定量的に解明できることを明らかにした。さらに、衝突電離現象が起りにくいと言われる p チャンネル MOS についても同様の実験を行ない、その結果から必ずしも p チャンネル MOS が n チャンネル MOS より有利であるとは言えないことを示し、この理由として、Si-SiO<sub>2</sub> 界面の障壁モデルで説明できることを指摘している。さらに、衝突電離現象の温度依存性を実測し、電離係数と電子温度の周囲温度依存性に簡単なモデルを導入して理論的にも良く説明できることを示した。

第3章では、衝突電離現象に伴って、ゲート  $\text{SiO}_2$  膜に注入された電子の一部が、 $\text{SiO}_2$  膜中のトラップに捕獲され、MOS トランジスタの特性に劣化を惹き起す現象について解析している。まず、n チャンネル MOSFET (field effect transistor) について種々の温度とゲート電圧状態に保持したときの閾値電圧 ( $V_{th}$ ) の変化を詳細に測定した。これらの測定結果と第2章で述べたゲート電流のドレインバイアス依存性とを比較検討し、 $V_{th}$  の変化とゲート電流とに相関がみられることを指摘し、 $V_{th}$  の変化が  $\text{SiO}_2$  膜に注入された電子の一部が  $\text{SiO}_2$  膜中にトラップされる現象によることを明らかにした。しかし、ドレイン電圧に比べてゲート電圧が低い場合はゲート電流がほとんど流れないが、 $V_{th}$  の変化が著しくなるこ

と、およびさらに  $V_G$  がある一定値以下になると、 $V_{th}$  変化の飽和値が減少する結果を得た。これらの現象はゲート  $\text{SiO}_2$  膜中の電界とトラップ効率を考慮することによって定性的に説明できることを示した。さらに簡単なモデルを提案し、 $\text{SiO}_2$  膜中での捕獲電子の効果を考慮すると、 $V_{th}$  変化の実測結果をよく説明できることを明らかにした。また、 $V_{th}$  変化に及ぼす温度の効果について考察し、 $\text{SiO}_2$  膜中のトラップのエネルギー準位は伝導帯から 0.3 eV を中心に標準偏差 0.09 eV の正規分布をしているものと推定している。

第4章では、MOSRAM (random access memory) について衝突電離現象を生じて劣化を起すと、アクセスタイムの変化として明確に観測できることを示し、その原因が MOSFET における  $V_{th}$  変化で説明できることを明らかにした。この結果にもとづいて、RAM 内部で  $V_{th}$  変化を生じやすいトランジスタの設計指針を提案し、実際に実験を行って、アクセスタイムの劣化が防止できることを実証した。即ち、16Kと64Kビットダイナミック RAM について、種々の動作電圧と温度において動作エージングを行い、アクセスタイムの劣化が衝突電離に起因した MOSFET の  $V_{th}$  劣化と関係していることを示した。さらに RAM 内部の一部の MOSFET が  $V_{th}$  変化を生じていることを実測し、この結果を用いて回路シミュレーションにより RAM のアクセスタイムの劣化の原因となっていることを明らかにした。とくに、 $V_{th}$  変化を生じている MOSFET の動作を解析することにより、前章で述べた  $V_{th}$  変化を生ずる過酷な状態で動作していることを明らかにした。この改善方法として、劣化を生じやすい MOSFET の実効チャンネル長を増加させ、伝達特性を一定にするためチャンネル幅を多少増加させることにより衝突電離を防止することができ、アクセスタイムの劣化が防止できることを実証した。

第5章は結論で、本研究で得られた成果を総括するとともに、今後残された課題についてまとめている。

## 論文審査の結果の要旨

高密度化と大容量化を指向する半導体集積回路は、主として寸法の微細化によって達成されている。しかし、内部信号レベルの低下やシステム全体の使い易さの点から動作電圧は従来のまま据え置かれる傾向がある。本論文は MOS (metal oxide semiconductor) トランジスタにおいて、ピンチオフ領域などで発生する衝突電離現象が、微細化とともにデバイスの劣化の大きな原因となり得ることに注目し、その現象の諸特性を詳細に検討し、劣化の機構を明らかにし、改善策を提案したもので、得られた主な成果は次の通りである。

1. 飽和領域で動作している MOS トランジスタにおいて、観測される基板電流とゲート電流は、ドレイン側ピンチオフ領域における衝突電離に起因していることを明らかにし、デバイスの微細化にともなって著しくなることを示し、これらの諸特性が良く説明されるモデルを提案し、温度依存性も含めて理論式と実測値とが良く一致することを示した。

2. 移動度の小さい正孔を利用する p-MOS の方が n-MOS より衝突電離が起りにくいいため、前者が有利とされてきたが、実験の結果によると確かに電離係数は小さいが、ゲート  $\text{SiO}_2$  膜中の電界の影響でゲート電流がむしろ大きくなり、必ずしも有利とは言えないことを指摘し、今後の超微細化 MOSLSI の構造選択に新しい知見を提供している。

3. ゲート電流の一部がゲート  $\text{SiO}_2$  膜中のトラップに捕獲され、MOS トランジスタの閾値電圧 ( $V_{th}$ ) の変化を惹き起すことを明らかにした。また、トラップ現象のゲートバイアス依存性を考慮したモデルを提案し、これに基づく理論式で  $V_{th}$  変化が良く説明できることを示した。さらに、 $V_{th}$  変化の温度依存性は、有効なトラップ密度が温度上昇と共に減少することで説明され、実験の結果から  $\text{SiO}_2$  膜中のトラップのエネルギー準位が、伝導帯から  $0.3 \text{ eV}$  を中心に標準偏差  $0.09 \text{ eV}$  の正規分布をしていると推定している。

4. MOSRAM (random access memory) におけるアクセスタイムの劣化は、RAM 内部にある一部の MOS トランジスタの  $V_{th}$  劣化で説明できることを明らかにした。即ち、衝突電離を発生して  $V_{th}$  劣化を生ずるような動作状態にあるトランジスタはチャンネル長とチャンネル幅を増加して衝突電離を防止した回路設計を施し、アクセスタイムの劣化が抑制できることを実際に実証した。

以上要するに本論文は MOS トランジスタに生ずる衝突電離に起因する特性劣化の機構を解明し、簡単なモデルに基づく理論式を提案してその特性が良く説明できることを示し、超集積化デバイスの設計指針に新しい知見を加えたもので、学術上、実際上寄与するところが少なくない。

よって、本論文は工学博士の学位論文として価値あるものと認める。

また、昭和60年9月2日、論文内容とそれに関連した事項について試問を行った結果、合格と認めた。