

高密度MOS デバイスにおける
衝突電離に起因した特性劣化に関する研究

1985年

松 本 平 八

高密度MOSデバイスにおける
衝突電離に起因した特性劣化に関する研究

1985年

松 本 平 八

DOC

1985

17

電気系

目 次

第1章 序 論	1
第2章 MOSデバイスにおける衝突電離現象	7
2.1 序	7
2.2 実験試料	8
2.3 衝突電離に起因した基板電流とゲート電流	13
2.4 トランジスタ構造の効果	20
2.5 温度の効果	28
2.6 結 言	32
第3章 衝突電離に起因したMOS FETの劣化	36
3.1 序	36
3.2 実験試料および実験方法	37
3.3 MOS FETにおける V_{TH} シフト現象	37
3.4 バイアスの効果	40
3.5 理論式による解析	47
3.6 温度の効果	50
3.7 結 言	54
第4章 衝突電離に起因したMOS RAMの劣化	58
4.1 序	58
4.2 実験試料および実験方法	59
4.3 MOS RAMにおける t_{acc} シフト現象	65
4.4 バイアスおよび温度の効果	69
4.5 アクセスタイムの劣化機構	72
4.6 回路設計における改善策の検討	80
4.7 結 言	83
第5章 結 編	85

第1章 序 論

半導体集積回路 (IC) のアイデアは、1952年にイギリスのD.W.A. Dummerによって発表され、1958年には米国のテキサス・インスツルメント社からICの実体が報告された。その後、米国のフェアチャイルド社が開発したプレーナ技術により、さらに多くの部品を同時に作り込む技術が研究開発され、これが現在の超LSI時代への足掛かりとなっている。ICの歴史は、高密度化・大容量化の歴史であり、電子機器の小型化・高性能化・高信頼度化そして経済性の向上に貢献してきた。1964年に登場してきたMOS (Metal-Oxide-Semiconductor) 型ICは、この目的に最も適しており、1971年のIKビットRAM (Random Access Memory) 以降、メモリデバイスを代表選手として高密度化の先駆的役割を果たしてきた。

MOS型ICにおける高密度化・大容量化は、寸法の微細化でなされ、最小パターン寸法を例にとれば、1970年の $10\ \mu\text{m}$ に比べ、1980年には $2\sim 3\ \mu\text{m}$ となっている。パターン寸法の縮小と共に深さ方向の寸法も縮小され、ゲート SiO_2 膜厚は1970年の $1200\ \text{\AA}$ に比べ、1980年には $400\sim 500\ \text{\AA}$ となっている。これら寸法の微細化は、信頼性の点で、種々の問題をひき起こす。すなわち、①電界増加に起因したホットキャリア現象^{1)~3)}、② SiO_2 膜厚の減少に伴う SiO_2 膜欠陥率の増加^{4)~6)}、③ダイナミックRAMのソフトエラーに代表される内部信号レベルの低下^{7)~9)}、などである。特に、ホットキャリア現象は、今後ますます進められようとしているMOS ICの微細化傾向に決定的な制限を与えてしまうものである。

Dennard等は、MOS ICの微細化を進めていく手法として、比例縮小則を提案した¹⁰⁾。これは通常スケーリング則と呼ばれ、チャンネル長を $1/K$ にした時に、発生するパンチスルー現象を防ぐために基板濃度を K 倍にし、これによる閾値電圧 (V_{TH}) の増大および V_{TH} に対する基板バイアス依在性の増大を防ぐためにゲート SiO_2 膜厚を $1/K$ 倍とするものである。この時に、電源電圧も $1/K$ 倍されれば問題ないが、電源電圧の低下は、内部信号レベルの低下につながるためソフトエラーの問題から好ましくなく、また使用する側のシステム全体から考えても使いにくいという問題がある。そのため、電源電圧はスケーリングされない傾向にあり、本研究のテーマであるホットキャリア現象が問題となりだした。

MOSトランジスタを深い飽和領域で動作させている時に、ドレイン側P-N接合耐圧が“Soft”になるという現象は古くから観察されていた^{11), 12)}。Nakahara等は、1968年に、この現象がドレイン側高電界領域での衝突電離に起因していることを明らかにした¹³⁾。W.W. Latin等は、ドレイン側高電界領域の電界を二次元で考え、衝突電離による基板電流の理論式を提案した¹⁴⁾。さらに、Y.A. El-Mansy等は、表面にそった電界の変化も考慮して理論式をたて、基板電流の実測値と良く一致することを示している¹⁵⁾。

この基板電流が、MOSトランジスタのソース・ドレイン間の耐圧を低下させてしまうという現象は、1973年に、D.P. Kennedy 等によって発見された²⁾。この現象が、ソース・基板・ドレインで構成される寄生的なバイポーラトランジスタのON動作で良く説明されることを、多くの研究者が明らかにしている^{16)~19)}。古山等は、NチャネルMOSトランジスタにおいて、基板に流れ出していく正孔が空乏層中で加速され二次的な衝突電離を起こすことを発見した³⁾。二次的衝突電離で生成された電子は、基板中を拡散してRAMの誤動作をひき起こす可能性がある。R.K. Chatterjee も同様の現象を観測し、熱的リーク電流との比較を行なうことによって、現在の64KビットダイナミックRAMレベルのデバイスでは、あまり問題とならないことを示した²⁰⁾。

さて、NチャネルMOSの場合、一次の衝突電離で生成された電子の大部分はドレインに吸収される。しかし、ごく一部分の熱い電子はSiO₂膜中に注入される。注入された電子の一部がSiO₂膜中のトラップ準位に捕獲され、V_{TH}の変動をひき起こしてしまう。この現象の最初の報告は、1975年に、S.A. Abbas 等によってなされた¹⁾。T.H. Ning 等は、この現象をさらに詳しく研究し、実効チャネル長が1 μmのNチャネルMOSでは、5Vの電源電圧がすでに危険領域であると報告している²¹⁾。SiO₂膜中の電子トラップに関する研究は多く、歴史も古い。E.H. Nicollian等は、水と関係した電子トラップを発見しており、捕獲断面積は $1.5 \times 10^{-17} \text{ cm}^2$ であると報告している²²⁾。T.H. Ning 等は、Si-SiO₂界面の表面電荷と関係したプラスに帯電した電子トラップの諸特性を調べており、捕獲断面積として $3 \times 10^{-13} \text{ cm}^2$ の値を報告している²³⁾。中性のトラップに対しては、 $10^{-15} \sim 10^{-19} \text{ cm}^2$ の値が、多くの研究者から報告されている^{24)~26)}。

以上のように、MOSデバイスにおけるホットキャリア現象は、1970年代の初めから問題にされ出し、半ば頃から急速に活発な研究の対象となっている。これは、MOSデバイスの微細化とまさに対応しており、実際のMOSデバイスにおいて、ホットキャリア現象が無視できなくなり始めた時期と一致している。事実、超LSI時代の尖兵と呼ばれ、現在市場に出回っている64KビットダイナミックRAMにおいては、実用上問題のないレベルとはいえ、これらのホットキャリア現象が明確に観測される。次世代の256KビットダイナミックRAMそして1MビットダイナミックRAMにおいては、これらホットキャリアの問題が最大の技術的関門であるといっても、決して過言ではない。

本研究は、上記のような時代背景のもとになされたものであり、ホットキャリア現象の諸特性を詳細に検討し、そのメカニズムを明らかにすると同時に、この現象が実際のLSIデバイスに与える影響を解明し、改善方法を検討しようとするものである。

第2章では、^{27), 28), 33)}ホットキャリアの第一次現象である基板電流とゲート電流の諸特性を調べ、理論式との比較検討を行なう。まず、基板電流とゲート電流の実測値が、簡単なモデルで良く説明できることを示す。次に、トランジスタの構造がこの現象におよぼす影響を述べ、微細化プロセスになる程この現象が著しくなることを明らかにする。また、PチャネルMOSとNチャネルMOSにおけるゲート

電流の比較から、従来の知見と異なり、衝突電離が誘起する種々の問題に対し、PチャネルMOSがNチャネルMOSより必ずしも有利であるとはいえないことを明らかにする。そして最後に、これらの電流が低温になる程増加することを示し、この特性が、電離係数の温度依存性とSiO₂膜への電子注入確率の温度依存性により、理論的に説明可能であることを明らかにする。

第3章では、ゲートSiO₂膜に注入された電子の一部がSiO₂膜中のトラップに捕獲され、MOSトランジスタのV_{TH}が変化してしまう現象（V_{TH}シフト現象）を詳しく検討する。そしてこのV_{TH}シフト現象をモデル化し、LSI回路中の危険MOSトランジスタ（大きなV_{TH}シフトを起こす可能性のあるMOSトランジスタ）の予測を可能とする。また、従来の知見とは逆に、このV_{TH}シフト現象がゲート電位の低い程著しくなることを示し、この効果を考慮した理論式が実測値と良く一致することを明らかにする。さらに、このV_{TH}の変化が、基板電流やゲート電流の場合と同様に、低温になる程著しくなることを明らかにする。そして、理論式との比較から、この温度依存性に最も大きな影響を与えているのが、SiO₂膜中の実効的なトラップ密度の変化であるということを明らかにする。

第4章では、まず、MOS RAMにおいては、本現象がアクセスタイムの変化で明確に観測できることを示す。次に、アクセスタイムの変化に対するバイアスや温度の効果を詳細に調べ、これらの特性がMOSトランジスタにおけるV_{TH}シフト特性から良く説明できることを示す。また、アクセスタイムの変化を詳しく回路シミュレーションし、アクセスタイムの変化が、RAM内部の特定のトランジスタ（第3章のMOSトランジスタのV_{TH}シフト特性から予想される危険なバイアス状態となるトランジスタ）のV_{TH}シフトによりひき起こされていることを示す。そして最後に、以上の知見よりMOS LSI設計時の留意点を明らかにし、危険トランジスタのチャンネル長とチャンネル巾を増加させることで、アクセスタイムの劣化が防止できることを実証する。

第5章では、本研究で得られた成果を総括すると同時に、今後に残された課題についてまとめを行なう。

参 考 文 献

- 1) S.A. Abbas and R.C. Dockerty : Applied Physics Letters, Vol. 27, №3, P.147 (1975).
- 2) D.P. Kennedy, A. Phillips.Jr, and E.E. Davidson : IEEE IEDM Technical Digest, P.160 (1973).
- 3) 古山, 大内, 香山 : 電子通信学会技術研究報告, SSD 78-72 (1978).
- 4) N.J. Chou and J.M. Eldridge : Journal of Electrochemical Society, Vol. 117, № 10, P.1287 (1970).
- 5) C.M. Osburn and D.W. Ormond : Journal of Electrochemical Society, Vol. 119, № 5, P.597 (1972).
- 6) M. Hirayama, S. Asai, H. Matsumoto, K. Sawada and K. Nagasawa : Japanese Journal of Applied Physics, Vol. 20, № 5, P.L 329 (1981).
- 7) T.C. May and M.H. Woods : Proc. 1978 Int. Reliability Physics Symp., P.33 (1978).
- 8) S. Kirkpatrick: IEEE Trans. Electron Devices ED-26, P.1742 (1979).
- 9) M. Yamada, M. Taniguchi, T. Yoshihara, S. Takano, H. Matsumoto, T. Nishimura, T. Nakano and Y. Gamou : IEEE IEDM Technical Digest, P.578 (1980).
- 10) R.H. Dennard et al. : IEEE Journal of Solid-State Circuits, SC-9, P.256 (1974).
- 11) Wallmark and Johnson : Field Effect Transistors Physics, Technology and Applications, Prentice Hall, N.J. (1966).

- 12) Cobbold : Theory and Applications of Field Effect Transistors, Wiley-Interscience, New York (1970).
- 13) M. Nakahara, H. I. Wasawa and K. Yasutake : Proc. Inst. Elect. Electron. Engrs., Vol. 56, P.2088 (1968).
- 14) W.W. Latin and J.L. Rutledge : Solid-State Electronics, Vol. 16, P.1043 (1973).
- 15) Y.A. El-Mansy and D.M. Caughey : IEEE IEDM Technical Digest, P.31 (1975).
- 16) S.A. Abbas and E.E. Davidson : Proc. 1976 Int. Reliability Physics Symp., P.18 (1976).
- 17) T. Toyabe, K. Yamaguchi, S. Asai and M.S. Mock : IEEE IEDM Technical Digest, P.432 (1977).
- 18) E. Sun, J. Moll, J. Berger and B. Alders : IEEE IEDM Technical Digest P.478 (1978).
- 19) K. Miyamoto, H. Matsumoto, Y. Ohbayashi, I. Ohkura and H. Matsumura : Japanese Journal of Applied Physics, Vol.20, No 7, P.L523 (1981).
- 20) P.K. Chatterjee : IEEE IEDM Technical Digest, P.14 (1979).
- 21) T.H. Ning et al. : IEEE Trans. Electron Devices, ED-26, P.346(1979).
- 22) E.H. Nicollian and C.N. Berglund : Journal of Applied Physics, Vol. 42, No 13, P.5654 (1971).

- 23) T.H. Ning, C.M. Osburn and H.N. Yu : Applied Physics Letters,
Vol. 26, № 5, P.248 (1975).
- 24) J.M. Aitken and D.R. Young : Journal of Applied Physics, Vol. 49,
№ 6, P.3386 (1978).
- 25) T.H. Ning : Journal of Applied Physics, Vol. 49, № 7, P.4077 (1978).
- 26) D.R. Young, E.A. Irene, D.J. Dimaria, R.F. Dekeersmaecker and H.Z.
Massoud : Journal of Applied Physics, Vol. 50, № 10, P.6366 (1979).
- 27) H. Matsumoto, K. Sawada, S. Asai, M. Hirayama and K. Nagasawa :
IEEE Trans. Electron Devices, ED-28, № 8, P.923 (1981).
- 28) 宮本, 松本 : 信学論 (C) 投稿中
- 29) H. Matsumoto, K. Sawada, S. Asai, M. Hirayama and K. Nagasawa :
Japanese Journal of Applied Physics, Vol. 19, № 10, P.L574 (1980).
- 30) Y. Sato, K. Miyamoto and H. Matsumoto : Japanese Journal of Applied
Physics, Vol. 22, № 4, P.L221 (1983).
- 31) H. Matsumoto, K. Sawada, S. Asai, M. Hirayama and K. Nagasawa :
Japanese Journal of Applied Physics, Vol. Supplement 20-1, P.255
(1981).
- 32) M. Yamada, H. Matsumoto, T. Kobayashi, M. Kumanoya, M. Taniguchi
and T. Nakano : Japanese Journal of Applied Physics, Vol. Supplement
22-1, P.59 (1983).
- 33) H. Matsumoto, K. Miyamoto, Y. Sato and S. Ishida : Japanese Journal
of Applied Physics, Vol. 23, № 8, P. L546 (1984).

第2章 MOSデバイスにおける衝突電離現象

2.1 序

MOSトランジスタを深い飽和領域で動作させている時に、ドレイン側P-N耐圧が“soft”になるという現象は、古くから良く知られている。^{1),2)}すなわち、P-N接合耐圧以下の電圧領域におけるリーク電流が増加し、接合耐圧付近での電流-電圧特性がなめらかになってしまう現象である。Nakahara等は、この現象がドレイン側高電界領域での衝突電離に起因していることを実験的に明らかにした。³⁾すなわち、ドレイン側高電界領域での衝突電離により生成された電子・正孔対のうちチャネルキャリアでない方のキャリアが基板中に流れ出し、リーク電流として観察されるためである。H. Martinot等は1971年に、この現象を初めて理論的に解析した。H. Martinot等がドレイン側高電界領域の電界を一次的に考えているのに対し、W.W. Latin等は、この電界にFrohman-Berntchkowsky等の提案している二次元モデルを用いて理論解析した。⁴⁾さらに、Y.A. El-Mansy等は、表面にそっての電界の変化も考慮して理論式を提案している。⁵⁾

衝突電離により生成された熱い電子の一部は、ゲートSiO₂膜中に注入され得る。このゲート電流の一部は、ゲートSiO₂膜中のトラップ準位に捕獲され、MOSトランジスタの閾値電圧を変化させてしまう。^{6)~8)}また、ゲート電極が外部に接続されていない浮遊ゲート型MOSメモリ(FAMOSメモリ)においては、ゲート電流がすべてゲート電極に蓄えられてしまい、いわゆる“soft write”故障^{*}が引き起こされる。⁹⁾P.E. Cottrell等は、ゲート電流を精密に測定し、バイアス依存性やトランジスタ寸法依存性を明らかにした。¹⁰⁾B. EuzentやB. Eitan等は、FAMOS構造のトランジスタを用いて、浮遊ゲート中の電荷量からゲート電流値を逆算するという方法を提案している。^{11),12)}この方法の特長は、 10^{-16} Aというような微小電流でも測定可能であるということと、測定誤差の原因となるチップ発熱を最小限に抑えることができるという点である。ゲート電流の理論解析は、まだ不十分な状態であり、多くの報告があるが、すべての特性を完全に説明できるモデルはない。基板電流やゲート電流の温度依存性に関しては、T. H. NingやB. Eitan等の報告があり、^{12),17)}温度の低下にと
^{13)~16)}もなう電流の増加が確認されている。

本章では、従来の研究で不足していた基板電流やゲート電流に対するトランジスタ構造の影響を中心に検討した。特に、PチャネルとNチャネルの比較や微細化プロセスの影響を定量的に検討した。^{8),18),28)}

* FAMOSメモリにおいては、FAMOSトランジスタのドレインと基板間をアバランシェ降伏させ、浮遊ゲートに多量の電子を注入した状態を書き込み状態と称する。浮遊ゲートに過剰電子がない通常の状態は消去状態という。読み出し動作時に発生するゲート電流は浮遊ゲート中の過剰電子を徐々に増加させる。この読み出し動作による“消去”から“書き込み”へのゆるやかな状態変化を“soft write”故障という。

また、基板電流やゲート電流の温度依存性に関しても半定量的解析を行ない、理論値と実測値が良く一致することを明らかにした。⁸⁾

2.2 実験試料

本研究で用いた実験試料は、すべてSiゲートMOSプロセスで作製したものであり、その基本的な製造工程を図2.1に示す。伝導キャリアが電子であるか正孔であるかによってNチャネルMOSとPチャネルMOSに分けられる。以下図2.1にしたがって、NチャネルMOSを中心に、製造方法を簡単に説明する。

a) シリコン単結晶

比抵抗 $17 \sim 23 \Omega \cdot \text{cm}$ のP型(100)のシリコン単結晶ウエハを用いた。PチャネルMOSの場合には、リンのイオン注入を行ない、N型ウェルを作製した。ウエハ径は $4'' \phi$ 、厚みは $280 \pm 10 \mu\text{m}$ である。

b) SiO_2 膜および Si_3N_4 膜の生成

まず、水蒸気を含む酸素中で、シリコン単結晶表面を 950°C で酸化し、 500\AA の SiO_2 膜を生成する。その上に、 Si_3N_4 膜をCVD(Chemical Vapor Deposition)法で 1000\AA 堆積した。この Si_3N_4 膜は、素子間を分離するための厚い SiO_2 膜(フィールド SiO_2 膜)を部分的に作るためのマスクとして用いている。この方法は、素子表面の凹凸を減少させ、段差部におけるAl配線の断線を防止するという利点がある。下地の SiO_2 膜は、 Si_3N_4 膜をエッチングする際にシリコン基板が同時にエッチングされてしまうことを防止している。また、下地 SiO_2 膜は、シリコン基板と Si_3N_4 膜の熱膨張係数の違い*によるウエハの彎曲で Si_3N_4 膜に亀裂が生じることを防止する役割もはたしている。

c) 写真製版およびフィールドドーピング

フィールド SiO_2 膜領域のパターンを写真製版し、 Si_3N_4 膜をエッチングして SiO_2 膜を露出させる。NチャネルMOSでは、フィールド SiO_2 膜下のSi表面が反転しやすくなっているため、ホウ素をイオン注入し(フィールドドーピング)、これを防止する。

* 熱膨張係数(線膨張率)

SiO_2	:	$0.5 \times 10^{-6}/^\circ\text{C}$
Si_3N_4	:	$4 \times 10^{-6}/^\circ\text{C}$
Si	:	$2.5 \times 10^{-6}/^\circ\text{C}$

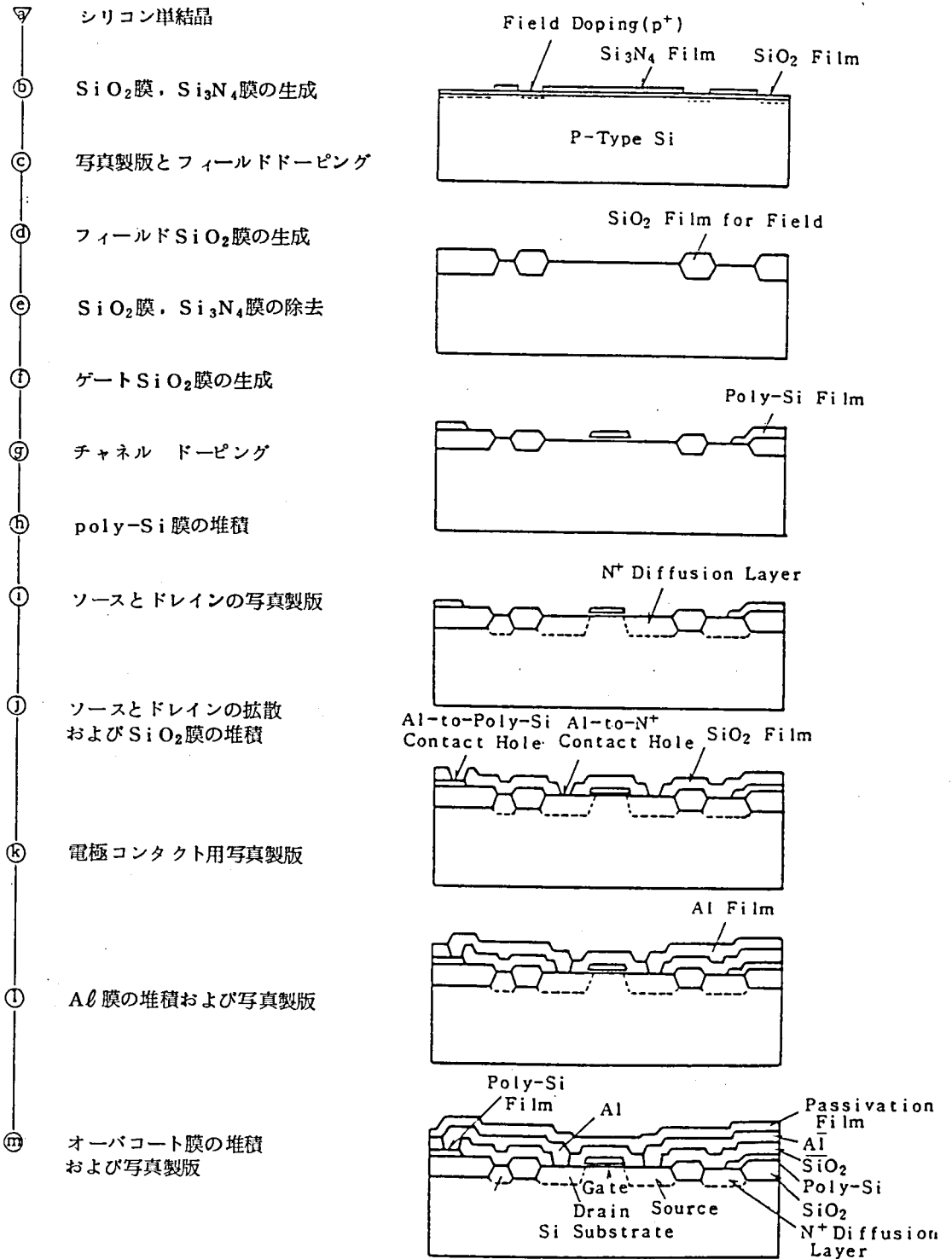


図2.1 SiゲートMOS LSIの製造工程

d) フィールド SiO_2 膜の生成

フィールド SiO_2 膜は MOS 素子間を分離するための厚い SiO_2 膜であって、水蒸気を含む酸素中でシリコン単結晶表面を 950°C で酸化して生成した。

e) SiO_2 膜および Si_3N_4 膜の除去

フィールド SiO_2 膜以前に生成した SiO_2 膜および Si_3N_4 膜をエッチングして全面除去する。

f) ゲート SiO_2 膜の生成

MOS のゲート絶縁膜としての SiO_2 膜は、 H_2 と O_2 を反応させた H_2O 雰囲気中で 950°C で熱酸化し、その後に、乾燥窒素中において 1050°C でアニールした。

g) チャネルドーピング

適正な閾値電圧を得るため、チャネル領域にホウ素をイオン注入した (チャネルドーピング)。

h) 多結晶シリコン膜の堆積

ゲート電極および配線用の多結晶シリコン膜 (poly-Si 膜) を CVD 法で堆積する。

i) ソースとドレインの写真製版

トランジスタのソースとドレイン領域のパターン転写を行ない、その後に poly-Si 膜をエッチングする。

j) ソースとドレインの拡散および SiO_2 膜の堆積

ソースとドレインの拡散領域を作るため、Nチャネル MOS ではヒ素やリンを、Pチャネル MOS ではホウ素を拡散する。そして、次に CVD 法でリンを含んだ SiO_2 膜を堆積し、この SiO_2 膜を 1000°C 、 $\text{N}_2 + \text{O}_2$ 雰囲気中で熔融させることにより、表面をなだらかとした。

k) 電極コンタクト用写真製版

ソースとドレインおよび poly-Si に対する $A\ell$ 配線の接触穴 (コンタクトホール) のパターンを転写し、 SiO_2 膜をエッチングする。

l) $A\ell$ 膜の堆積および写真製版

内部配線用の $A\ell$ 薄膜をスパッタ装置で堆積し、 $A\ell$ 配線パターンを転写して不必要な $A\ell$ 膜をエッチングする。

m) オーバコート膜の堆積および写真製版

表面保護用のオーバコート膜を堆積し、外部端子取り出し用の電極パターンを転写してエッチングし、ウエハ製造工程を完了する。

本章で用いた実験試料は、Nチャネル Si ゲート MOS および Pチャネル Si ゲート MOS のトランジスタであり、その構造を図 2.2 に示す。Nチャネル MOS は $17\sim 23\Omega\cdot\text{cm}$ の P 型 (100) 基板上に作製し、Pチャネル MOS は、同様の基板上にリンを $3\times 10^{12}/\text{cm}^2$ イオン注入した拡散深さ

6.8 μm のN型ウェル上に作製した。実験試料は、表 2.1 に示す 4 種類のプロセスを用いて作製した。種々の実効チャネル長のトランジスタを作製しており、表 2.1 に示すように 1 μm ~ 5 μm の範囲にある。また、ゲート電極は、プロセス A, B, C, D ともすべて N^+ 型の poly-Si で構成されている。同じ N チャネル MOS で比較すると、プロセス A は 16 K ビットダイナミック RAM に、プロセス B は 64 K ビットダイナミック RAM に、プロセス C は 256 K ダイナミック RAM にそれぞれ対応し、プロセス A, プロセス B, プロセス C の順に、より高集積度を指向した微細化プロセスとなっている。

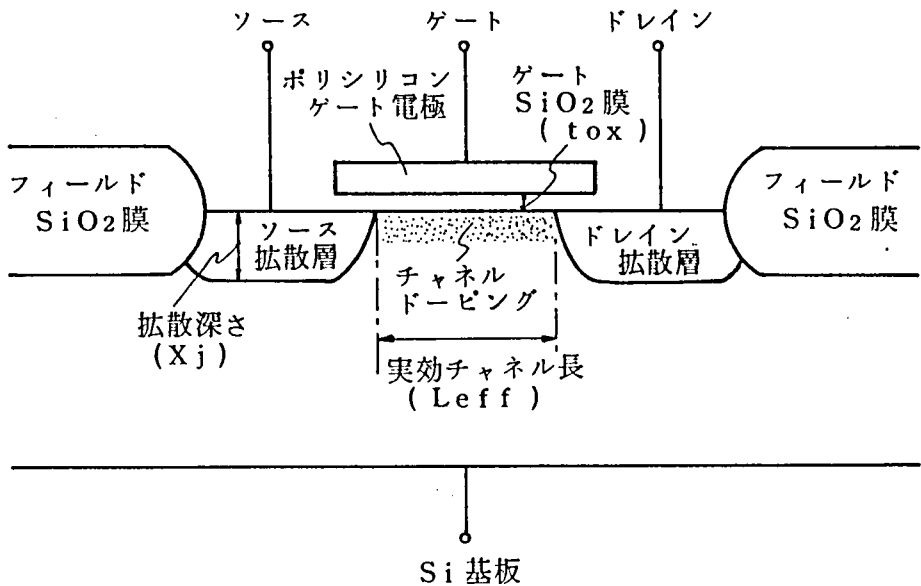


図 2.2 Si ゲート MOS トランジスタの基本的構造

表2.2 実験試料の分類

プロセス	タイプ	Si基板	ソースと ドレイン	拡散深さ	チャンネル ドーピング	ゲート SiO ₂ 膜厚	実効チャンネル長
プロセスA	N-チャンネル MOS	17~23 Ω·cm (100)の P型基板	PH ₃ 熱拡散	1.0 μm	B イオン注入 $2 \times 10^{11} / \text{cm}^2$	850 Å	2 μm ~ 5 μm
プロセスB			Asイオン注入	0.5 μm	B イオン注入 $4.5 \times 10^{11} / \text{cm}^2$	500 Å	1 μm ~ 5 μm
プロセスC			Asイオン注入	0.85 μm	B イオン注入 $9 \times 10^{11} / \text{cm}^2$	350 Å	1 μm ~ 5 μm
プロセスD	P-チャンネル MOS	上記基板上に形 成されたN型 ウェル	B イオン注入	0.7 μm	B イオン注入 $6 \times 10^{11} / \text{cm}^2$	400 Å	1.5 μm ~ 5 μm

2.3 衝突電離に起因した基板電流とゲート電流

MOSトランジスタの動作において、チャンネルにそったドレインからソースへの電界は、良く知られているように、均一ではなくドレイン端で最大となる¹⁹⁾。特に飽和領域動作の場合は、ドレイン拡散層にまでチャンネルが達し得ないため、ドレイン側に狭い空乏化した領域（ピンチオフ領域）が形成される。ドレイン・ソース間の電圧の大部分をこの狭い領域でささえることになるので、ピンチオフ領域は非常に高電界となる。電界が 10^5 V/cm 以上になると、ホットキャリア現象が観測され始める。以下、この衝突電離現象の概要を図 2.3 に示す Nチャンネル MOS で説明する。チャンネル領域からピ

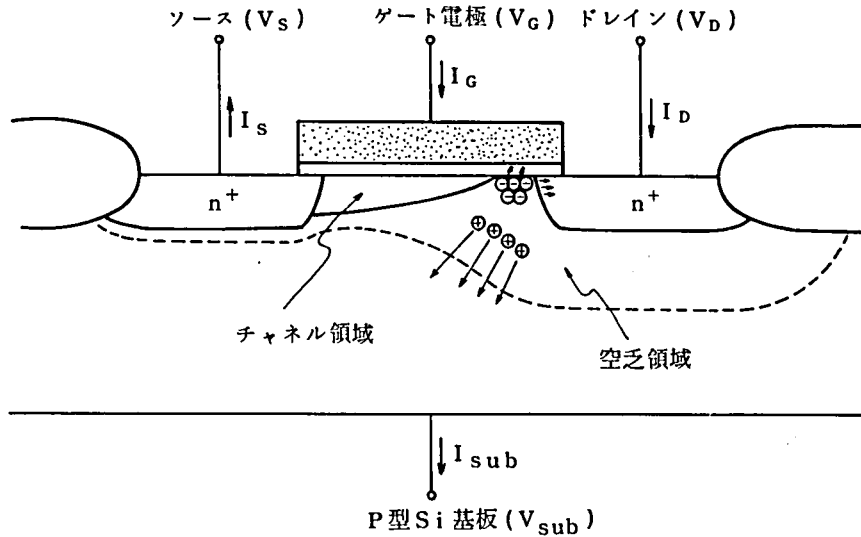


図 2.3 N-チャンネル MOS トランジスタにおける
衝突電離現象を示すモデル図

ンチオフ領域に注入された電子は、高電界で加速されて衝突電離を起こすに十分な程熱くなり、電子・正孔対を生成する*。生成された電子のほとんどすべてはドレインに吸収され、ドレイン電流 I_D となる。しかし、ごく一部分の熱い電子は SiO_2 膜中に突入して、ゲート電流 I_G として観測される。生成された正孔のほとんどすべては、Si 基板に吸収され、基板電流 I_{sub} となる。したがって、ソース電流を I_s とすると次式が成り立つ。

$$I_s + I_{\text{sub}} = I_D + I_G \quad \dots\dots\dots (2-1)$$

* 電子・正孔対を生成するのに必要なキャリアの最小エネルギー (E_i) はほぼ $E_i = \frac{3}{2} E_g$ (E_g : バンドギャップ) で表わされ²³⁾、Si に対しては 1.6 eV の値が得られている²⁶⁾。

I_G は I_D , I_S , I_{sub} と比較して無視できる程小さいので、一般的には (2-1) 式を (2-2) 式のように考えても問題ない。

$$I_S + I_{sub} = I_D \quad \dots\dots\dots (2-2)$$

さて、ピンチオフ領域をチャンネルにそった方向に dx ずつの微小領域に分割し、それぞれの領域で生成される過剰キャリアを dn とすると、 N を注入キャリア数、 α_i を電離係数として、

$$dn = N\alpha_i dx \quad \dots\dots\dots (2-3)$$

の関係が成り立つ。ピンチオフ領域に発生する過剰キャリアの総数 n は、ピンチオフ領域の長さを l として、

$$n = \int_0^l (N + dn) \alpha_i dx \quad \dots\dots\dots (2-4)$$

で表わされる。本論文で取り扱う通常の MOS トランジスタ動作においては、 $N \gg dn$ であるから、(2-4) 式は次のように表わされる。

$$n = \int_0^l N \alpha_i dx \approx N \alpha_i l \quad \dots\dots\dots (2-5)$$

過剰キャリアのために、ドレイン電流 I_D とソース電流 I_S の間に差が生じ、この差が基板電流 I_{sub} となるわけであるから、(2-5) 式を電流の形で表わすと、

$$I_{sub} = I_S \alpha_i l = \beta I_S \quad \dots\dots\dots (2-6)$$

となり、 β を増倍係数と称する。ドレインの電位を V_D 、チャンネル領域の端 (ピンチオフ領域と接する部分) の電位を $V_{D\text{ sat}}$ とすると、ピンチオフ領域の長さ l は次式で表わされる。

$$l = (V_D - V_{D\text{ sat}}) / E \quad \dots\dots\dots (2-7)$$

E : ピンチオフ領域の平均電界

$V_{D\text{ sat}}$ および平均電界 E に関しては、D. Frohman-Bentchkowsky 等の報告²⁰⁾があり、次のように表わされる。

$$V_{D\text{ sat}} = V_G - V_{FB} - 2\phi_F + \frac{\epsilon_r(\text{Si})\epsilon_0 q N_B}{C_0^2} \left(1 - \sqrt{1 + \frac{2C_0^2 (V_G - V_{FB})}{\epsilon_r(\text{Si})\epsilon_0 q N_B}} \right) \dots\dots\dots (2-8)$$

$$E = \left(\frac{q N_B}{2\epsilon_r(\text{Si})\epsilon_0} \right)^{1/2} (V_D - V_{D\text{ sat}})^{1/2} + 0.2 \frac{\epsilon_r(\text{ox})}{\epsilon_r(\text{Si})} \left(\frac{V_D - V_{G'}}{\text{tox}} \right) + 0.6 \frac{\epsilon_r(\text{ox})}{\epsilon_r(\text{Si})} \left(\frac{V_{G'} - V_{D\text{ sat}}}{\text{tox}} \right) \dots\dots\dots (2-9)$$

$$V_{G'} = V_G + Q_{SS} / C_0 \quad \dots\dots\dots (2-10)$$

ここで、 q は電子の電荷、 N_B はSi基板の不純物濃度、 $\epsilon_r(\text{Si})$ はSiの比誘電率、 $\epsilon_r(\text{ox})$ は SiO_2 の比誘電率、 ϵ_0 は自由空間の誘電率、 t_{ox} はゲート SiO_2 膜の膜厚、 Q_{SS} はSi-SiO₂界面の固定電荷、 C_0 は単位面積当りのゲート容量、 V_{FB} はMOSトランジスタのフラットバンド電位、そして ϕ_F は基板のフェルミ電位である。また、電離係数 α_i は次式のように表わされる。^{4) 5), 21) ~ 23)}

$$\alpha_i = a \exp(-b/E) \dots\dots\dots (2-11)$$

a, b : 定数

さて、次にゲート電流について考える。衝突電離の著しいドレイン近傍の高電界領域には、多量の熱い電子や正孔が存在する。多くの研究者が明らかにしているように、^{例えば 27)} Si-SiO₂界面のエネルギー障壁は、電子と正孔でかなり異なり、電子にとっては3.1 eVであるが正孔にとっては3.8 eVとなっている。また、正孔は電子と比べ平均自由行程が短いため、電子よりは熱くなりにくい。そのため、SiO₂膜中へのキャリアの注入を考える場合、正孔の注入確率は電子より極めて低く、一般的に電子の注入のみ考えておけばよい。SiO₂膜への電子の注入に関し、二種類のメカニズムが考えられる。一つは、Si-SiO₂界面のエネルギー障壁を飛び越えての注入であり、もう一つはSiO₂膜の伝導帯へのトンネル注入である。SiO₂膜への熱い電子のトンネル注入を厳密に議論するには、熱い電子のエネルギー分布を知る必要がある。ここでは簡単に、ある一定値以上のトンネル確率を持つ熱い電子は、エネルギー障壁を飛び越えていく電子と全く同じようにSiO₂膜に注入され得ると仮定する。トンネル確率は熱い電子のエネルギーが増加するにつれて増加するので、上記の仮定は、次のように、SiO₂膜への電子の注入現象を単純化する。すなわち、Si-SiO₂界面のエネルギー障壁を飛び越え得る熱い電子だけがSiO₂膜に注入されると考えることができ、トンネル注入は実質的エネルギー障壁の減少で代用される。図2.4にドレイン近傍でのMOS構造のエネルギー準位図を示す。図はNチャネルMOSの場合の例であり、(a)が $V_G > V_D + V_{\text{FB}}$ のバイアス状態に対応し、(b)が $V_G < V_D + V_{\text{FB}}$ のバイアス状態に対応している。

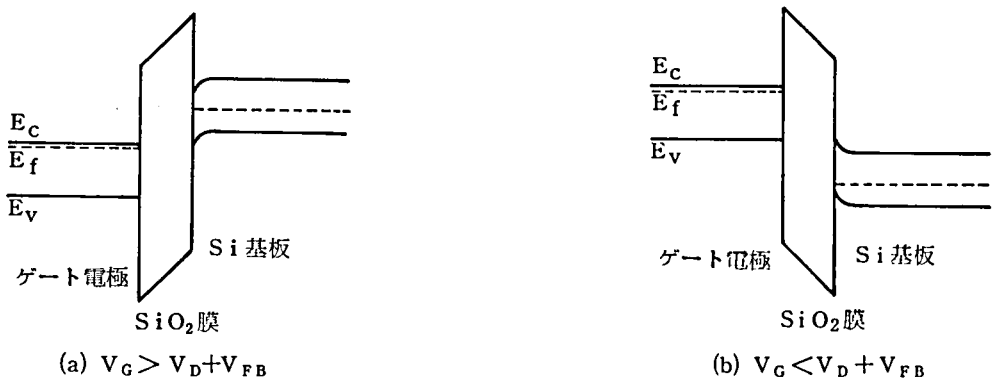


図2.4 ドレイン近傍でのMOS構造のエネルギー準位図

$V_G > V_D + V_{FB}$ の場合

Si-SiO₂ 界面のエネルギー障壁 ϕ は、鏡像力に起因したショットキー効果として知られているように、SiO₂ 膜中の電界を E_{ox} として、見かけ上次のように減少する。

$$\phi = 3.1 \text{ eV} - (q^3 / 4\pi\epsilon_r(\text{ox})\epsilon_0)^{1/2} E_{ox}^{1/2} \dots\dots\dots (2-12)$$

次にトンネル注入であるが、エネルギー障壁の頂上から W だけエネルギーの低い電子のトンネル確率 TP は次式で表わされる。²³⁾

$$TP = \exp(-4(2m^*)^{1/2} W^{3/2} / 3qh E_{ox}) \dots\dots\dots (2-13)$$

ここで、 m^* は電子の実効質量、 h は $h / 2\pi$ であり、 h はプランクの定数である。

一定のトンネル確率に対して (2-13) 式は次のように書き換えられる。

$$W = [-(3qh / 4(2m^*)^{1/2}) E_{ox} \ell_n(TP)]^{2/3} \dots\dots\dots (2-14)$$

つまり、トンネル注入によるエネルギー障壁の実質的減少は、 $E_{ox}^{2/3}$ に比例する。以上のことから、Si-SiO₂ 界面の実質的なエネルギー障壁 ϕ は次のように書き換えられる。

$$\phi = 3.1 \text{ eV} - (q^3 / 4\pi\epsilon_r(\text{ox})\epsilon_0)^{1/2} E_{ox}^{1/2} - A E_{ox}^{2/3} \dots\dots\dots (2-15)$$

T. H. Ning 等は、実験的に A の値を求め、 $A = 1 \times 10^{-5} \text{ e}(\text{V}\cdot\text{cm})^{1/2}$ とすることで、実験データが良く説明できることを示した。¹⁷⁾ SiO₂ 膜中に注入された電子はほとんど全てゲート電極に達し得るので、 ϕ をゲート電流に対するエネルギー障壁と考えることもできる。

$V_G \leq V_D + V_{FB}$

$V_G \leq V_D + V_{FB}$ というバイアス状態においては、Si-SiO₂ 界面のエネルギー障壁を飛び越えた電子がゲート電極に到達するには、さらに $e E_{ox} t_{ox}$ のエネルギーが必要となる。したがって、ゲート電流を考える場合、エネルギー障壁 ϕ は次のように表わされる。

$$\phi = 3.1 \text{ eV} + e E_{ox} t_{ox} - (q^3 / 4\pi\epsilon_r(\text{ox})\epsilon_0)^{1/2} E_{ox}^{1/2} - A E_{ox}^{2/3} \dots\dots\dots (2-16)$$

以上のことから、ゲート電流 I_G に対して次の表現が可能となる。

$$\begin{aligned} I_G &= I_{sub} P(\phi) \\ &= I_{sail} P(\phi) \\ &= I_{sail} P_0 \exp(-\phi / kTe) \dots\dots\dots (2-17) \end{aligned}$$

ここで、 $P(\phi)$ は電子がゲート電極に到達できる確率、 P_0 は定数、 k はボルツマン定数、 Te は電子温度である。

さて、以上のように、 I_s 、 I_{sub} 、 I_G の理論式を示した。次に、NチャネルMOSでの実測データとして、 I_s 、 I_{sub} 、 I_G のゲート電圧依存性の一例を図2.5に示す。ソース電流は、当然

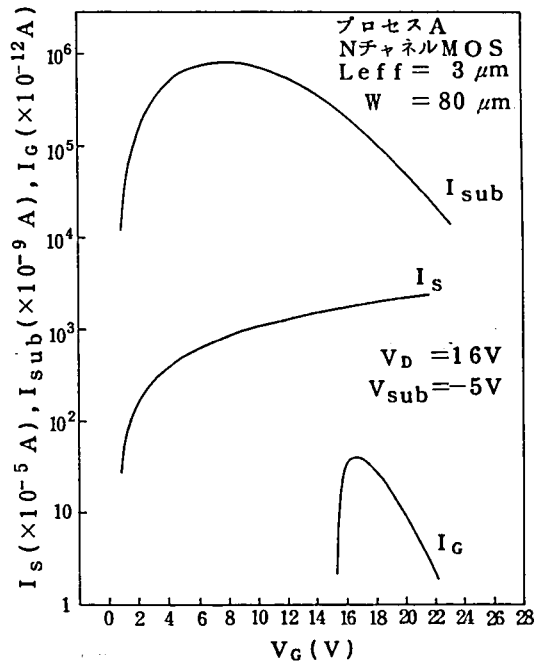


図2.5 NチャネルMOSにおける I_s 、 I_{sub} および I_G の V_G 依存性

のことながら、ゲート電圧が V_{TH} 以上になると流れ出し、ゲート電圧とともに増加していく。基板電流は(2-6)式に示されるように、ソース電流 I_s と増倍係数 β との積で表わされる。増倍係数 β は(2-7)~(2-11)式から計算でき、図2.6に示すように、ゲート電圧の増加に伴って単調に減少する。(さらに詳しい理論的解析は次節で行なう。)この効果は、現象論的には、ゲート電圧の増加に伴ってトランジスタ動作が線形領域に近づき、ドレイン端のピンチオフ領域がなくなってしまうことと対応している。したがって、基板電流は、図2.5に示されるように、ソース電流と共に流れ出し、ゲート電位の増加に伴って増加していくが、 β の逆特性のために一旦ピークを持った後、減少していくことになる。ゲート電流は(2-17)式に示されるように、基板電流 I_{sub} とゲート電極への電子の到達確率 $P(\phi)$ の積で表わされる。 $P(\phi)$ は(2-17)式から分るように、 ϕ の増加に伴って指数関数的に減少する。図2.7に ϕ のゲートバイアス依存性を示す。NチャネルMOSの場合、 V_G が $V_D + V_{FB}$ より低くなると急激に ϕ が増加しはじめ、この領域ではゲート電流が急激に減少してしまうであろうことを示唆している。事実、図2.5から明らかのように

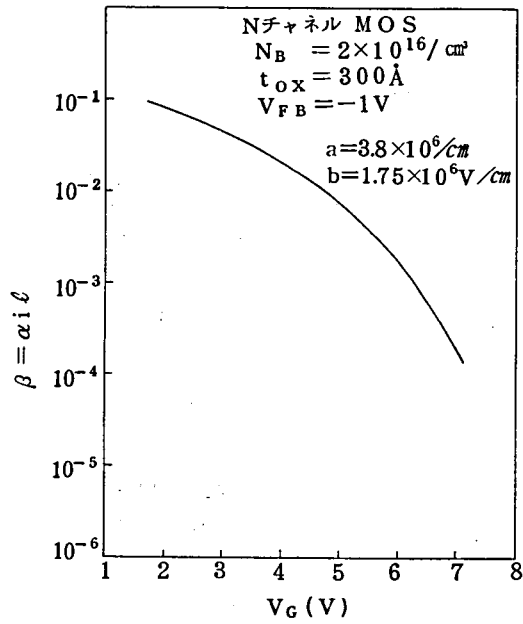


図 2.6 β の V_G 依存性 (理論曲線)

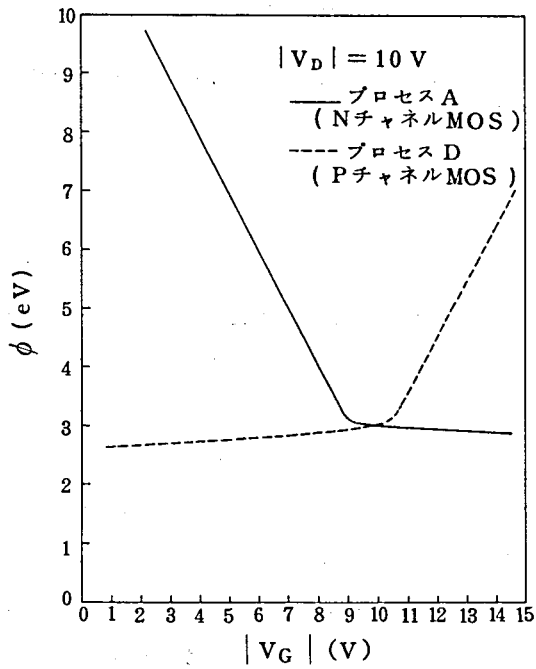


図 2.7 ゲート電流に対するエネルギー障壁 ϕ の $|V_G|$ 依存性

ゲート電流の実測値は $V_G \doteq V_D + V_{FB}$ より流れ出し、 V_G の増加に伴って増加する。しかし、さらに V_G が大きくなると、ホットエレクトロンの絶対量が減少するため、ゲート電流は一旦ピークをもった後、減少しはじめることになる。図2.8には、PチャネルMOSにおける同様の実測データを示す。PチャネルMOSにおいては、図2.7に示すように、 $|V_G| < |V_D|$ のバイアス領域で、 ϕ は $|V_G|$ の減少に伴ってゆるやかに減少していく。そのため、ゲート電流 I_G は基板電流 I_{sub} と比較的良く似たゲート電圧依存性を示している。しかし、 I_G と I_{sub} をより詳細に比較すると、 I_G / I_{sub} が $|V_G|$ の減少に伴って増加していくことが分り、これは ϕ のゆるやかな減

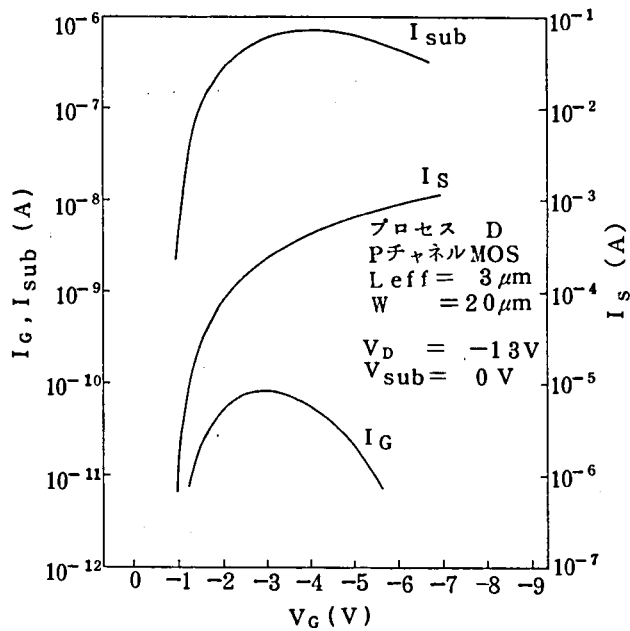


図2.8 PチャネルMOSにおける I_S 、 I_{sub} および I_G の V_G 依存性

少に起因しているものと考えることができる。さて、ゲート SiO_2 膜中に注入された電子のごく一部分は SiO_2 膜中のトラップに捕獲され、第3章で述べるMOSトランジスタの V_{TH} シフトをひき起こしてしまう。この電子捕獲現象は、図2.9に示すように、ゲート電流自体にも影響をおよぼす。すなわち、ゲート SiO_2 膜中で捕獲された電子は、ひき続く SiO_2 膜中への電子の注入をさまたげるように作用するため、ゲート電流は時間とともに減少していく。

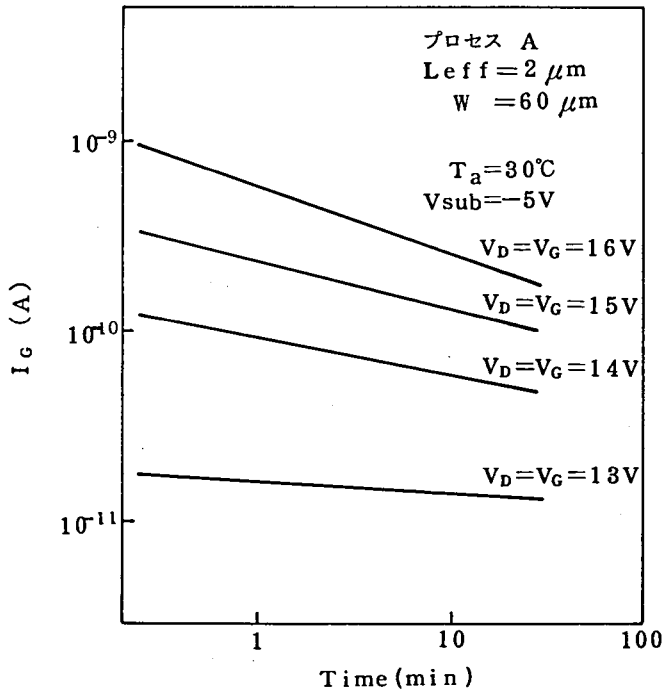


図 2.9 ゲート電流の減衰特性

2.4 トランジスタ構造の効果

本節では、まず、基板電流に対する理論式と実験結果との比較検討を行ない、その後、トランジスタの構造が本現象に与える効果について詳しく検討する。

(2-6)式は次のように書き換えられる。

$$I_{sub} / I_s = \beta = \alpha_i l \dots \dots \dots (2-18)$$

l および α_i は、それぞれ (2-7) 式および (2-11) 式で与えられ、これらに影響をおよぼすパラメータとしては、 N_B , V_{FB} , ϕ_F , t_{ox} がある。理論計算に用いたこれらの値を、各プロセス毎に表 2.2 にまとめる。(2-11) 式中の定数 a , b に関しては多くの報告があり、それらを表 2.3 にまとめてある。今回の検討結果では、 Sze のデータを用いた場合が実験データと最も良く一致した。したがって、以下、定数 a , b に対しては Sze のデータを用いる。すなわち、常温で電離係数 α_i は次のように表わされる。²³⁾

$$N \text{ チャネル MOS (電子) : } \alpha_i = 3.8 \times 10^6 \exp(-17.5 \times 10^6 / E) \dots \dots (2-19)$$

$$P \text{ チャネル MOS (正孔) : } \alpha_i = 2.25 \times 10^7 \exp(-32.6 \times 10^6 / E) \dots \dots (2-20)$$

表 2.2 理論計算に用いられた主要パラメータ

	N_B	V_{FB}	ϕ_F	t_{ox}
プロセス A	$4 \times 10^{15} / \text{cm}^2$	-1 V	0.3 V	850 Å
プロセス B	$8 \times 10^{15} / \text{cm}^2$	-1 V	0.35 V	500 Å
プロセス C	$1.4 \times 10^{16} / \text{cm}^2$	-1 V	0.35 V	350 Å
プロセス D	$2 \times 10^{15} / \text{cm}^2$	-0.4 V	-0.3 V	400 Å

表 2.3 電離係数に関し、報告されているデータ

キャリア	報告者	a (1/cm)	b (V/cm)
電子	E1-Mansy	1.4×10^6	2.6×10^6
	Moll	1.2×10^6	1.5×10^6
	Sze	3.8×10^6	1.75×10^6
正孔	E1-Mansy	3×10^5	4.2×10^6
	Chynoweth	5.5×10^5	1.65×10^6
	Moll	2.2×10^6	2.5×10^6
	Sze	2.25×10^7	3.26×10^6
	Lattin	1.47×10^6	1.92×10^6

図 2.10 は、プロセス C で作成された N チャネル MOS FET における I_{sub}/I_s と V_G の関係を示したもので、理論値と実験データは良く一致している。図 2.11 には、P チャネル MOS FET (プロセス D) における I_{sub}/I_s と V_G の関係を示すが、N-チャネルの場合と同様に、理論と実験は一致しているといえる。しかし、理論と実験データが良く一致するのは L_{eff} の長い領域だけであり、 L_{eff} が短くなるにつれて実験データは理論からずれていく傾向にある。すなわち、図 2.12 に示すように、 I_{sub}/I_s は理論的には L_{eff} 依存性を持たないが、実際には L_{eff} の減少に伴って増加していく。この現象は、次のように考えることによって理解される。つまり、2.3 節で述べている理論では、ドレイン側ピンチオフ領域における衝突電離のみを考えている。しかし、 L_{eff} の減少に伴って、チャネル領域の電界も衝突電離を起こすに十分な程高くなる。そのため、 L_{eff} の短い領域では、 I_{sub}/I_s が理論値よりも大きくなってしまふものと考えられる。

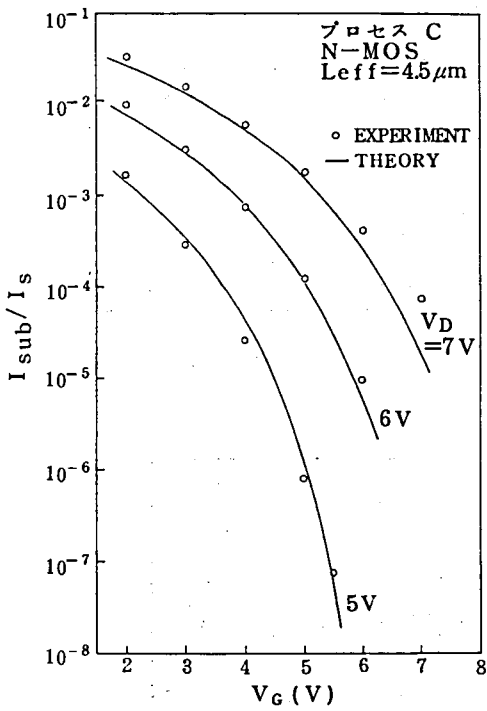


図 2.10 NチャネルMOSにおける I_{sub}/I_s の V_G 依存性

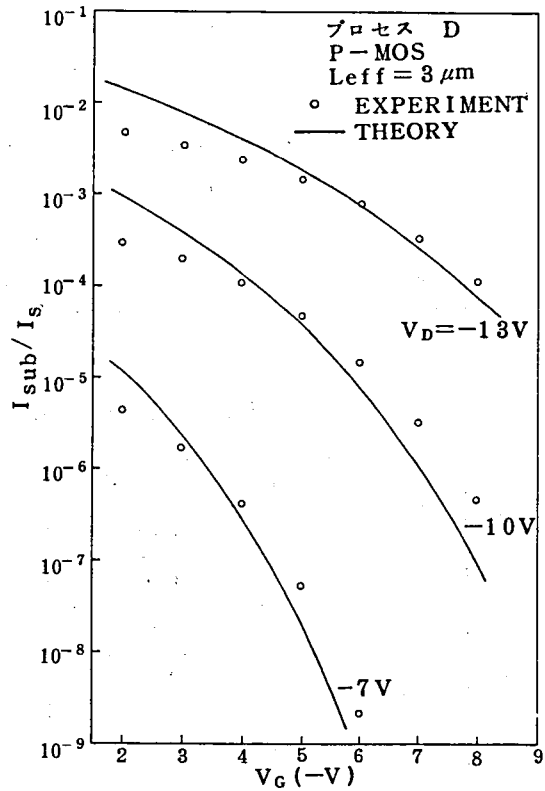


図 2.11 PチャネルMOSにおける I_{sub}/I_s の V_G 依存性

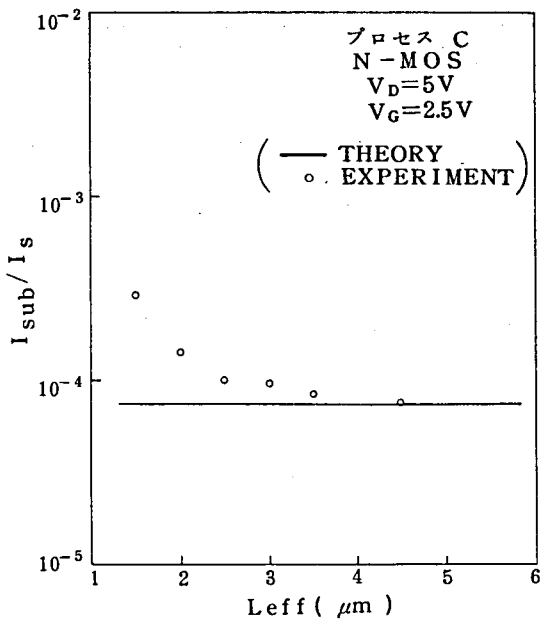


図 2.12 I_{sub}/I_s の L_{eff} 依存性

さて次に、微細化プロセスが衝突電離現象に与える影響について検討する。本実験においては、表 2.1 に示したように、Nチャネル MOS FETを3種類作成している。すなわち、プロセスA、B、Cであり、市販されている製品との対応でいえば、プロセスAが16KビットダイナミックRAMに、プロセスBが64KビットダイナミックRAMに、そしてプロセスCが256KダイナミックRAMに対応している。図2.13は、それぞれプロセスA、B、Cで作成された $L_{eff} = 4.5 \mu\text{m}$ の MOS FETにおける I_{sub}/I_s 対 V_G の関係を示している。微細化プロセスになるにつれて、 I_{sub}/I_s が急激に増加しており、衝突電離現象が微細化プロセスになるほど著しいことを示している。微細化プロセスは、 L_{eff} , t_{ox} , x_j の減少で達成されるが、そのとき、それに伴って発生するパンチスルー現象を防止するため、不純物濃度 (N_B) は増加させる。 L_{eff} の減少が衝突電離

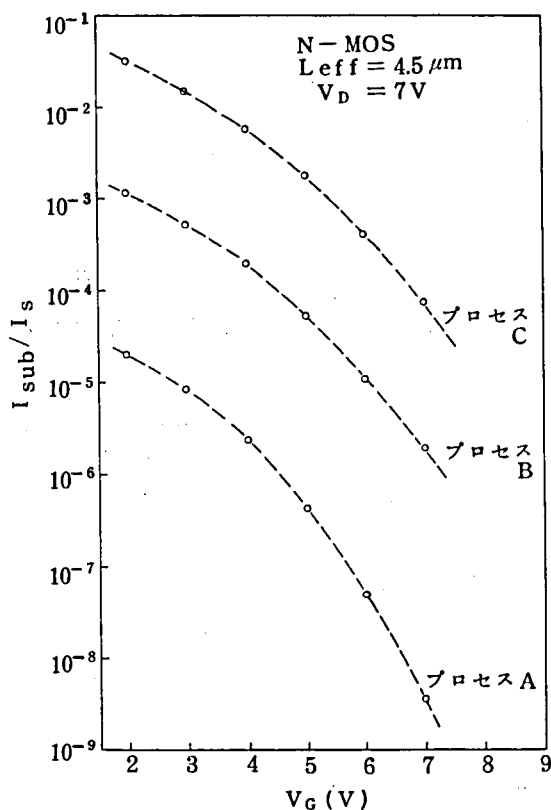


図 2.13 I_{sub}/I_s のプロセス依存性

現象を著しくさせることは既に述べた。図 2.14 は、 N_B をパラメータとしたときの αi_l と t_{ox} の関係を示す理論曲線である。この図から、 N_B の増加および t_{ox} の減少が衝突電離現象を著しくさせることが明らかである。図 2.15 ではゲート電流を規格化し、単位時間に単位チャネル幅を通過する電子の数 $I_G/W \cdot q$ (W = トランジスタの幅) に対する $V_D (=V_G)$ の影響を示している。

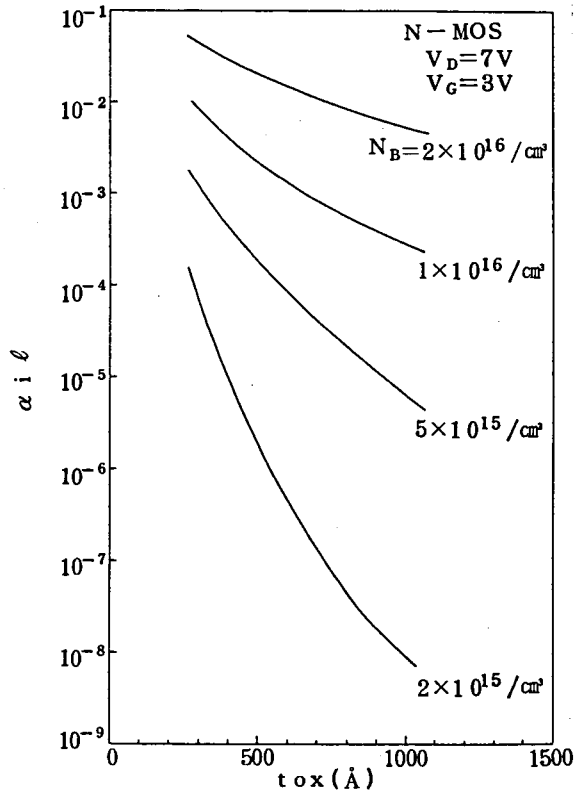


図 2.14 $\alpha_i l$ に対する N_B と t_{ox} の影響 (理論曲線)

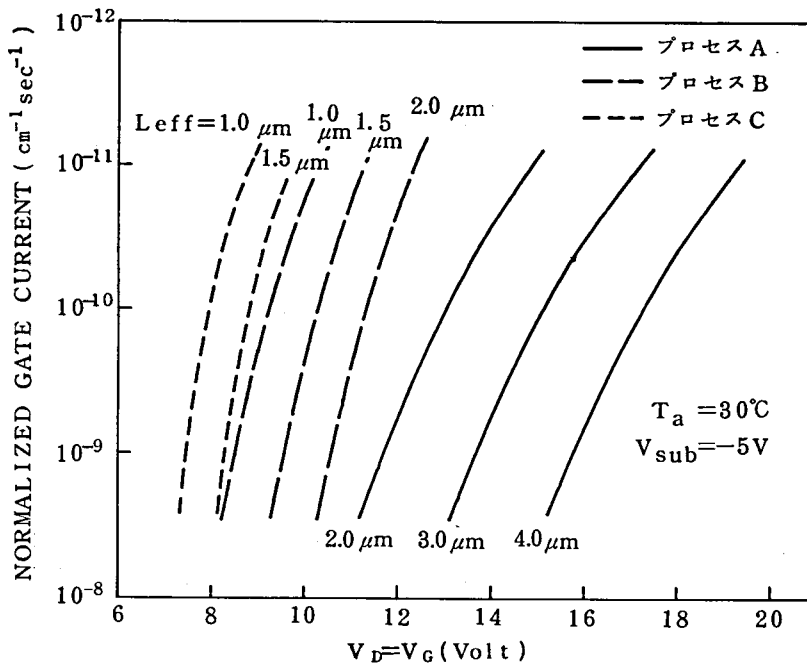


図 2.15 規格化されたゲート電流の $V_D (=V_G)$ 依存性

ゲート電流 I_G は $V_D (=V_G)$ の増加に伴って急激に増加し、 $\log I_G$ は $V_D (=V_G)$ にほぼ比例する。しかし、大きな I_G の領域では、この関係からずれていく傾向にあり、これは図2.9に示した I_G の減衰特性に起因しているものと考えられる。比例係数は微細化プロセス程大きく、 I_G の減衰特性の影響を受けにくい小さい I_G の領域では、

$$\text{プロセスA: } \log_{10} (I_G) \propto 0.6 \times V_D (=V_G) \dots\dots\dots (2-21)$$

$$\text{プロセスB: } \log_{10} (I_G) \propto 1.4 \times V_D (=V_G) \dots\dots\dots (2-22)$$

$$\text{プロセスC: } \log_{10} (I_G) \propto 1.8 \times V_D (=V_G) \dots\dots\dots (2-23)$$

で表わされる。また、異なるプロセスで作成された同じ L_{eff} の MOS FET を比較することにより微細化プロセス程衝突電離現象が著しくなるということが、この図からも読み取れる。

次に衝突電離電流に対するPチャネルMOSとNチャネルMOSの差を比較検討する。NチャネルMOSとPチャネルMOS、それぞれに対する電離係数 α_i と電界 E の関係は(2-19)式および(2-20)式で与えられ、これを図2.16に示す。本研究で取り扱っている領域では、ピンチオフ領域の電界は $1 \sim 2 \times 10^5 \text{ V/cm}$ 程度であり、電離係数はNチャネルMOSの方が数桁大きく、衝突電離現象を避けるためには、PチャネルMOSの方がきわめて有利であることを示している。しかし、正孔の移動度が電子の移動度より小さいために、PチャネルMOSの場合、NチャネルMOSと同等

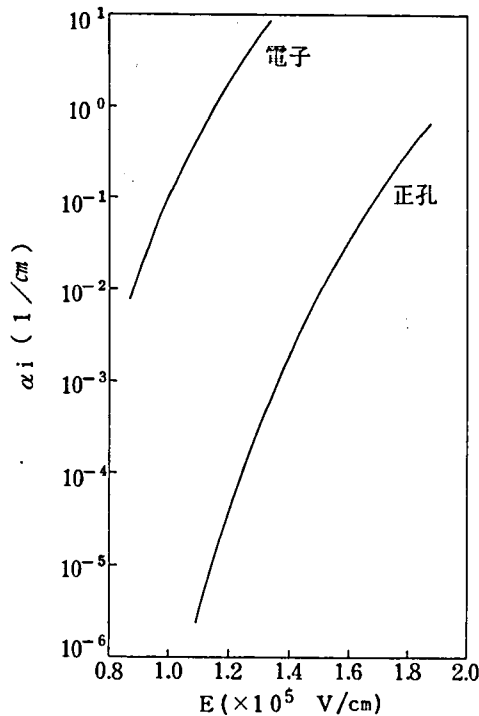


図 2.16 電離係数の電界依存性

の伝達特性を得るには、より微細化されたプロセスにする必要がある。図2.17は、各種プロセスで作成された $L_{eff}=4\mu\text{m}$ の MOS FET における I_s/W と V_G の関係を示している。プロセスDのPチャネルMOSはプロセスAのNチャネルMOSとはほぼ同等の伝達特性を有している。図2.18には、プロセスAとプロセスDで作成したNチャネルMOSとPチャネルMOSにおける I_{sub}/I_s の比

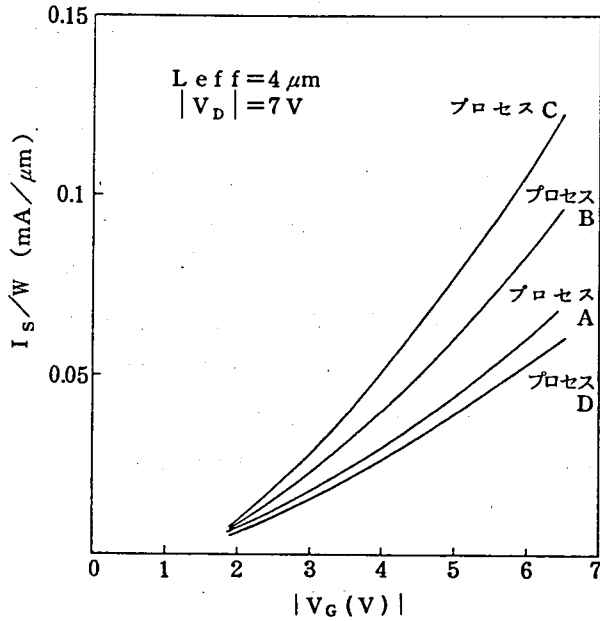


図2.17 伝達特性のプロセス依存性

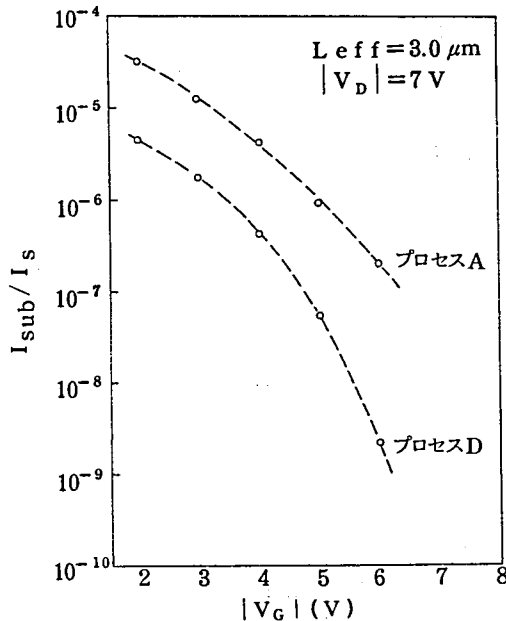


図2.18 I_{sub}/I_s のプロセス依存性

較結果を示している。NチャネルMOSの方が依然として激しい衝突電離現象を示すが、その差は1桁程度にすぎないことが分る。図2.19には、ドレイン電圧とその電圧でのゲート電流のピーク値（ V_G を変化させたとき）との関係を示している。前述の通り、NチャネルMOSにおいては、 I_{sub} の大きな領域でゲート電流が流れ得ないバイアス状態となっている。（すなわち、 $V_G < V_D$ では SiO_2 膜中に注入された電子は、 SiO_2 膜中の逆電界のためゲート電極に到達できない。）一方、PチャネルMOSでは I_{sub} のピーク時にゲート電極が電子をひっぱり上げるようなバイアス状態となっており、実質的なエネルギー障壁も図2.7に示すように低くなっている。このため、ゲート電流のピーク値に関しては、PチャネルMOSの方が、NチャネルMOSより大きくなってしまっており、PチャネルMOSがホットキャリア現象に対し、より問題の少ないプロセスであるとする従来の考え方は、必ずしも正しくないといえることができる。

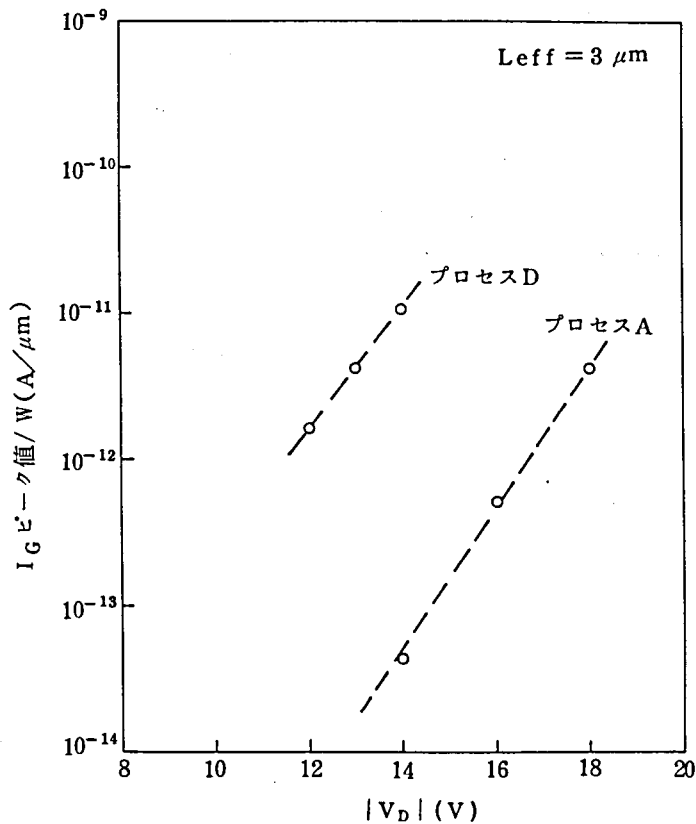


図2.19 I_G ピーク値のプロセス依存性

2.5 衝突電離現象に対する温度の効果

本節では衝突電離現象の温度依存性を検討する。W. N. Grantは、電離係数 α_i の温度依存性を研究し、次の関係を報告している。²⁴⁾

$$\text{電子 (N-MOS)} : \alpha_i = \alpha_0 \exp(-1.3 \times 10^3 T/E) \dots\dots\dots (2-24)$$

$$\text{正孔 (P-MOS)} : \alpha_i = \beta_0 \exp(-1.1 \times 10^3 T/E) \dots\dots\dots (2-25)$$

ここで、 α_0, β_0 は温度に依存しないパラメータで、電界の関数である。

(2-18)式と(2-24)、(2-25)式より、 I_{sub}/I_s は次のように表わされる。

$$\text{N-MOS} : I_{\text{sub}}/I_s = \alpha_0 l \exp(-1.3 \times 10^3 T/E) \dots\dots\dots (2-26)$$

$$\text{P-MOS} : I_{\text{sub}}/I_s = \beta_0 l \exp(-1.1 \times 10^3 T/E) \dots\dots\dots (2-27)$$

また、(2-17)式と(2-24)、(2-25)式より、 I_G/I_s は次のように表わされる。

$$\text{N-MOS} : I_G/I_s = \alpha_0 l P_0 \exp(-1.3 \times 10^3 T/E) \exp(-\phi/kTe) \dots\dots (2-28)$$

$$\text{P-MOS} : I_G/I_s = \beta_0 l P_0 \exp(-1.1 \times 10^3 T/E) \exp(-\phi/kTe) \dots\dots (2-29)$$

ここで、 ϕ の値は(2-15)式から計算でき、本節で示す図2.2 1および図2.2 2の測定に対しては、それぞれ2.9 9 eVおよび2.7 4 eVの値が得られる。一方、電子の分布にマックスウェル・ボルツマン分布を仮定すると、電子の電離係数が次のように表わされる。^{9), 25)}

$$\alpha_i = \alpha_1 \exp(-E_i/kTe) \dots\dots\dots (2-30)$$

ここで、 α_1 は定数、 E_i は衝突電離を起こすに必要な最小エネルギー(1.6 eV)である。²⁶⁾

(2-24)式と(2-30)式を比較すると、電子温度は周囲温度に反比例するかたちとなっており($Te \propto 1/T$; 物理的には、周囲温度が上昇すると格子振動が激しくなり、電子の平均エネルギーが減少することに対応する)、近似的には次の表現が可能である。

$$1/kTe = 1.3 \times 10^3 T/E_i E \dots\dots\dots (2-31)$$

(2-28)式および(2-29)式の Te を(2-31)式で置き換えれば、 I_G/I_s は次のように表わされる。

$$\begin{aligned} \text{電子 (N-MOS)} : I_G/I_s &= \alpha_0 l P_0 \exp(-1.3 \times 10^3 T/E) \exp(-1.3 \times 10^3 \phi T/E_i E) \\ &= \alpha_0 l P_0 \exp(-3.8 \times 10^3 T/E) \dots\dots\dots (2-32) \end{aligned}$$

$$\begin{aligned} \text{正孔 (P-MOS)} : I_G/I_s &= \beta_0 l P_0 \exp(-1.1 \times 10^3 T/E) \exp(-1.3 \times 10^3 \phi T/E_i E) \\ &= \beta_0 l P_0 \exp(-3.6 \times 10^3 T/E) \dots\dots\dots (2-33) \end{aligned}$$

(2-26)、(2-27)、(2-32)および(2-33)式は次のように書き換えられる。

$$\text{電子 (N-MOS)} : d\{\log_{10}(I_{\text{sub}}/I_s)\}/dT = -\log_{10} e \times 1.3 \times 10^3/E \dots (2-34)$$

$$d\{\log_{10}(I_G/I_s)\}/dT = -\log_{10} e \times 3.8 \times 10^3/E \dots (2-35)$$

$$\text{正孔 (P-MOS)} : d\{\log_{10}(I_{\text{sub}}/I_s)\}/dT = -\log_{10} e \times 1.1 \times 10^3/E \dots (2-36)$$

$$d\{\log_{10}(I_G/I_s)\}/dT = -\log_{10} e \times 3.6 \times 10^3/E \dots (2-37)$$

図2.20に、N-MOS(プロセスA, $L_{eff} = 4 \mu\text{m}$)について測定された I_S , I_{sub} および I_G の温度依存性を示す。 I_S , I_{sub} および I_G は、すべて、温度の上昇に伴って減少していく。 I_S が温度とともに減少するのは、良く知られているように、格子散乱による移動度の減少に起因している。 I_{sub} と I_G は I_S よりさらに大きな温度依存性を示しており、(2-34)および(2-35)の理論式から期待されるとおりの結果となっている。図2.21に、図2.20から得られる I_{sub}/I_S および I_G/I_S を示す。 I_{sub}/I_S および I_G/I_S に対し次の表現が可能である。

$$d \{ \log_{10} (I_{sub} / I_S) \} / dT = 0.0045 \text{ K}^{-1} \quad \dots\dots (2-38)$$

$$d \{ \log_{10} (I_G / I_S) \} / dT = 0.013 \text{ K}^{-1} \quad \dots\dots (2-39)$$

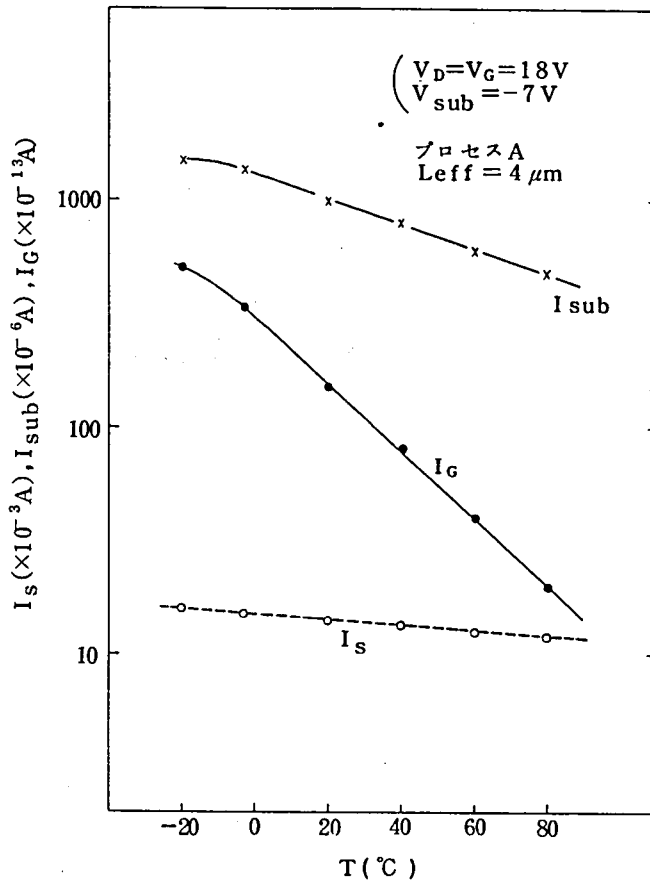


図2.20 I_S , I_{sub} および I_G の温度依存性

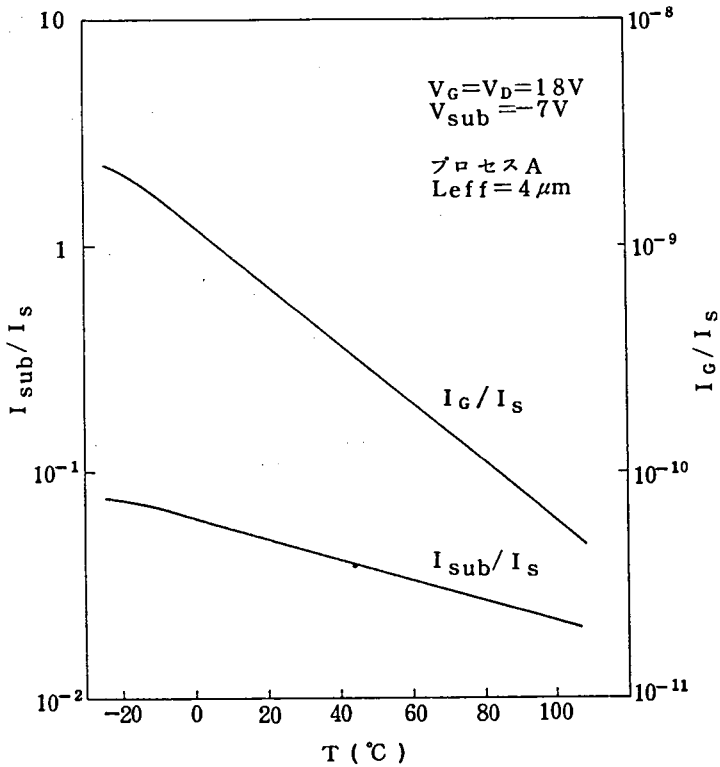


図2.2.1 NチャネルMOSにおける I_{sub}/I_s および I_G/I_s の温度依存性

図2.2.2には、P-MOS（プロセスD、 $L_{eff} = 2 \mu m$ ）における I_{sub}/I_s と I_G/I_s の温度依存性を示す。P-MOSにおいては、次の表現が可能である。

$$d \{ \log_{10} (I_{sub}/I_s) \} / dT = 0.0030 K^{-1} \dots\dots\dots (2-40)$$

$$d \{ \log_{10} (I_G/I_s) \} / dT = 0.0076 K^{-1} \dots\dots\dots (2-41)$$

実験式(2-38)～(2-41)に対する理論式は、(2-34)～(2-37)式で与えられる。

理論式における電界Eは(2-9)式から計算される。図2.2.1と図2.2.2に示すN-MOSおよび

P-MOSに対する実験では、電界はそれぞれ $1.1 \times 10^5 V/cm$ および $2.1 \times 10^5 V/cm$ となる。

したがって、図2.2.1のN-MOSに対して、このEを用いた理論式は次のように表わされる。

$$d \{ \log_{10} (I_{sub}/I_s) \} / dT = 0.0051 K^{-1} \dots\dots\dots (2-42)$$

$$d \{ \log_{10} (I_G/I_s) \} / dT = 0.015 K^{-1} \dots\dots\dots (2-43)$$

また、図2.22のP-MOSに対して、理論式は次のようになる。

$$d \left\{ \log_{10} (I_{\text{sub}} / I_{\text{s}}) \right\} / dT = 0.0023 \text{ K}^{-1} \quad (2-44)$$

$$d \left\{ \log_{10} (I_{\text{G}} / I_{\text{s}}) \right\} / dT = 0.0074 \text{ K}^{-1} \quad (2-45)$$

実験式(2-38)～(2-41)と理論式(2-42)～(2-45)との比較から、理論値と実験値は良く一致しているといえる。すなわち、衝突電離に起因した基板電流およびゲート電流の温度依存性は、電離係数の温度依存性および電子温度の温度依存性により良く説明できる。

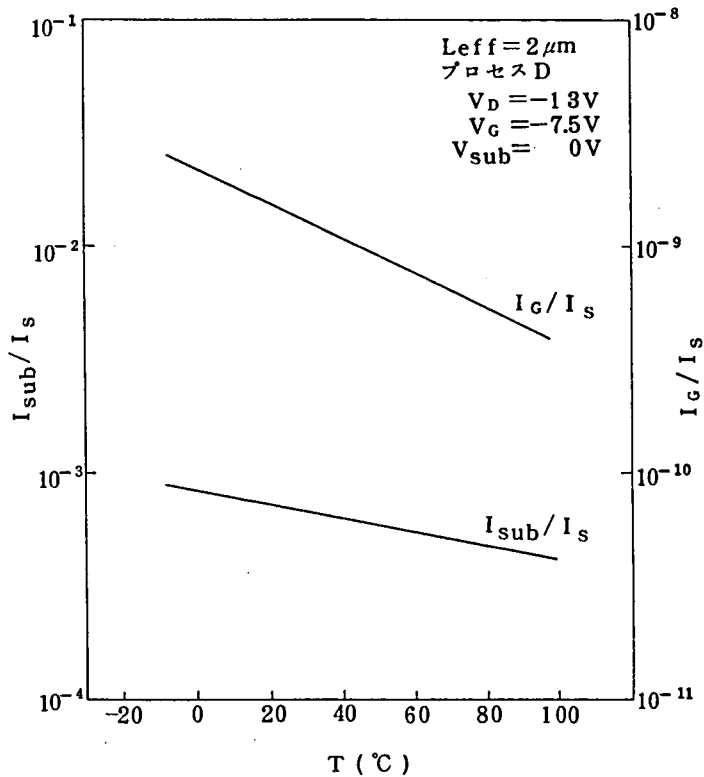


図2.22 PチャネルMOSにおける $I_{\text{sub}} / I_{\text{s}}$ および $I_{\text{G}} / I_{\text{s}}$ の温度依存性

2.6 結 言

本章では、MOSデバイスの衝突電離に起因した基板電流およびゲート電流の諸特性を調べ、理論式との比較検討を行なった。実験データは理論値と良く一致し、特に従来ほとんど議論されていない基板電流とゲート電流の温度依存性に対しても、簡単なモデルで実験データが良く説明できることを明らかにした。また、ゲート電流に対するPチャネルMOSとNチャネルMOSの詳細な比較から、従来の知見と異なり、衝突電離が誘起する種々の問題に対し、PチャネルMOSがNチャネルMOSより必ずしも有利であるとはいえないことを示した。この事実は、今後の超微細化MOS LSIの構造選択の上で、非常に重要な意味を持っている。

以下、本章で得られた結果を箇条書きにまとめる。

- (1) ドレイン側ピンチオフ領域の電界に、D. Frohman-Bentchkowsky の提案したモデルを用いた理論式は、チャンネルの長いトランジスタでの実験データと良く一致する。チャンネル長が短くなると、ピンチオフ領域のみならず、チャンネル領域でも衝突電離が起こり始めるため、基板電流は理論値よりも大きくなる。
- (2) 微細化プロセス (L_{eff} や t_{ox} の減少, N_B の増加) になる程、衝突電離現象は著しくなり、この傾向は理論的にも良く説明できる。
- (3) MOSトランジスタの衝突電離現象において、電離係数そのものはNチャネルMOSの方が格段に大きい。しかし、ゲート SiO_2 膜中の電界の影響で、ゲート電流のピーク値はむしろPチャネルMOSの方が大きくなる。この事実は、従来の知見と全く逆で、PチャネルMOSは衝突電離現象において、必ずしも有利とはいえない。
- (4) ゲート電流の対数値は $V_D (=V_G)$ に比例する。比例係数は、微細化プロセス程大きくなる。
- (5) 電離係数の温度依存性および電子温度の温度依存性を考慮した簡単なモデルは、基板電流やゲート電流の温度依存性を良く説明する。

参 考 文 献

- 1) Wallmark and Johnson : Field Effect Transistors Physics, Technology and Applications, Prentice Hall, N.J. (1966).
- 2) Cobbold : Theory and Application of Field Effect Transistors, Wiley-Interscience, New York (1970).
- 3) M. Nakahara, H-I. Wasawa and K. Yasutake : Proc. Inst. Elect. Electron. Engrs. , Vol. 56, P.2088 (1968).
- 4) W.W. Lattin and J.L. Rutledge : Solid-State Electronics, Vol. 16, P.1043 (1973).
- 5) Y.A. El-Mansy and D.M. Caughey : IEEE IEDM Technical Digest, P.31 (1975).
- 6) S.A. Abbas and R.C. Dockerty : Applied Physics Letters, Vol. 27, No 3, P.147 (1975).
- 7) T.H. Ning, P.W. Cook, R.H. Dennard, C.M. Osburn, S.E. Schuster and H.N. Yu : IEEE Trans. Electron Devices, ED-26, No 4, P.346 (1979).
- 8) H. Matsumoto, K. Sawada, S. Asai, M. Hirayama and K. Nagasawa : IEEE Trans. Electron Devices, ED-28, No 8, P.923 (1981).
- 9) K.O. Jeppson and C.M. Svensson : Solid-State Electronics, Vol. 19, P.455 (1976).
- 10) P.E. Cottrell, R.R. Troutman and T.H. Ning : IEEE Trans. Electron Devices, ED-26, No 4, P.520 (1979).
- 11) B. Euzent : Proc. 1977 Int. Reliability Physics Symp., P.1 (1977).

- 12) B. Eitan and D. Frohman-Bentchkowsky : IEEE Trans. Electron Devices, ED-28, No 3, P.328 (1981).
- 13) A. Phillips, Jr., R.R. O'Brien and R.C. Joy : IEEE IEDM Technical Digest, P.39 (1975).
- 14) R.R. Troutman : IEEE IEDM Technical Digest, P.578 (1976).
- 15) C. Hu : IEEE IEDM Technical Digest, P.22 (1979).
- 16) K. Narita and K. Yamaguchi : Solid-State Electronics, Vol. 23, P.721 (1980).
- 17) T.H. Ning, C.M. Osburn and H.N. Yu : Journal of Applied Physics, Vol. 48, No 1, P.286 (1977).
- 18) 宮本, 松本 : 信学論 (C) 投稿中
- 19) 福間, 奥戸 : 電子通信学会技術研究報告 SSD 78-6 (1978).
- 20) D. Frohman-Bentchkowsky and A.S. Grove : IEEE Trans. Electron Devices, ED-16, No 1, P.108 (1969).
- 21) A.G. Chynoweth : Physical Review, Vol. 109, P. 1537 (1958).
- 22) Moll : Physics of Semiconductors, Mcgraw-Hill, New York (1964).
- 23) S.M. Sze : Physics of Semiconductor Devices, John Wiley & Sons, New York (1969).
- 24) W.N. Grant : Solid-State Electronics, Vol. 16, P.1189 (1973).

- 25) H.P.D. Lanyon : Applied Physics Letters, Vol. 22, P.522 (1973).
- 26) C.A. Lee, R.A. Logan, R.L. Batdorf, J.J. Kleimack and W. Wiegmann:
Physical Review, Vol. 134, No 3 A, P.A761 (1964).
- 27) R. Williams and M.H. Woods : Journal of Applied Physics, Vol. 44,
P.1026 (1973).
- 28) H. Matsumoto, K. Miyamoto, Y. Sato and S. Ishida : Japanese Journal
of Applied Physics, Vol. 23, No.8, P. L546 (1984).

第3章 衝突電離に起因したMOS FETの劣化

3.1 序

SiO₂膜へキャリアを注入する方法で、古くから良く用いられていたのは光励起法¹⁾とトンネル注入法²⁾である。しかし、これらの方法では注入電流密度が極端に小さいため、SiO₂中での注入キャリア捕獲現象の観測は困難であった。1969年に、E.H. Nicollian等は、基板Si中でアバランシェ降伏を起こさせ、ここで生成されるホット・キャリアをSiO₂中に注入させる方法を提案しており、大きな注入電流を得ることが可能であると報告している³⁾。彼等によれば、SiO₂中には水と関係した電子トラップ準位が存在し、その捕獲断面積は $1.5 \times 10^{-17} \text{ cm}^2$ であると報告している⁴⁾。

一方、A. Ushirokawa等も同様の電子トラップを観測しており、捕獲断面積は $2.6 \times 10^{-18} \text{ cm}^2$ であるとしている⁵⁾。アバランシェ降伏を利用しているこの方法には、ジュール熱でデバイス温度が上昇してしまうという欠点がある。T.H. Ning等は、この欠点をなくすために、光励起と電界加速を組み合わせた新しいキャリア注入法を提案している⁶⁾。彼等は、プラスに帯電した電子トラップと中性の電子トラップを観測しており、それぞれの捕獲断面積を $3 \times 10^{-13} \text{ cm}^2$ および $8 \times 10^{-16} \text{ cm}^2$ と報告している^{7), 8)}。また、彼等は捕獲された電子の熱的再励起の特性から、トラップのエネルギー準位を検討しており、SiO₂中の電子トラップの平均的エネルギー準位は、SiO₂の伝導帯からわずか300 meV下にすぎないことを明らかにしている⁹⁾。J.M. Aitken等は、ジュール熱の悪影響を防ぐために、パルス電圧を用いたアバランシェ法で電子トラップを研究しており、捕獲断面積が 10^{-14} cm^2 のプラスに帯電したトラップや $10^{-15} \sim 10^{-18} \text{ cm}^2$ の中性トラップを観測している^{10), 11)}。

第2章で述べたように、微細化MOSデバイスにおいては、動作中にSiO₂膜に多量の電子が注入されてしまうことがある。これら注入電子の一部がSiO₂膜のトラップに捕獲され、閾値電圧や相互コンダクタンスを変化させてしまうという現象は、S.A. Abbas等により最初に報告された¹²⁾。T.H. Ning等は、この現象をさらに詳しく研究し、実効チャネル長が $1 \mu\text{m}$ のNチャネルMOSデバイスでは、5Vの電源電圧がすでに危険領域であると報告している¹³⁾。V. Srinivasan等は、この現象に対するMOSトランジスタのチャネル幅依存性を検討することによって、チャネル幅の狭いトランジスタでは閾値電圧の変化が主であるが、チャネル幅を広くすると相互コンダクタンスの変化が主になるということを明らかにし、これは電子が局部的にトラップされるためであると結論づけている¹⁴⁾。一方、R.A. Gdulaは、SiO₂膜形成法が電子トラップに与える影響について検討しており、トラップ密度は、SiO₂中のOH基の密度やBの密度と共に増加すると報告している¹⁵⁾。

本章では、まず、閾値電圧の変化に対するゲート電位やドレイン電位の影響を詳しく述べる。特に、ゲート電位が低い程この現象が著しくなるという新しい知見を示し、これを考慮した理論式で、実験結果が非常に良く説明できることを明らかにする^{17), 18)}。次に、閾値電圧変化の温度依存性を理論式と比較

検討し、トラップのエネルギー準位が浅くかつ広く分布しているため、実効的トラップ密度が温度の上昇に伴って減少する、ということ^{18), 21)}を明らかにする。

3.2 実験試料および実験方法

本章で用いた実験試料は、表 2.1 におけるプロセス A とプロセス B で作製された MOS FET であり、プロセス A のものに対しては、3.4 節で述べる SiO₂ 膜中の電界の効果を調べるため、種々のゲート SiO₂ 膜厚のものを作製した。

MOS FET の閾値電圧 (V_{TH}) は、 $V_D = 0.1 \text{ V}$ 、 $V_{Sub} = -5 \text{ V}$ において、 $1 \mu\text{A}$ のチャネル電流が流れる時のゲート電圧とした。MOS FET を種々の温度とバイアス状態に保持し (エージング)、その前後での V_{TH} の変化 (ΔV_{TH}) を測定した。

3.3 MOS FET における V_{TH} シフト現象

本節では、ゲート SiO₂ 膜に注入された電子の一部が SiO₂ 膜中のトラップに捕獲され、MOS FET の V_{TH} が変化してしまう現象 (V_{TH} シフト現象) を概説する。第 2 章で述べたように、衝突電離はドレイン近傍の高電界領域で著しい。したがって、SiO₂ 膜中での電子トラップ現象もドレイン近傍の SiO₂ 膜中で激しく起こる。この傾向は、図 3.1 に端的に示されている。図 3.1 は、エージング前後での I_S と $V_D (= V_G)$ の関係を示しており、エージングにより V_{TH} が高くなること (ゲート SiO₂ 膜中に負電荷が蓄積されたこと) が分る。また、図中の N と R は、それぞれ、ソースとドレインの関係がエージング時と $I-V$ 特性の測定時と同じ (Normal : N) もしくは反対 (Reverse : R) であることを示しており、エージング時と V_{TH} 測定時で、ソースとドレインの関係を逆転させると、 V_{TH} シフトが大きく観測できることがわかる。これは、 $V_D = V_G$ のバイアス状態では、ドレイン側にピンチオフ領域ができ、この領域での Si の表面状態が MOS FET の $I-V$ 特性にほとんど影響を与えないためである。ドレイン電圧を 0.1 V と低い値に固定して、 I_S と V_G の関係を測定すると、R と N とでの差がなくなり、いずれの場合も図 3.1 の R と同様の V_{TH} シフト特性が得られる。これは、ドレイン電圧を十分低くするとピンチオフ領域が生じず、ドレイン側の Si の表面状態も V_{TH} に影響を与えることから当然といえる。以下、本章における V_{TH} は、 $V_D = 0.1 \text{ V}$ 、 $V_{Sub} = -5 \text{ V}$ の状態で $1 \mu\text{A}$ のチャネル電流が流れるときの V_G の値と定義する。

エージングにより V_{TH} が約 1 V 高くなった MOS FET 40 個を、種々の温度に保持し、 V_{TH} の回復特性を調べた。保持温度は、 100°C 、 125°C 、 150°C 、 175°C の 4 種類であり、試料数はそれぞれ 10 個である。図 3.2 はこの結果を示しており、 V_{TH} シフトが時間とともに徐々に回復していくことがわかる。これは、SiO₂ 膜中のトラップに捕獲された電子が熱的に励起され、少しずつ

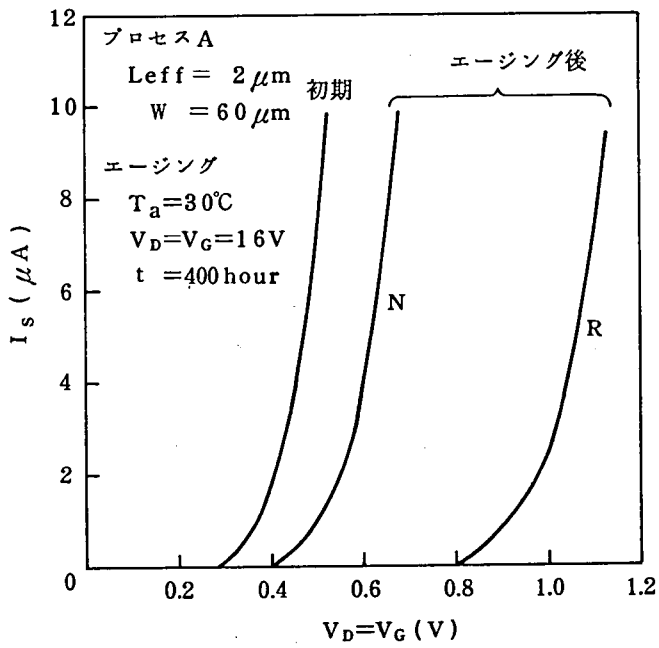


図3.1 エージング前後での I_s と $V_D (=V_G)$ の関係

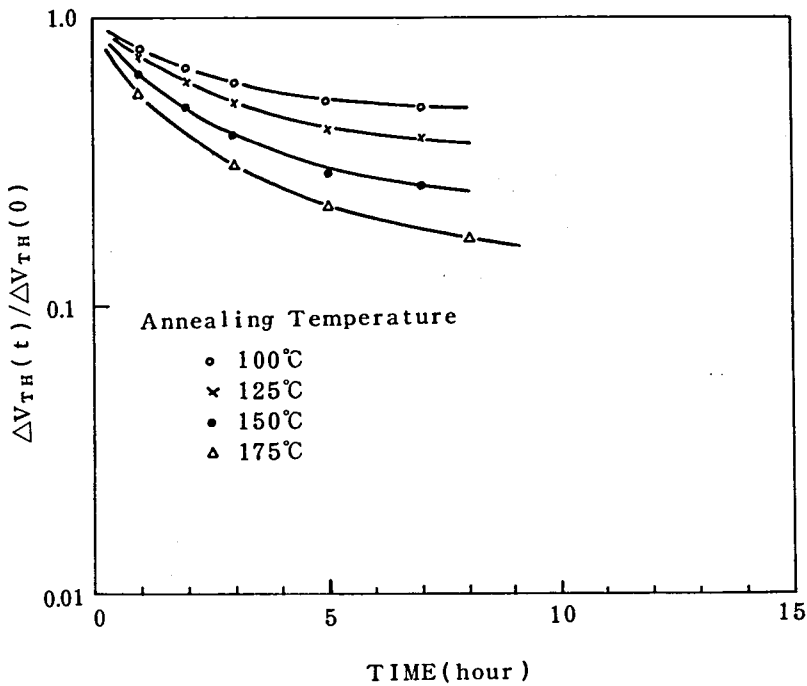


図3.2 V_{TH} シフトの回復特性

SiO₂膜中から放出されていくためであると考えられる。トラップ準位の伝導帯からのエネルギー深さをΦとし、ボルツマン分布を仮定すると、電子がΦ以上のエネルギーを持っている確率 P_e は次式で表わされる。

$$P_e = \exp(-\Phi/kT) \dots\dots\dots (3-1)$$

電子の緩和振動数をν、時刻 t にトラップされている電子数を N(t) とすると、単位時間あたりバリアΦを越えていく電子数 dN(t)/dt は次式で表わされる。

$$-dN(t)/dt = \nu N(t) \exp(-\Phi/kT) \dots\dots\dots (3-2)$$

$$\nu = \nu \sigma N_c \dots\dots\dots (3-3)$$

ここで、ν は SiO₂ 伝導帯における電子の熱速度、σ はトラップの捕獲断面積、N_c は伝導帯の実効状態密度である。

さて、(3-2)式において、dN(t) が全て SiO₂ 膜中から放出されるわけではない。

すなわち、SiO₂膜中の電界は弱いので、伝導帯に励起された電子の大部分は再び他のトラップに捕獲されてしまうと考えるべきである。したがって、dN(t) を SiO₂ 膜から放出される電子数と考え直せば、(3-2)式は、A を定数として次のように書き換えられる。

$$-dN(t)/dt = A\nu N(t) \exp(-\Phi/kT) \dots\dots\dots (3-4)$$

(3-4)式を解けば、時刻 t=0 のトラップ電子数を N(0) として、N(t) は次式のように表わされる。

$$N(t) = N(0) \exp\{-A\nu t \exp(-\Phi/kT)\} \dots\dots\dots (3-5)$$

SiO₂ 膜中で電子捕獲が均一に起っていると仮定すると、(3-5)式は V_{TH} シフトの回復特性に置き換えることが可能であり、

$$\Delta V_{TH}(t) / \Delta V_{TH}(0) = \exp\{-A\nu t \exp(-\Phi/kT)\} \dots\dots (3-6)$$

と表わされる。

ここで、

$$A\nu \exp(-\Phi/kT) = B \dots\dots\dots (3-7)$$

と置くと、(3-6)式は次のように置き換えられる。

$$\ln(\Delta V_{TH}(t) / \Delta V_{TH}(0)) = -Bt \dots\dots\dots (3-8)$$

したがって、B は図 3.2 における曲線の傾きを表わしている。図 3.2 より、回復特性は下に凸な曲線となっており、時間とともに B の値が小さくなっていく。(3-7)式において、A、ν、k、T は時間に依存しないと考えられるから、Φ が時間とともに増加していることになる。これは、トラップのエネルギー準位が広く分布しており、放出されやすいΦの小さいトラップから順次電子が放出されていることを示している。図 3.3 は ΔV_{TH} が 50% 回復するまでを直線近似したときの B の値と温度の関係を示している。(3-7)式を書き直せば、次のように表わされる。

$$\ln B \propto -(\Phi/k)/T \dots\dots\dots (3-9)$$

したがって、図3.3から、 ΔV_{TH} が50%回復するまでのトラップの平均的エネルギー深さ Φ_{Ave} は

$$\Phi_{Ave} = 0.3 \text{ eV} \dots\dots\dots (3-10)$$

となる。この Φ の値は、T. H. Ning の報告している値⁹⁾とよく一致している。

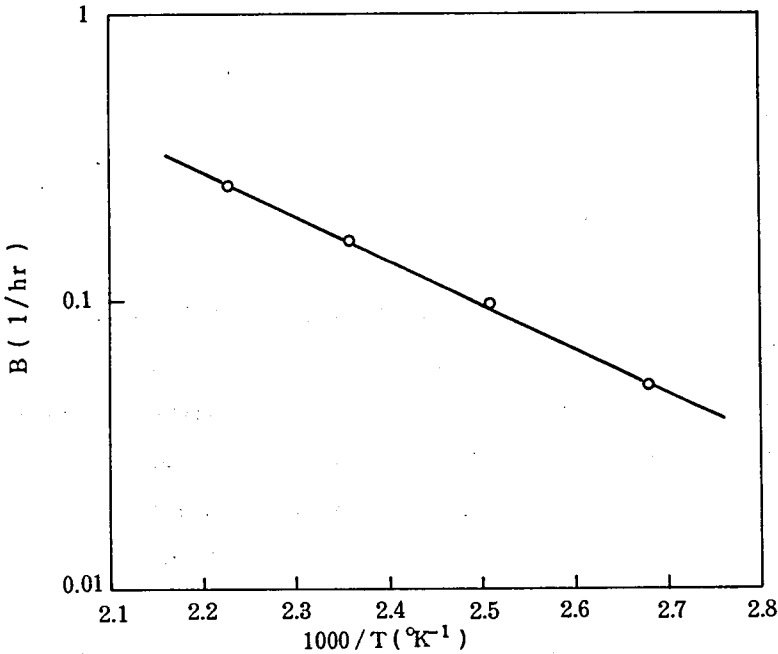


図3.3 V_{TH} シフトが回復する速度の温度依存性

3.4 V_{TH} シフトのバイアス依存性

図3.4は、長時間エージングを施したMOS FETにおける V_{TH} シフトの一例を示している。試料は、プロセスAのMOS FETで L_{eff} は $2 \mu\text{m}$ である。 V_{TH} は時間とともに増加し、その傾向は $V_D (=V_G)$ のバイアスを増加させる程著しくなる。図3.5は、 V_{TH} シフトに対する $V_D (=V_G)$ バイアスの効果をまとめたものである。図3.5における縦軸は、 V_{TH} シフトが 200mV に達するまでの時間(寿命:TTF)を示している。寿命は $V_D (=V_G)$ の増加あるいは L_{eff} の減少に伴って急激に減少し、 $\log_{10} TTF$ は $V_D (=V_G)$ に比例する。すなわち、図3.5から以下の関係式が得られる。

$$\text{プロセスA} \quad \log_{10} (TTF) \propto -0.64 \times V_D (=V_G) \dots\dots\dots (3-11)$$

$$\text{プロセスB} \quad \log_{10} (TTF) \propto -1.2 \times V_D (=V_G) \dots\dots\dots (3-12)$$

* 200mV という値に特に意味はない。他の値で処理しても同じ結果が得られるが、第4章で述べるRAMのアクセスタイムシフトとの比較が容易なように 200mV の値を用いた。

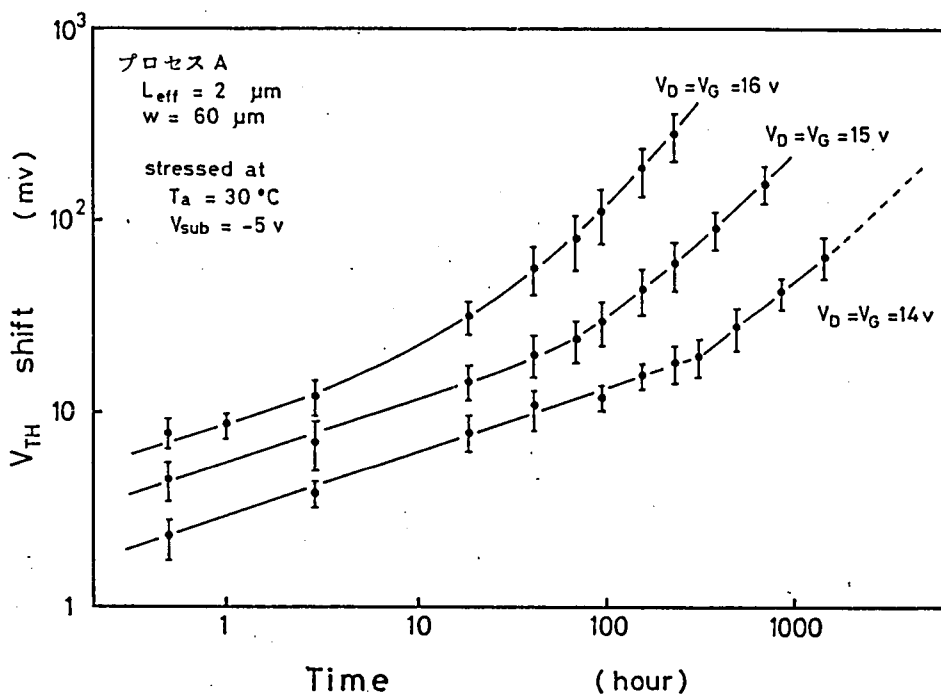


図 3.4 長時間エージングのもとでの V_{TH} シフト特性

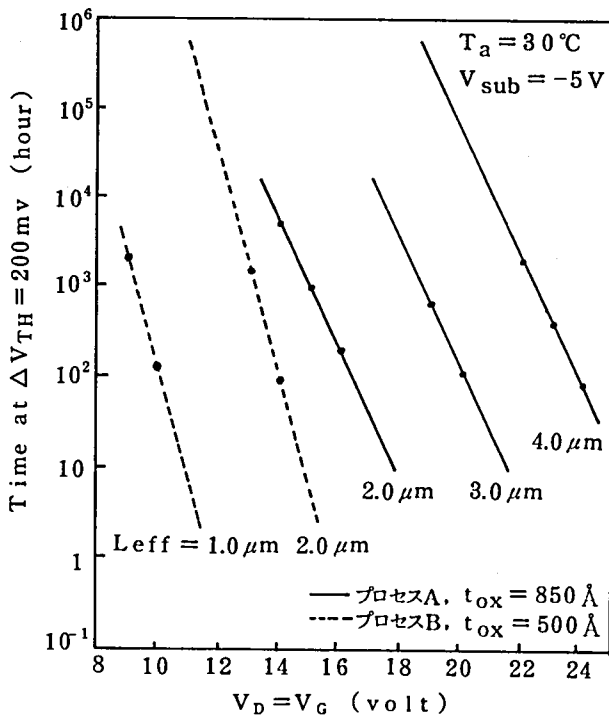


図 3.5 V_{TH} シフトが 200 mV に達する時間 (寿命) の $V_D = V_G$ バイアス依存性

前章で述べたように、ゲート電流の $V_D = V_G$ 依存性は次のように表わされる。

$$\text{プロセスA} \quad \log_{10}(I_G) \propto 0.6 \times V_D (=V_G) \dots\dots\dots (3-13)$$

$$\text{プロセスB} \quad \log_{10}(I_G) \propto 1.4 \times V_D (=V_G) \dots\dots\dots (3-14)$$

(3-11), (3-12), (3-13), (3-14) 式の比較から、 I_G と TTF が逆比例関係にあることがわかる。これは当然のことと考えられ、 SiO_2 膜中を通過する電子 (I_G) の一定比率分がトラップに捕獲されると考えれば理解できる。しかし、もう少し定量的に I_G と TTF の関係を比較検討すると、両者の関係が必ずしも一対一に対応しているわけではないことがわかる。つまり $1 \mu\text{m}$ の L_{eff} 増加に対し同じゲート電流を得るためには $V_D (=V_G)$ バイアスを約 2 V 増加させればよいが、同じ TTF となるためには、 $V_D (=V_G)$ を 4 V 増加させる必要がある。この不一致の原因は次のように考えられる。すなわち、 L_{eff} の増加に伴ない $V_D (=V_G)$ を増加させることで同じゲート電流が得られるが、そのときに (2-7) 式からわかるようにピンチオフ領域の長さが広がるため、ゲート電流の電流通路の断面積が大きくなってしまうためである。つまり、定性的には L_{eff} が大きい程ゲート電流が同じでもゲート電流密度が小さくなるため、 V_{TH} の変化速度 (V_{TH} シフトの速度) が遅くなる (寿命が長くなる) ものと考えられる。

さて、以上は $V_D = V_G$ (すなわち、ピンチオフ領域上のゲート SiO_2 膜にほとんど電界がかかっていない) での議論である。次に V_{TH} シフトに対する SiO_2 膜中の電界の効果を検討してみる。

図 3.6 はドレイン電圧を一定にし、ゲート電圧を変化させたときの V_{TH} シフト特性を示している。

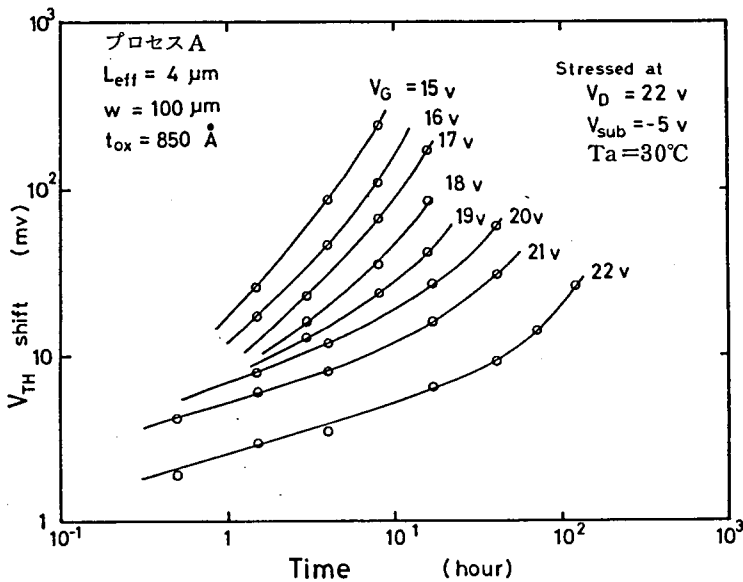


図 3.6 V_{TH} シフトに対するゲートバイアスの効果

試料はプロセスAのMOS FETで $L_{eff} = 4 \mu\text{m}$ である。ゲート電圧が低くなる程 V_{TH} シフトが著しくなることがわかる。図3.7は、 V_{TH} シフトの速度($R_{vs} : V_{TH}$ シフトが30 mVに達する時間の逆数)とドレイン端でのゲート SiO_2 膜中の電界($E_{ox} : (V_G - V_D) / t_{ox}$)の関係を示している。図3.5との統一性を考えれば、200 mVの値を用いるべきであるが、図3.6の実験においては V_{TH} シフト量が200 mVに達していない。そのため、30 mVという値を用いたが、

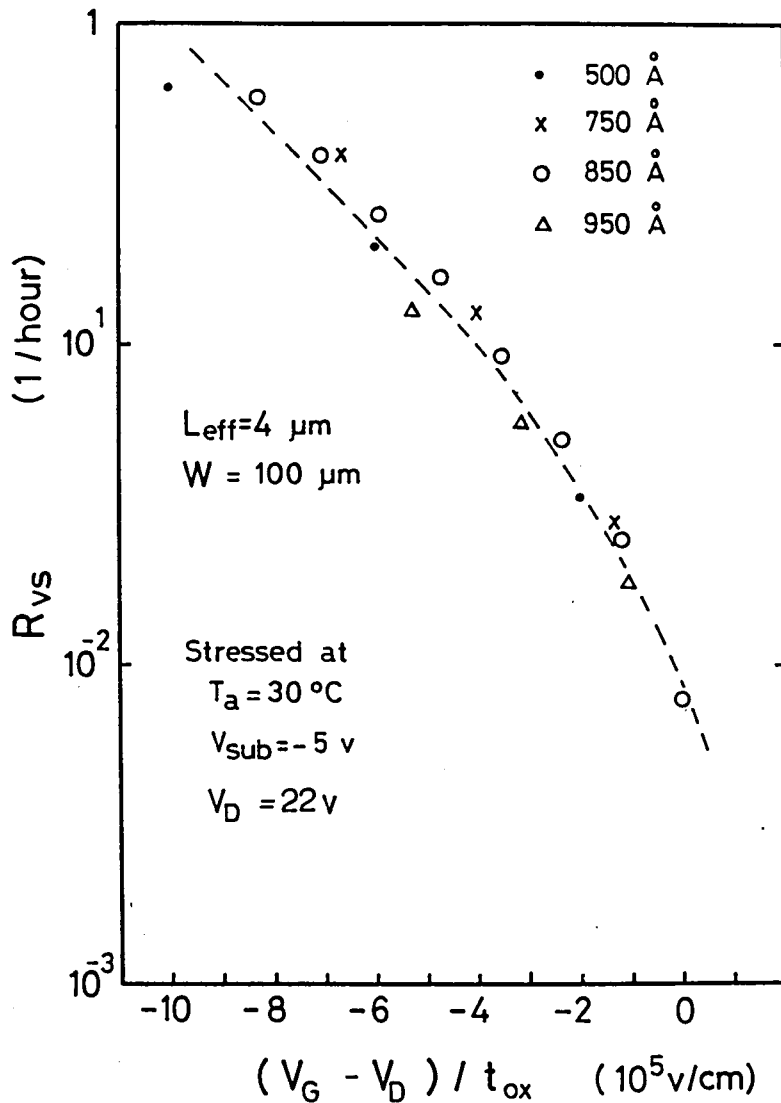


図3.7 V_{TH} シフトの速度(V_{TH} シフトが30 mVに達する時間の逆数)とドレイン端でのゲート SiO_2 膜中の電界の関係

他の値を用いても得られる結果は同じである。図中には、ゲート SiO_2 膜が 500 \AA 、 750 \AA 、 850 \AA 、 950 \AA の MOS FET に対するデータが記入されているが、ほとんど同じ傾向を示し R_{vs} と E_{ox} の関係は一つの曲線で表わされて次式が成り立つ。

$$R_{vs} = g(E_{ox}) \quad \dots\dots\dots (3-15)$$

すなわち、ゲート電圧の減少に伴う V_{TH} シフトの増大は、ゲート SiO_2 膜中の電界によって引き起こされており、 SiO_2 膜への突入電子にとっての逆電界が大きくなればなるほど V_{TH} シフトが著しくなるということがわかる。 V_{TH} シフトの速度は、 SiO_2 膜中への突入電子数と SiO_2 膜中でのトラップ効率(突入電子の何%がトラップされるか)とで決まる。図3.8は、 R_{vs} 、 I_{sub} および I_G の V_G 依存性を示している。 $V_G > V_D$ の領域では、 SiO_2 膜中に注入された電子のほとんどが

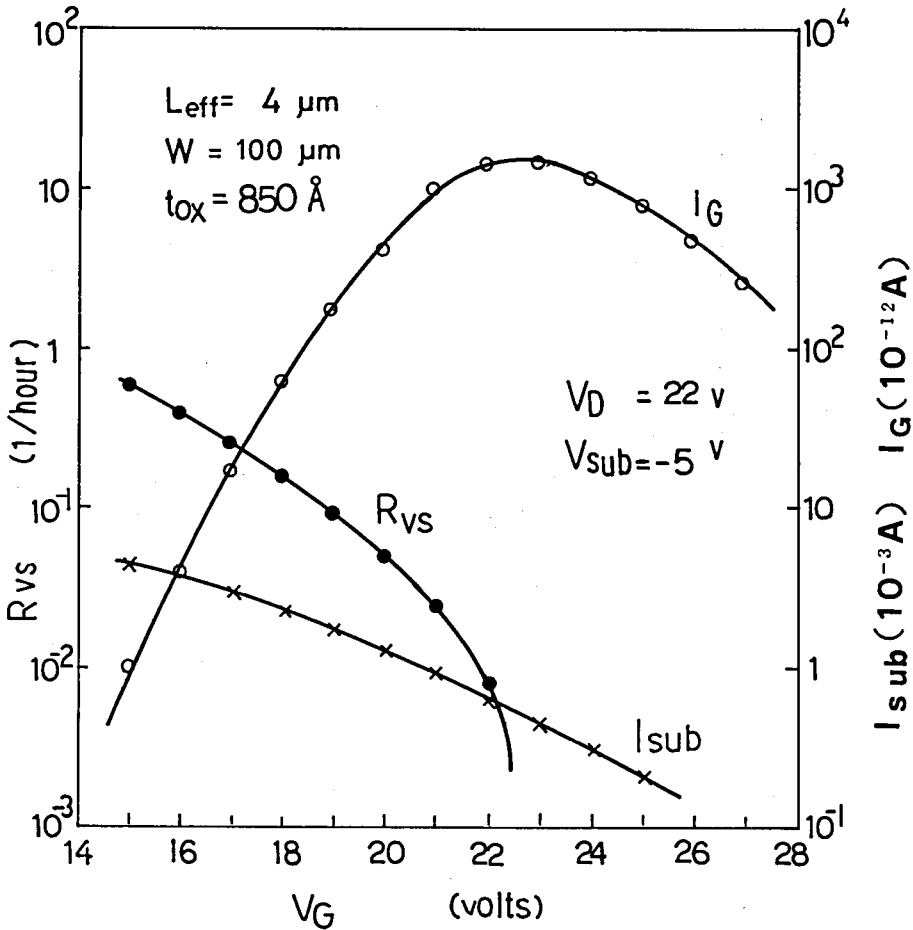


図3.8 R_{vs} 、 I_{sub} および I_G のゲートバイアス依存性

べてがゲート電極に達し得るので、注入電流はゲート電流と等しいと考えてもよい。しかし、 $V_G < V_D$ の領域では、 SiO_2 膜中の逆電界のため、 SiO_2 膜中に注入された電子の大部分がゲート電極にまで達し得ず、ゲート電流はもはや注入電流と一致しない。(詳しくは、2.3 節で議論している) さて、 $\text{Si}-\text{SiO}_2$ 界面において、ゲート SiO_2 膜方向への運動エネルギーをもたない電子が SiO_2 膜に突入することはない。それゆえ、 SiO_2 膜への注入電流は、 Si 基板の表面電界にも依存するものと考えられる。 Si 基板の表面電界はゲートバイアスの減少に伴って、 SiO_2 膜に向かう方向から Si 基板に向かう方向へと変化していく。したがって、 SiO_2 膜への注入電流のゲートバイアス依存性は、基板電流のゲートバイアス依存性より小さくなるものと考えられる。ところが、図 3.8 から明らかなように、 R_{VS} のゲートバイアス依存性は、基板電流のゲートバイアス依存性より大きい。この事実は、 V_{TH} シフトのゲートバイアス依存性に大きな影響を与えているのは、注入電子数の変化ではなく、トラップ効率の変化であるということを示唆している。つまり、ゲート SiO_2 膜中の電界が突入電子にとって逆方向に強くなればなるほどトラップ効果が増加することになる。一般的に、トラップ効率に対する電界の効果は二つある。一つは、電界がトラップのエネルギー障壁を減少させ、トラップからの電子の再放出を容易にさせる効果であり、この場合には、電界の増加に伴いトラップ効率が減少することになる。もう一つの効果は、電界が電子のエネルギー分布を変化させることである。電子エネルギーが大きくなると、マイナスに帯電したトラップでは、トラップ効率が高くなるが、それ以外のトラップ(プラスに帯電したトラップや中性トラップ)では、トラップ効率が減少する。 SiO_2 膜中では、中性トラップやプラスに帯電したトラップが報告されている。 $V_G < V_D$ の領域では、ゲート電流はほとんど流れないから、ゲート SiO_2 膜中にある初速度をもって突入した電子は、ゲート SiO_2 膜中の逆電界で減速させられ、ほとんどの電子は一旦停止した後 Si 基板側に追いつ返されているものと推定される。それゆえ、ゲートバイアスの減少に伴うトラップ効率の増加は、主として、電子エネルギーの減少に起因しているものと考えられる。図 3.9 は、プロセス B、 $L_{eff} = 2 \mu\text{m}$ の MOS FET に対するデータであるが、この結果は上記推定をより積極的に支持している。図 3.9 から明らかなように、ゲート SiO_2 膜中の逆電界は V_{TH} シフトの速度を増加させるが、逆電界がある一定値以上となると V_{TH} シフトの飽和値が減少し始める。この減少は、次のように考えることによって理解できる。すなわち、ゲートバイアスの減少に伴う SiO_2 膜中の逆電界により、突入電子の存在領域はより Si 基板側の狭い領域に限定されていく。そこで、ゲート電極側のトラップ準位での電子捕獲が不可能となるため、実効的には SiO_2 膜中のトラップ密度が減少したことに同じとなり、 V_{TH} シフト飽和値の減少傾向が現れる。また、図 3.9 において、 V_G が 4 V と極めて低いときには ΔV_{TH} が増加し、ピークをもった後に減少しはじめる傾向が現われている。これは、Hara 等の報告にあるように、 SiO_2 膜中に注入された正孔の捕獲によって生じているものと推定される。¹⁹⁾

さて、以上のように本節では、 V_{TH} シフトに与えるバイアスの効果を検討した。本節の検討結果から、実際のMOS LSIにおける特性値劣化の計算機シミュレーションが可能となる。ダイナミックRAMに対し、いくぶん定性的ではあるが、詳しい検討を第4章で行なう

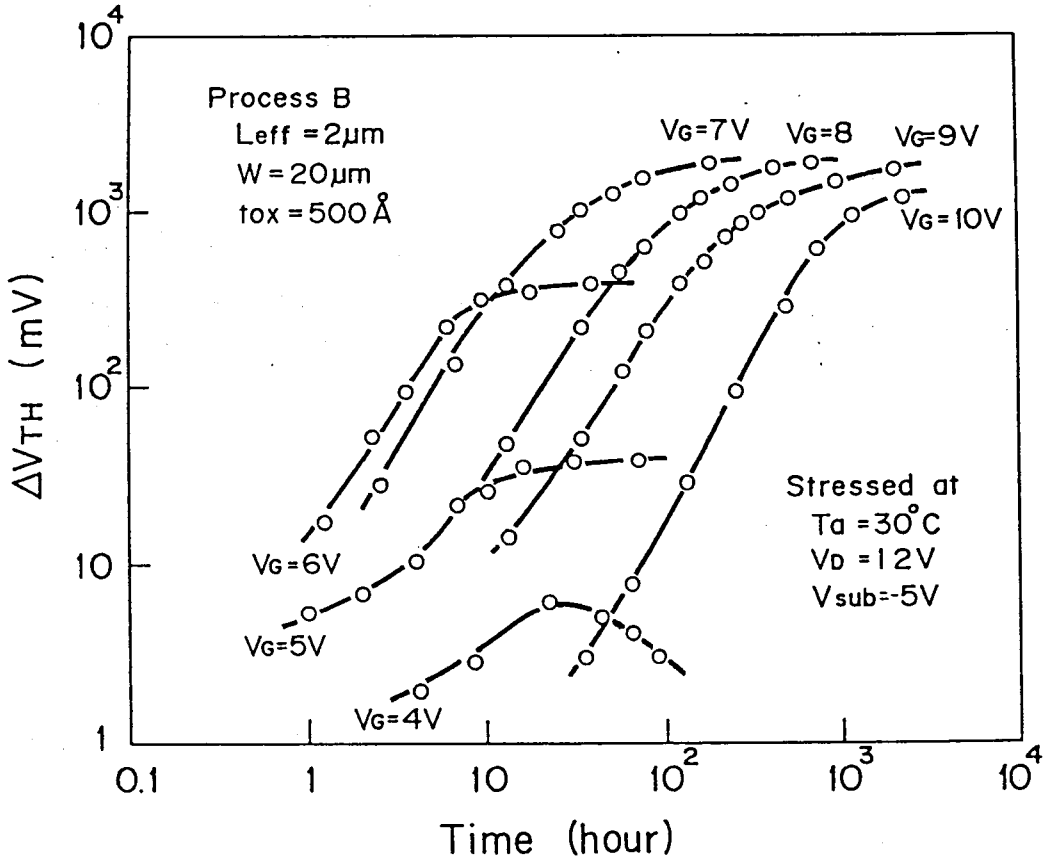


図3.9 V_{TH} シフトに対するゲートバイアスの効果

3.5 理論式による解析

本節では、SiO₂ 膜中での電子捕獲による V_{TH} シフト現象を簡単な理論式を用いてより定量的に検討する。捕獲断面積 σ_i をもったトラップの密度を N_{Ti} とし、 n_{Ti} をそのトラップに捕獲されている電子の密度であるとする。単位時間 dt 当りの捕獲電子密度の変化 dn_{Ti} は次式で表わされる。

$$dn_{Ti}/dt = (j_G/q)\sigma_i(N_{Ti}-n_{Ti}) \quad \dots\dots\dots (3-16)$$

ただし、 j_G はゲート SiO₂ 膜中の電流密度であり、 q は電子の電荷量である。初期状態では、 $n_{Ti}(t=0)=0$ と考えてよいため、(3-16) 式の解は次のように表わされる。

$$n_{Ti}(t) = N_{Ti} \left\{ 1 - \exp \left[-\sigma_i \int_0^t (j_G/q) dt' \right] \right\} \quad \dots\dots\dots (3-17)$$

したがって、単位面積当りの全捕獲電子量 n_T は SiO₂ 膜厚を t_{ox} として次式で表わされる。

$$\begin{aligned} n_T &= \sum_i \int_0^{t_{ox}} n_{Ti}(x) dx \\ &= \sum_i \left\{ 1 - \exp \left[-\sigma_i \int_0^t (j_G/q) dt' \right] \right\} \int_0^{t_{ox}} N_{Ti}(x) dx \\ &\quad \dots\dots\dots (3-18) \end{aligned}$$

今、簡単に考えるため、トラップの種類が一つしかなく(捕獲断面積： σ)、SiO₂ 膜内で均一に分布している(トラップ密度： N_T)と仮定すると、(3-18) 式は次のように表わされる。

$$n_T = N_T t_{ox} \left\{ 1 - \exp \left[-\sigma \int_0^t (j_G/q) dt' \right] \right\} \quad \dots\dots\dots (3-19)$$

$$= N_{TT} \left\{ 1 - \exp \left[-\sigma \int_0^t (j_G/q) dt' \right] \right\} \quad \dots\dots\dots (3-20)$$

N_{TT} は単位面積当りのトラップ密度を示している。したがって V_{TH} シフト (ΔV_{TH}) は単位面積当りの SiO₂ 膜容量を C_{ox} として次式で表わされる。

$$\Delta V_{TH} = (q/C_{ox} t_{ox}) (t_{ox}/2) n_T \quad \dots\dots\dots (3-21)$$

$$= (qN_{TT}/2C_{ox}) \left\{ 1 - \exp \left[-\sigma \int_0^t (j_G/q) dt' \right] \right\} \quad (3-22)$$

図 3.10 に V_{TH} シフトとゲート電流のエージング時間依存性を示している。試料はプロセス A の MOS FET で $L_{eff} = 3 \mu m$ である。図 3.10 の実験結果から、ゲート電流 I_G はエージング時間 t に対し、次のように表わされる。

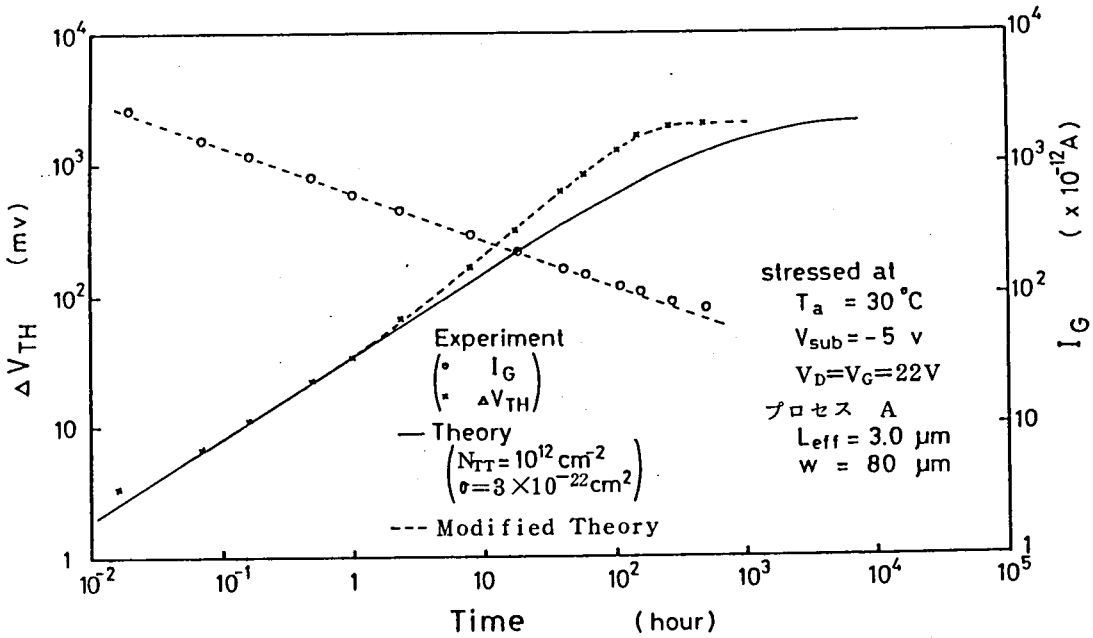


図3.10 エージング時間に対する I_G の変化と V_{TH} シフト特性

$$I_G = 10^{-8} \times t^{-0.36} \quad (\text{A}) \quad \dots\dots\dots (3-23)$$

ゲート電流が流れる電流通路の断面積を S とすると、(3-22)式は次のように書き換えられる。

$$\Delta V_{TH} = (qN_{TT}/2C_{OX}) \left\{ 1 - \exp \left[-\sigma \int_0^t (I_G/qS) dt' \right] \right\} \quad (3-24)$$

$$= (qN_{TT}/2C_{OX}) \left\{ 1 - \exp \left[-1.6 \times 10^{-8} (\sigma/qS) t^{0.64} \right] \right\} \quad (3-25)$$

電流通路の断面積 S を近似的にピンチオフ領域の面積であると仮定すると、 S は次のように計算される。

$$S = W \times \ell = 80 \times 10^{-4} \times 0.4 \times 10^{-4} = 3.2 \times 10^{-7} \text{ (cm}^2\text{)} \quad \dots\dots\dots (3-26)$$

さて、前節で述べたようにトラップ効率はゲートバイアスの減少に伴って大きくなる。SiO₂膜中の電子捕獲は、ゲートバイアスの減少と同様の効果をもつから、トラップ効率は V_{TH} のシフトの増加に伴って増加していくことになる。この効果を考慮すると、(3-25)式は次のように書き換

えられる。

$$\Delta V_{TH} = (qN_{TT}/2C_{OX}) \{1 - \exp[-1.6 \times 10^{-8}(\sigma/qS)t^{0.64} f(\Delta V_{TH})]\} \quad (3-27)$$

ここで、 $f(\Delta V_{TH})$ は V_{TH} シフトと共に増加する関数であり、図3.7の関係で与えられる。

図3.10における短時間で V_{TH} シフト特性を理論式と比較することにより、 $N_{TT} = 10^{12} \text{cm}^{-2}$ 、 $\sigma = 3 \times 10^{-22} \text{cm}^2$ の値が得られる。図3.10において、実線と破線はともに理論曲線を示しているが、実線は(3-25)式に、破線は(3-27)式に対応している。SiO₂膜中での捕獲電子の効果を考慮した理論式は、実験データと良く一致するが、この効果を考慮していない理論式では、 V_{TH} シフトが大きくなるにつれて、実験データとの不一致が著しくなっていく。さて、本解析で得られた N_{TT} と σ の値であるが、 $N_{TT} = 10^{12} \text{cm}^{-2}$ は従来から報告されている値と一致している^{1), 20)}。しかし、 $\sigma = 3 \times 10^{-22} \text{cm}^2$ の値は、従来の報告と比べ著しく小さい。SiO₂膜中のトラップの捕獲断面積に関する報告は多く、プラスに帯電したトラップに対しては $10^{-12} \sim 10^{-14} \text{cm}^2$ ^{7), 8), 10)}、中性トラップに対しては $10^{-15} \sim 10^{-18} \text{cm}^2$ ^{4), 5), 8), 10)}の値が報告されている。この不一致の原因は、以下のように考えることで、定性的には理解できる。図3.11は、ドレイン近傍の断面図であり、本現象を説明する模式図となっている。バイアス条件は、図3.10に示す実験と同じ $V_G = V_D$ を考えている。当然のことながらピンチオフ領域の電界の主成分はドレインに向っている。それゆえ、SiO₂膜中に注入される電子は、平均的に図3.11における右上方向の運動エネルギーをもっていると考えられる。したがって、SiO₂膜

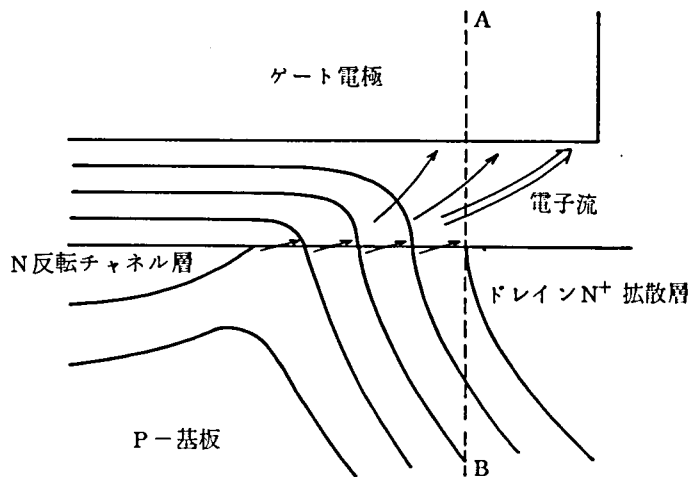


図3.11 ゲートSiO₂膜中の電子流方向を示す模式図

中を流れる電子の相当数が、図3.11に示すように、直線ABの右側を主に通ってゲート電極に達することになる。直線ABの右側の領域における電子捕獲は、トランジスタ特性に全く影響を与えない。 V_{TH} シフトに影響を与える電子は、直線ABの左側を通る電子のみであり、総注入電子の一部分であると考えることができる。したがって、(3-22)式において、ゲート電流の一部のみが有効であることになり、捕獲断面積 σ は前述の計算値より大きくなる。有効ゲート電流密度を j_{eff} とすれば、 ΔV_{TH} は次のように書き直される。

$$\Delta V_{TH} = (qN_{TT}/2C_{OX}) \left\{ 1 - \exp \left[-\sigma f(\Delta V_{TH}) \int_0^t (j_{eff}/q) dt' \right] \right\}$$

..... (3-28)

上式によれば、捕獲断面積 σ の値を従来の報告値と一致させるためには、ゲート電流の $10^{-4} \sim 10^{-5}$ が有効であると考えればよいことになる。

3.6 V_{TH} の劣化に対する温度の効果

3.5節で議論したように、 V_{TH} シフトは次式で表わされる。

$$\Delta V_{TH} = (qN_{TT}/2C_{OX}) \left\{ 1 - \exp \left[-\sigma f(\Delta V_{TH}) \int_0^t (j_{eff}/q) dt' \right] \right\}$$

(3-28)

(3-28)式において、温度により変化するパラメータとして、 N_{TT} 、 σ および j_{eff} が考えられる。これら温度依存性をもつパラメータのうち、 N_{TT} は V_{TH} シフトの飽和値と関係し、 σ と j_{eff} は V_{TH} シフトが飽和するまでの時間(飽和時間)と関係している。図3.12は V_{TH} シフトの温度依存性を示している。温度とともに主に V_{TH} シフトの飽和値が変化しており、飽和時間は温度にほとんど依存しない。図中の実線は(3-28)式から得られる理論曲線であり、 N_{TT} のみが温度とともに変化すると考え、 -40°C で $2 \times 10^{12}/\text{cm}^2$ 、 30°C で $10^{12}/\text{cm}^2$ 、 100°C で $5 \times 10^{11}/\text{cm}^2$ と仮定している。理論曲線は実測値とよく一致している。したがって、 V_{TH} シフトの温度特性は、実効的トラップ密度の温度依存性に主に起因していると考えられる。 V_{TH} シフトの飽和時間が温度にほとんど依存しない理由は明白でないが、定性的には以下のように説明可能である。ゲート電流は2.5節で議論したように、温度の上昇に伴って減少する。 j_{eff} はゲート電流の一部であるから、温度とともに減少しているものと考えられる。一方、温度の上昇に伴って電子の平均自由行程が短くなり、電子のエネルギー分布が低い方にシフトする。そのため、 SiO_2 膜中のトラップ(中性やプラスに帯電したトラップが報告されている)では、捕獲断面積 σ が温度の上昇に伴って大きくなる。 V_{TH} シフトの速度は、 j_{eff} と σ の積の形で表わされるがゆえに、両者の温度依存性が相殺しあっている可能性がある。

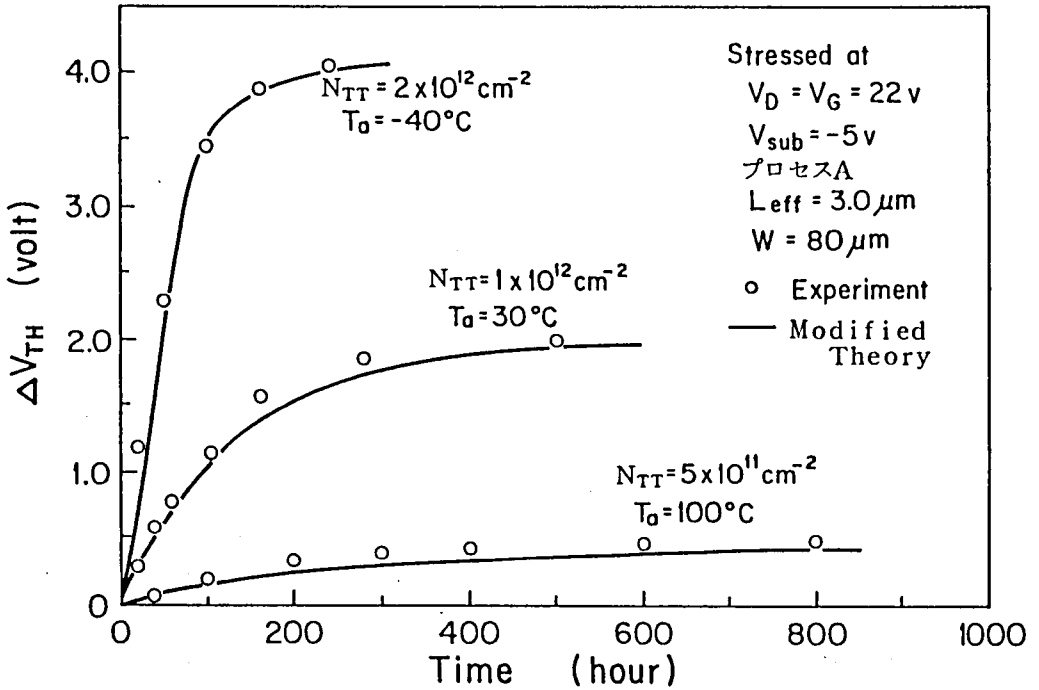


図 3.1-2 V_{TH} シフトの温度依存性

さて次に、トラップ密度の温度依存性について、もう少し詳しく検討してみる。T. H. Ning は熱刺激電流により、 SiO_2 膜中のトラップ準位を調べた。それによると、トラップ準位は、伝導帯から 300 meV という浅いレベルを中心に、半値幅 200 meV の広い分布⁹⁾ をしている。また、3.3 節で示したように、我々のデータにおいても、平均値 300 meV で広い分布をしていることがわかっている。トラップ準位が浅いので、常温近傍の温度でも容易に捕獲電子がトラップから熱励起される。3.3 節でも述べたように、電子が伝導帯に励起されている確率 P_e は次式で表わされる。

$$P_e = \exp(-\Phi/kT) \quad \dots\dots\dots (3-29)$$

図 3.1 3 は、放出確率 P_e の Φ 依存性を示している。当然のことながら、放出確率は温度の上昇、 Φ の減少に伴って増加する。

図 3.1 4 は、T. H. Ning の報告に基づいてトラップのエネルギー準位分布を正規確率紙に示したものである。いま簡単化のため、放出確率がある一定値（限界放出確率値： $(n/N)_{critical}$ ）以上のトラップは、トラップとして機能しないと仮定すると、実効トラップ密度 (N_{TT}') と温度の関係は

図3.15の実線で表わされる。限界放出確率値を $10^{-5} \sim 10^{-6}$ と仮定すると、理論曲線と実測値は一致する。

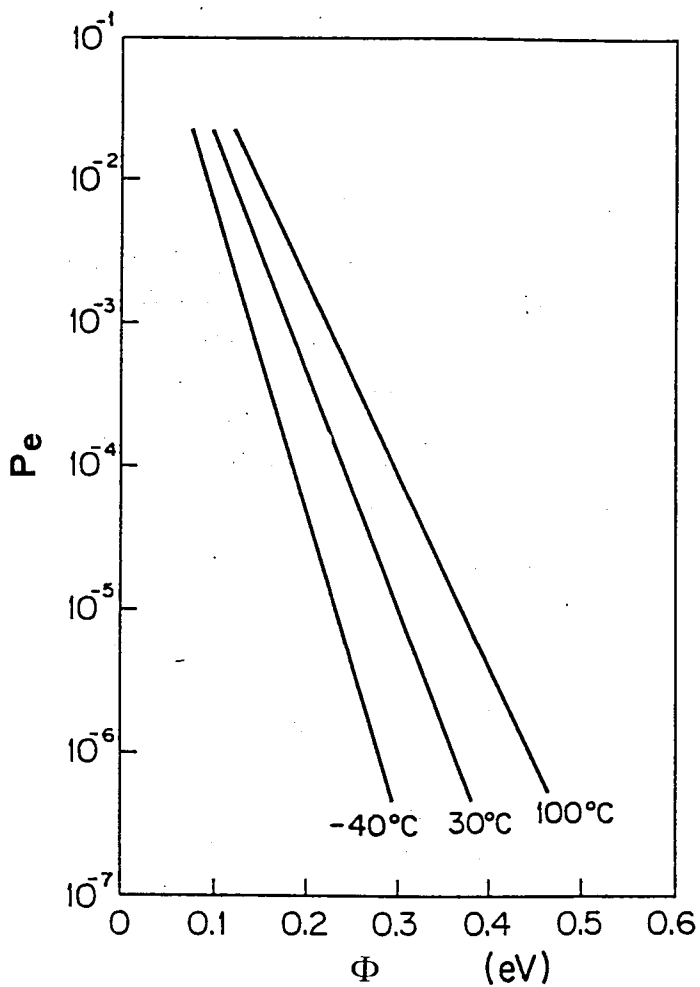


図3.13 放出確率のエネルギー障壁高依存性

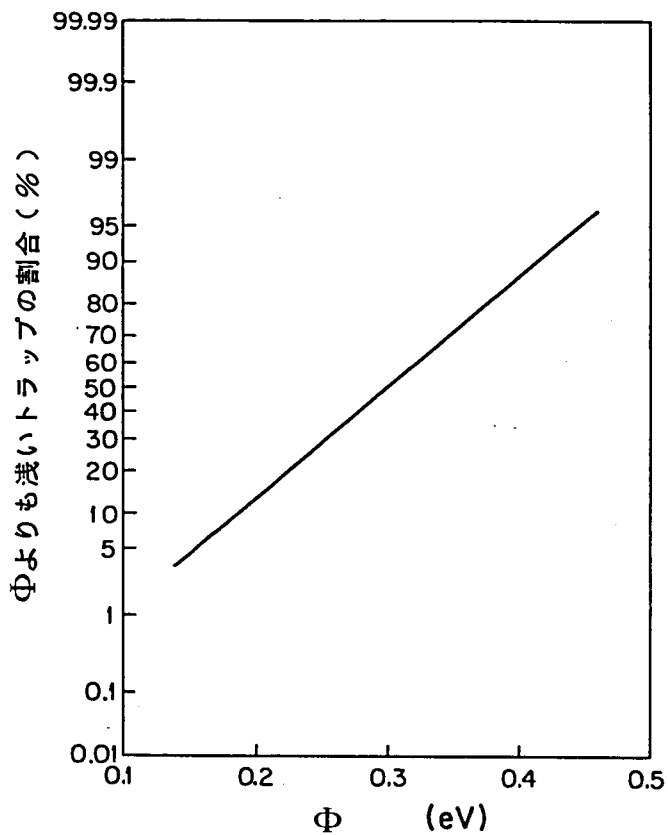


図3.14 トラップのエネルギー準位分布

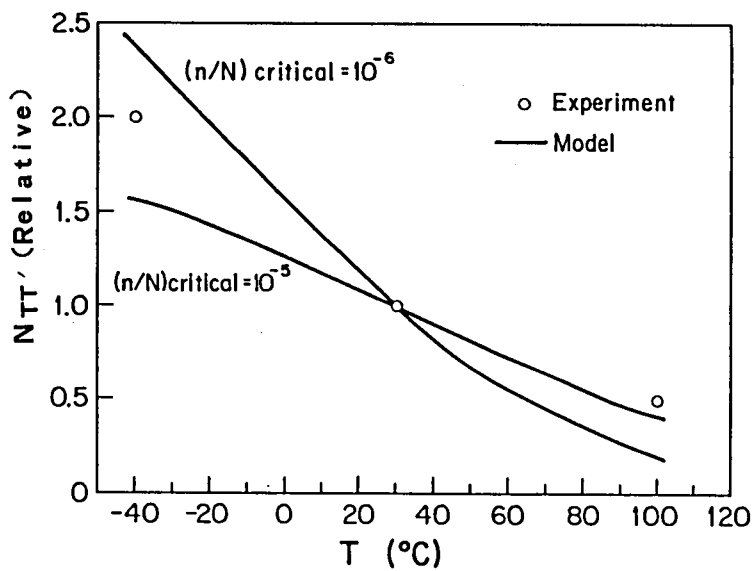


図3.15 実効トラップ密度の温度依存性

3.7 結 言

衝突電離により、MOSトランジスタのドレイン領域で生成される電子・正孔対のうち、電子の一部はゲート SiO_2 膜中に注入される。注入された電子の一部は、 SiO_2 膜中のトラップに捕獲され、 V_{TH} シフトをひき起こす。本章では、この V_{TH} シフト現象の諸特性を詳細に調べ、理論式との比較検討を行なった。 V_{TH} シフトに対するドレインバイアスの効果は、第2章で述べたゲート電流のデータからはほぼ予測できるものであるが、ゲートバイアスの効果はゲート電流からの予測と著しく異なる。つまり、ゲートバイアスの減少に伴って V_{TH} シフトの変化速度が早くなり、これは SiO_2 膜中の逆電界がトラップ効率を増加させるためであると推定できる。このゲートバイアスの効果を考慮した理論式は、 V_{TH} シフトの実測データと良く一致する。また、 V_{TH} シフトの温度依存性およびその回復特性から、 SiO_2 膜中のトラップのエネルギー準位を推定した。

以下、本章で得られた結果を箇条書きにまとめる。

- (1) 衝突電離がドレイン近傍で起こることに対応して、 SiO_2 膜中での電子捕獲も主にドレイン近傍で起こる。
- (2) $V_{\text{D}} = V_{\text{G}}$ のバイアス状態では、寿命 (V_{TH} シフトがある一定値に達するまでの時間) はゲート電流と逆比例の関係にあり、ゲート電流の大小に依存しないで、その一定比率分がゲート SiO_2 膜中のトラップに捕獲されていることを示している。
- (3) $V_{\text{G}} < V_{\text{D}}$ のバイアス状態では、ゲート電流が極端に小さくなってしまってもかわらず、 V_{TH} の変化速度は著しく早くなる。この現象は、 SiO_2 膜中の逆電界により、注入電子の運動エネルギーが減少し、トラップ効率が増加することに起因していると考えられる。
- (4) $V_{\text{G}} < V_{\text{D}}$ のバイアス状態において、 V_{G} がある一定値以下になると、 V_{TH} シフトの飽和値が減少する傾向がでてくる。これは、 SiO_2 膜中の逆電界により、注入電子の到達距離 ($\text{Si}-\text{SiO}_2$ 界面からの距離) が短くなり、ゲート電極側のトラップが有効でなくなるためであると考えられる。
- (5) $V_{\text{G}} \ll V_{\text{D}}$ の領域では、正孔の SiO_2 膜中への注入を示唆していると考えられる V_{TH} の減少傾向が認められる。
- (6) ゲートバイアスが V_{TH} シフトに与える効果を考慮した理論式は、実験結果と良く一致する。理論式と実験結果の比較から、周囲温度 30°C においては、トラップ密度が $1.0^{12}/\text{cm}^3$ 、トラップの捕獲断面積は $3 \times 10^{-22} \text{cm}^2$ と計算される。捕獲断面積の値が従来の報告値より著しく小さいのは、ゲート電流の大部分がトランジスタの V_{TH} に影響を与えない領域を流れるためであると推定される。
- (7) V_{TH} シフトの温度依存性は、主に、トラップ密度の温度依存性によって支配されている。トラップ準位が浅いため、温度の上昇に伴って有効なトラップの密度 (実効トラップ密度) が減

少する。40°Cで $2 \times 10^{12}/\text{cm}^3$ ，30°Cで $10^{12}/\text{cm}^3$ ，100°Cで $5 \times 10^{11}/\text{cm}^3$ と仮定すると理論式と実測データは一致する。

- (8) 近似的に，放出確率（電子が伝導帯に励起されている確率）がある一定値（限界放出確率値）以上のトラップは，トラップとして機能しないと仮定した場合，限界放出確率値を $10^{-5} \sim 10^{-6}$ とすることでモデルと実測値は一致する。トラップのエネルギー準位は，伝導帯から300 meVを中心に標準偏差90 meVの正規分布をしているものと推定される。

参 考 文 献

- 1) R. Williams : Physical Review., Vol. 140, P. A569 (1965).
- 2) E.H. Snow : Solid State Commun., Vol. 5, P. 813 (1967).
- 3) E.H. Nicollian, A. Goetzberger and C.N. Berglund : Applied Physics Letters, Vol. 15, P. 174 (1969).
- 4) E.H. Nicollian and C.N. Berglund : Journal of Applied Physics Vol. 42, P. 5654 (1971).
- 5) A. Ushirokawa, E. Suzuki and M. Warashina : Japanese Journal of Applied Physics , Vol. 12, P.398 (1973).
- 6) T.H. Ning and H.N. Yu : Journal of Applied Physics, Vol. 45, P.5373 (1974).
- 7) T.H. Ning, C.M. Osburn and H.N. Yu : Applied Physics Letters, Vol. 26, P.248 (1975).
- 8) T.H. Ning : Journal of Applied Physics. Vol. 49, P. 4077 (1978).
- 9) T.H. Ning : Journal of Applied Physics, Vol. 49, P. 5997 (1978).
- 10) J.M. Aitken, D.R. Young and K. Pan : Journal of Applied Physics, Vol. 49, P. 3386 (1978).
- 11) D.R. Young, E.A. Irene, D.J. Dimaria, R.F. Dekeersmaecker and H.Z. Massoud : Journal of Applied Physics, Vol. 50, P. 6366 (1979).

- 12) S.A. Abbas and R.C. Dockerty : Applied Physics Letters, Vol. 27, P.147 (1975).
- 13) T.H. Ning et al. : IEEE Trans. Electron Devices, ED-26, P.346 (1979).
- 14) V. Srinivasan and J.J. Barnes : IEEE IEDM Technical Digest, P.740 (1980).
- 15) R.A. Gdula : J. Electrochem. Soc., Vol. 123, P.42 (1976).
- 16) H. Matsumoto, K. Sawada, S. Asai, M. Hirayama and K. Nagasawa : Japanese Journal of Applied Physics, Vol. 19, P.L 574 (1980).
- 17) H. Matsumoto, K. Sawada, S. Asai, M. Hirayama and K. Nagasawa : Japanese Journal of Applied Physics, Vol. Supplement 20-1, P.255 (1981).
- 18) H. Matsumoto, K. Sawada, S. Asai, M. Hirayama and K. Nagasawa : IEEE Trans. Electron Devices, ED-28, P.923 (1981).
- 19) H. Hara, Y. Okamoto and H. Ohnuma : Japanese Journal of Applied Physics, Vol. 9, P. 1103 (1970).
- 20) B. Euzent : IEEE Reliability Physics Symp., P.1 (1977).
- 21) Y. Sato, K. Miyamoto and H. Matsumoto : Japanese Journal of Applied Physics, Vol. 22, No 4, P. L 221 (1983).

第4章 衝突電離に起因したMOS RAMの劣化

4.1 序

第2章で述べたように、MOSトランジスタを飽和領域で動作させていると、衝突電離により電子・正孔対が生成される。生成された電子の一部はゲートSiO₂膜中に注入される。そして、第3章で述べたように、注入された電子の一部はSiO₂膜中のトラップに捕獲されV_{TH}を増加させてしまう。MOS ICを構成する内部トランジスタのほとんどは、飽和領域での動作期間を有する。したがって、MOS ICを長時間動作させていると、内部トランジスタのV_{TH}が増加し、動作速度の低下あるいは動作可能な電源電圧領域の減少をひき起こすものと考えられる。しかし、MOS ICにおけるこの種の劣化現象は、ほとんど報告されていない。その理由は次のように考えられる。①非常に長時間の評価が必要となる。(短時間で評価を完了させるためには、ICの電源電圧を高くしたエージングが必要であるが、電圧を上げすぎると、衝突電離と全く関係のないモードでICが破壊されてしまう。)②ICの電気的特性に対する非常に安定且つ厳密な測定が必要となる。

衝突電離に起因したICの劣化現象を最初に確認しようとしたのは、B. Euzent であり、1024ビットのMOSスタックRAMを-20°Cで長時間動作させたが、アクセスタイム(読み出してから出力が出てくるまでの時間)の劣化が観測できなかつたと報告している。また、彼は300mVのV_{TH}シフトが10nsecのアクセスタイムシフトをひき起こすという計算機シミュレーション結果を報告している。¹⁾

T.H.Ning 等は、ダイナミックRAMで広く用いられている昇圧回路を詳しく吟味し、この回路がRAMの劣化現象に対し最も危険な部分であると報告している。²⁾

また、R.R.Troutman 等は、ゲート電流の実測値からRAMの内部トランジスタの劣化を予測するモデルを提案しており、このモデルに基づいて回路設計上の改善策を検討している。³⁾

本章では、まず衝突電離に起因したMOS RAMの劣化が、アクセスタイムの変化で明確に観測できることを示す。⁴⁾

次に、アクセスタイムの変化に対するバイアスや温度の効果を詳細に調べ、MOSトランジスタの劣化との関係を検討する。

また、アクセスタイムの変化を詳しく回路シミュレーションし、アクセスタイムの変化がIC内部の特定のトランジスタ(第3章の結果から予想される危険トランジスタ)のV_{TH}シフトによりひき起こされていることを示す。⁵⁾そして最後に、MOS RAM設計上の注意事項を明らかにし、危険トランジスタのチャネル長とチャネル巾を増加させることで、アクセスタイムの劣化が防止できることを実証する。

4.2 実験試料および実験方法

本章で用いた実験試料は、表 2.1 におけるプロセス A とプロセス B で作製された MOS ダイナミック RAM であり、主なパラメータを表 4.1 に示す。表 4.1 において、ダイナミック RAM I および II は

表 4.1 実験試料の分類

デバイス	メモリ容量	プロセス名	ソースとドレイン	拡散深さ	チャネル・ドーズ	ゲート SiO ₂ 膜厚	実効チャネル長
ダイナミック RAM I	16Kビット	プロセス A	PH ₃ 熱拡散	1.0 μm	2 × 10 ¹¹ /cm ²	850 Å	4 μm
ダイナミック RAM II	16Kビット	プロセス B	As イオン注入	0.5 μm	4.5 × 10 ¹¹ /cm ²	500 Å	2 μm
ダイナミック RAM III	64Kビット	プロセス B	As イオン注入	0.5 μm	4 × 10 ¹¹ /cm ²	400 Å	1.9 μm

16384ワード×1ビットの構成であり、ダイナミック RAM III は 65536ワード×1ビットの構成となっている。それぞれのブロック図を図 4.1 および図 4.2 に示す。メモリーセルは、いずれも一つの MOS トランジスタと一つのキャパシタから構成されており、これを図 4.3 に示す。アドレス入力はず \overline{RAS} 信号でラッチされ、一本のワード線が選択される。選択されたワード線には V_{CC} 電圧が印加され、トランジスタ Q が ON し、メモリーキャパシタ C_S とデータ線が接続される。各データ線の情報は、 \overline{RAS} 信号から内部発生される信号によってセンスアンプ回路で増幅固定される。 \overline{CAS} 信号でラッチされたアドレス入力は一本のデータ線を選択し、そのデータ線は入出力回路と接続される。書き込み動作か読み出し動作かの選択は R/W 信号により制御される。図 4.4 は各クロックのタイミング図である。 \overline{RAS} 信号あるいは \overline{CAS} 信号が入ってから、データ出力端子に出力信号が出てくるまでの時間がアクセスタイムであり (\overline{RAS} 信号からの遅れを t_{RAC} 、 \overline{CAS} 信号からの遅れを t_{CAC} と呼ぶ)、RAM の動作速度を表わしている (特に指定しないかぎり t_{RAC} をアクセスタイム t_{acc} と考える)。ダイナミック RAM I、II および III のチップ写真を図 4.5 に示す。ダイナミック RAM II は、基本的にはダイナミック RAM I を 0.7 倍に比例縮小したパターンとなっている。ダイナミック RAM I は市販されている 16Kビットダイナミック RAM とほとんど同じプロセス

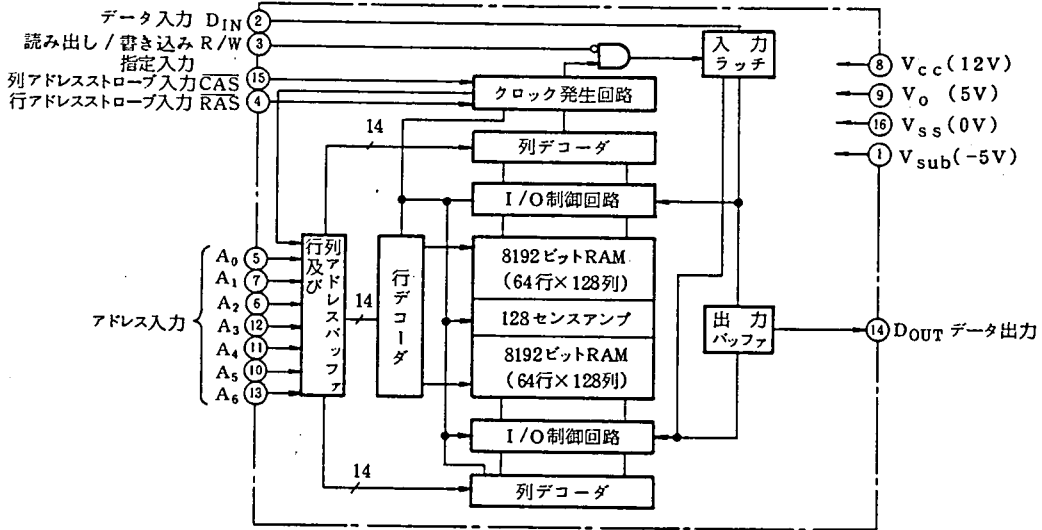


図4.1 16KビットダイナミックRAMのブロック図

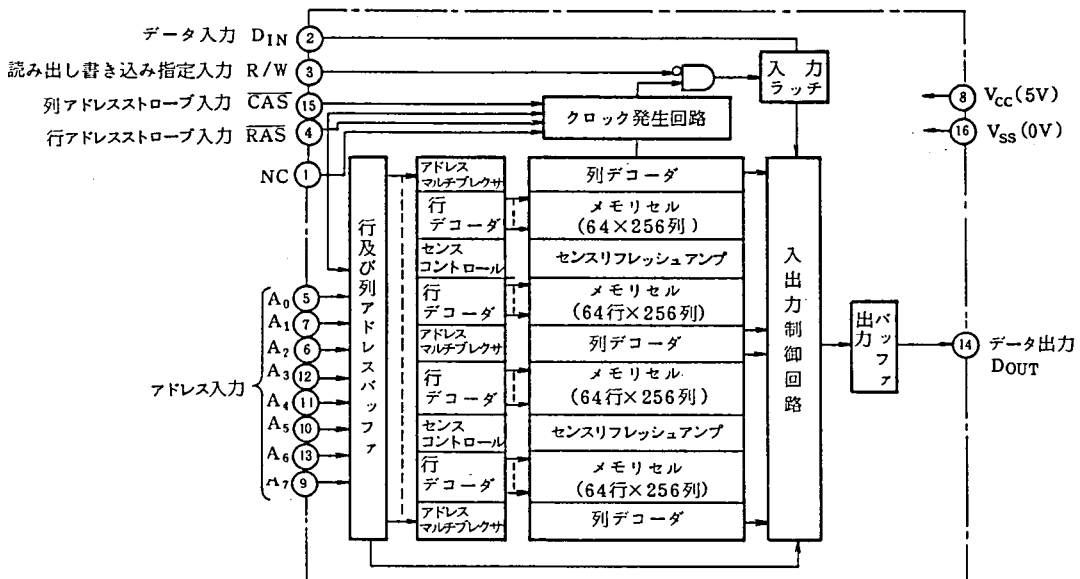


図4.2 64KビットダイナミックRAMのブロック図

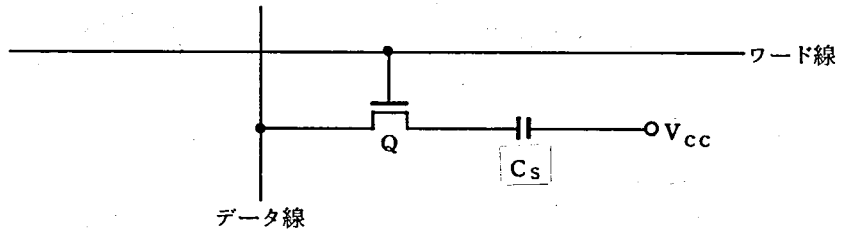
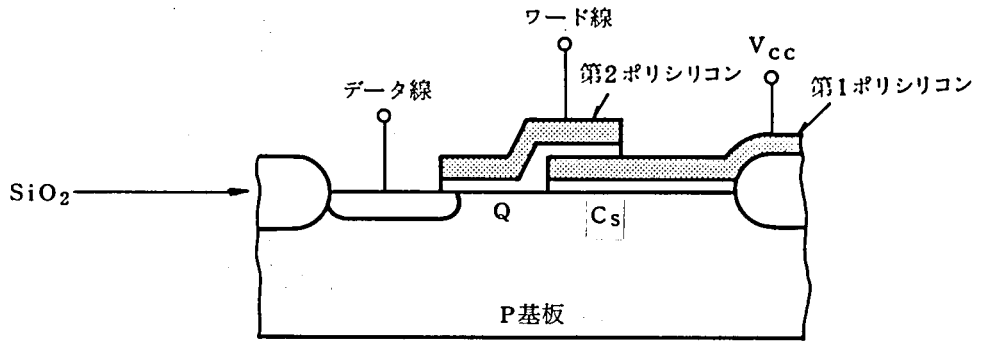


図 4.3 メモリーセルの構造

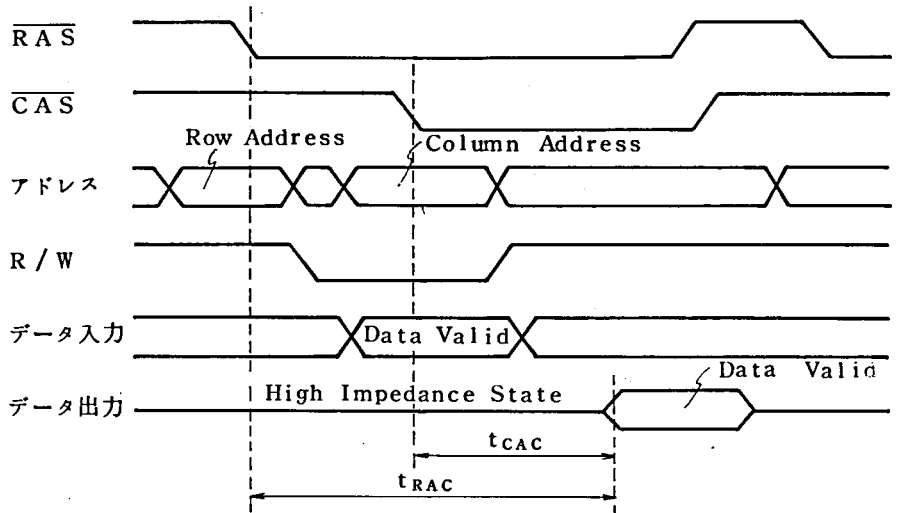
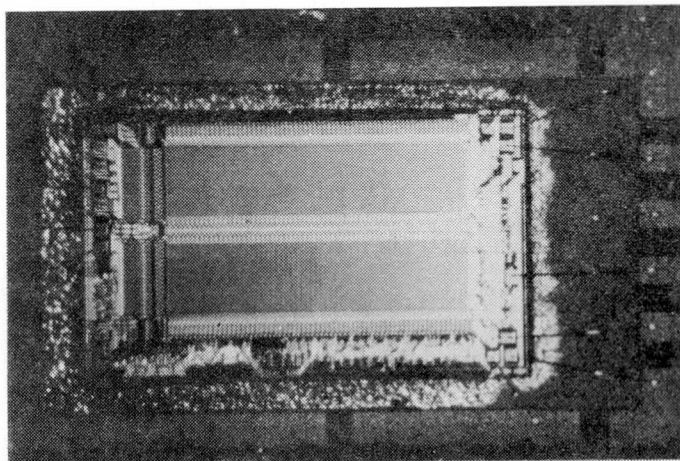
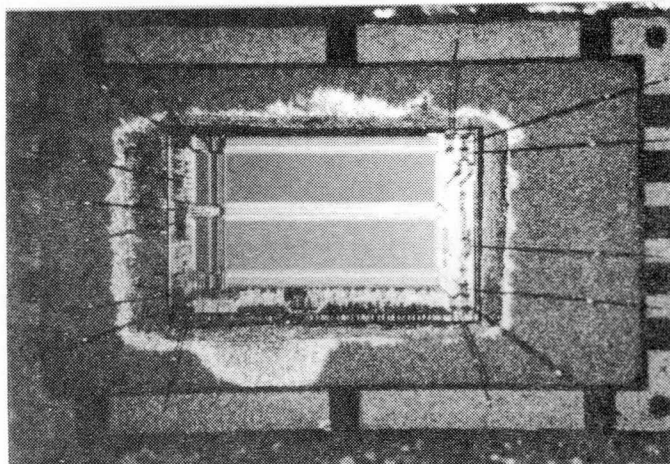


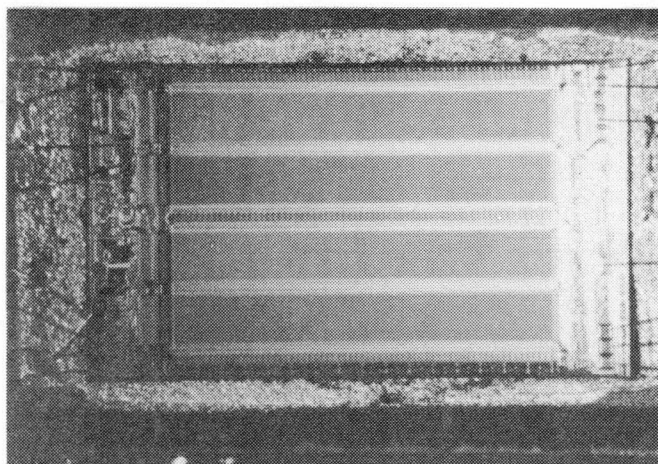
図 4.4 各クロックのタイミング図



RAM I



RAM II



RAM III

図4.5 ダイナミックRAM I, II, IIIのチップ写真(10倍)

で製造されている。これらダイナミックRAMは16ピンDIL (Dual In Line) セラミックパッケージに組み込まれており、外部ピンの構成を図4.6に示す。

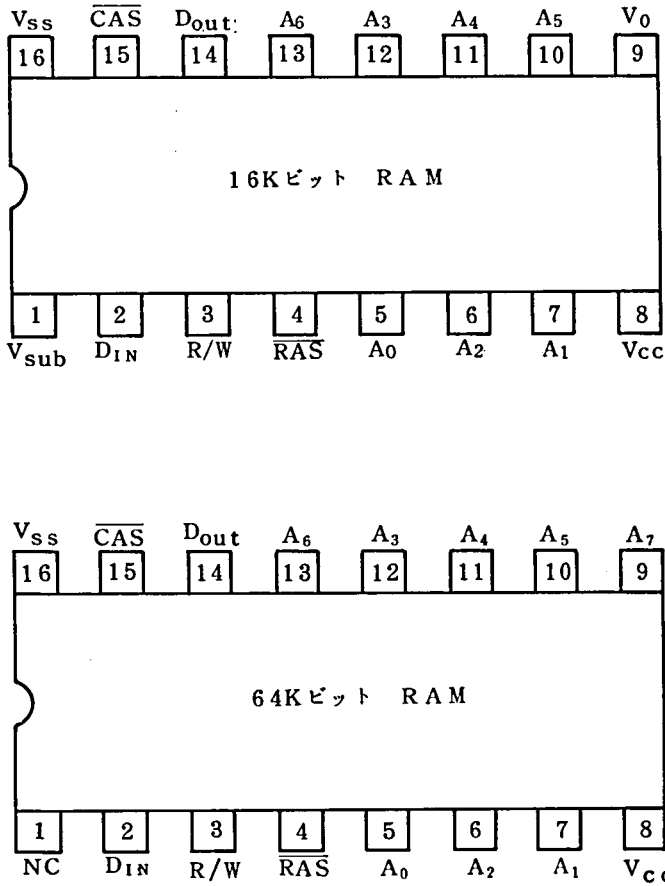


図4.6 外部ピンの配置

ダイナミックRAMにおけるエージングおよび特性値の測定は、図4.7に示すシステムで行なった。恒温槽の温度はCPUからの命令で設定され、 $-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ の範囲で可変である。各種クロックのタイミング、テストパターンおよび電源電圧もCPUからの命令で設定され、RAMの出力は判定回路により常時監視されている。試験はあらかじめプログラムされたテストシーケンスにそって完全自動で行なわれる。図4.8は、本試験で用いたテストシーケンスを示している。まず、温度、クロックタイミングおよびテストパターンの設定を行ない、その後に $V_{CC} = 5\text{V}$ でのアクセスタイムの測定を行なう。そして、アクセスタイムを劣化させるため、高い V_{CC} での動作エージングを10分間行なう。エージング後、チップ温度上昇の影響を除去するため $V_{CC} = 5\text{V}$ での動作を1分間行な

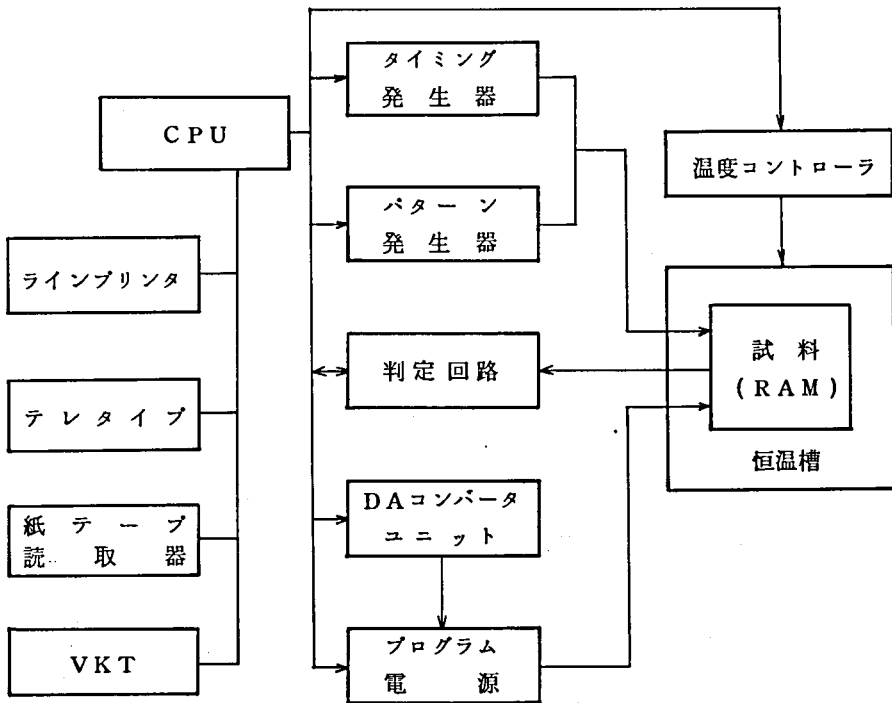


図4.7 試験システムのブロック図

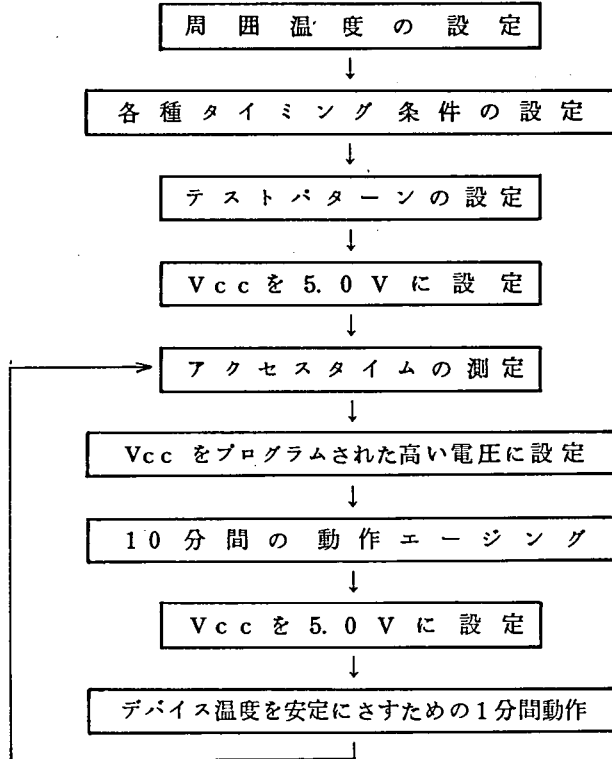


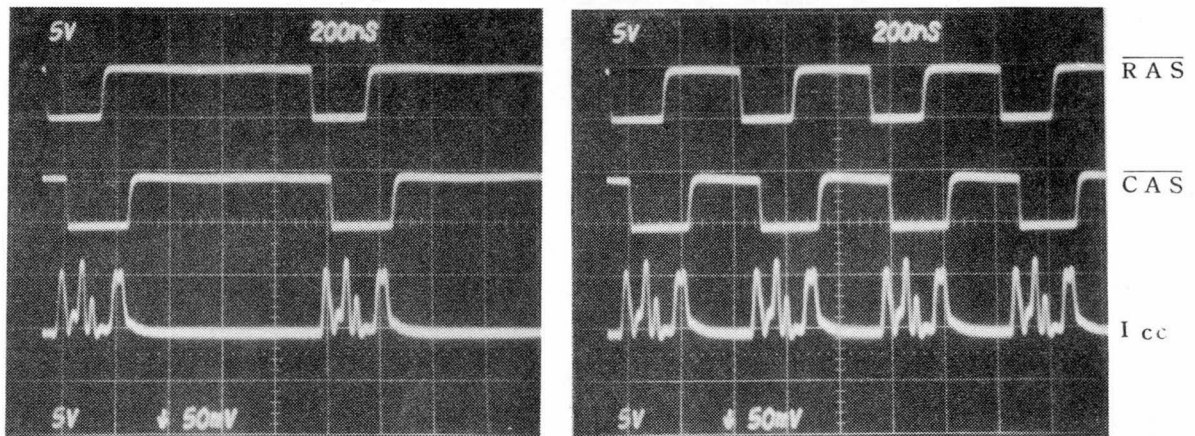
図4.8 テストシーケンス(64K RAMの場合)

う。そしてアクセスタイムを測定し、あとはその繰り返しとなる。次節で述べるように、 $V_{CC}=5V$ でのアクセスタイムシフトは無視できるので、アクセスタイムのシフトは、高 V_{CC} での10分間エージングでのみ起こると考えてよい。本試験システムにおいては、500ケのRAMが同時に試験でき、アクセスタイムの測定精度は1nsecである。本研究のような、特性値の変化を調べる研究においては、本試験システムは次のような利点をもっている。

- (1) RAMには連続的にバイアスが印加されている。それゆえ、バイアス切断時に劣化した特性値が回復する現象を防止でき、正確に劣化特性を測定できる。
- (2) 特性値の測定は全く同一条件で行なわれるので、特性値の変化が正確に把握できる。
- (3) 全自動であり、完全な無人運転が可能である。

4.3 ダイナミックRAMにおける衝突電離現象

ダイナミックRAMにおいては、内部回路がダイナミック動作しており、消費電流は小さい。すなわち、電源電流は充放電電流のみであり \overline{RAS} 、 \overline{CAS} パルスと同期して特定のタイミングでパルス電流が流れる。図4.9は種々のサイクルタイム(t_{cycle} :書き込みあるいは読み出し動作を一回行なう時間)での電流波形を示している。主要な内部回路が動作している時間(すなわち、パルス電流の時間幅)は一定であり、サイクルタイムとは無関係であることがわかる。内部回路を構成するMOS FETの動作状態については、4.5節で詳しく議論するが、特定のMOS FETは深い飽和領域で動作し、大きな衝突電離現象を起こす。そして、これら特定のMOS FETの V_{TH} が大きく変化することによって回路の動作速度が遅延し、RAMのアクセスタイムが増加してしまう。図4.10はRAMにおけるアクセスタイムシフト(Δt_{acc})の一例を示しており、ダイナミックRAM I



a) $t_{cycle}=1\mu sec$ の時

b) $t_{cycle}=500nsec$ の時

図4.9 電源電流波形とサイクルタイムの関係

に対するデータである。図3.10との比較から明らかなように、アクセスタイムの経時変化は V_{TH} の経時変化とよく似た傾向を示し、1Vの V_{TH} シフトが10nsecのアクセスタイムシフトをひき起こしているものと考えられる。図4.10は、アクセスタイムシフトのサイクルタイム依存性も同時

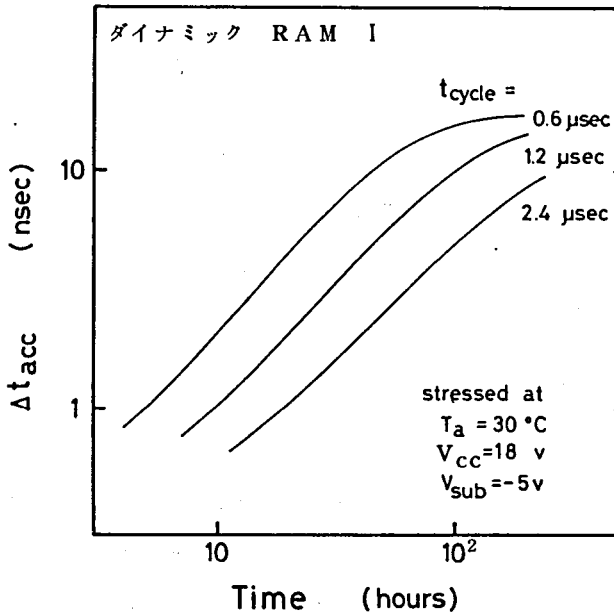


図4.10 アクセスタイムシフトのサイクルタイム依存性

に示している。アクセスタイムシフトはサイクルタイムが長くなるにつれて遅くなる。すなわち、アクセスタイムシフトがある一定値に達するまでの時間は、サイクルタイムに比例して長くなっていく。これはサイクルタイムの増加に伴い、電流の流れている期間の割合が実質的に減少していくという前述の事実起因している。図4.11はアクセスタイムシフトの回復特性を示しており、図3.2に示す V_{TH} シフトの回復特性とほとんど同じ特性となっている。以上の事実から、RAMのアクセスタイムシフトは衝突電離に起因したMOS FETの V_{TH} シフトによりひき起こされていると考えることができる。図4.12はアクセスタイムシフトの実測データと、MOS FETの V_{TH} シフトデータから推定したRAMのアクセスタイムシフトとを、比較して示したものである。図中の実線はダイナミックRAM Iに対する実測データであり、破線はプロセスAの $L_{eff} = 4\text{ }\mu\text{m}$ のMOS FETにおける V_{TH} シフトデータからの推定曲線である。推定にあたっては、次の2つの仮定を用いている。

- (1) 各々のMOS FETにとって、電流の流れる時間は1サイクル中60nsecである。図4.12におけるRAMのエージングは $t_{cycle} = 600\text{ nsec}$ で行なわれているので、電流が流れる

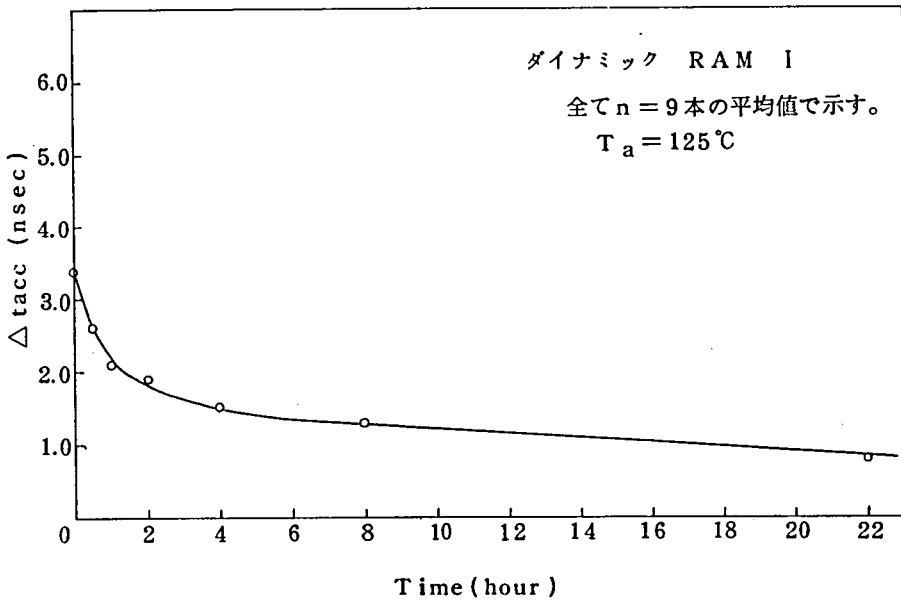


図 4.11 アクセスタイムシフトの回復特性

有効な期間は、全エージング期間の10%である。

- (2) V_{TH} シフトと t_{acc} シフトは線形に対応し、1Vの V_{TH} シフトが10 nsec のアクセスタイムシフトをひき起こす。

RAMのエージングは、 $T_a = 30^\circ\text{C}$ 、 $V_{CC} = 1.8\text{V}$ で行なわれている。図4.12中の推定曲線Iは、回路内部の全MOS FETが $V_D = V_G = 1.8\text{V}$ のバイアス状態にある、と仮定した場合のアクセスタイムシフトを表わしている。推定曲線は、実測データと比較し、 10^6 倍も遅い変化速度となってしまう。ダイナミックRAMの内部回路には、ブートストラップ回路が多用されており、その部分では2.3Vまで昇圧されている。推定曲線IIは、 $V_D = V_G = 2.3\text{V}$ のバイアス状態を仮定した場合のアクセスタイムシフトである。依然として、アクセスタイムシフトの推定曲線は、実測データより100倍以上寿命が長くなる。したがって、 $V_D = V_G$ というバイアス状態でのMOS FETの V_{TH} シフトからは、RAMのアクセスタイムシフトが説明できない、ということになる。第3章で詳しく述べたように、 $V_G < V_D$ のバイアス状態では、MOS FETの V_{TH} シフトが早く起こる

ようになる。詳しい定量的議論は4.5節で行なうが、 $V_G < V_D$ のバイアスに長く保たれる特定のMOS FETが短時間で V_{TH} シフトを起こし、これがRAMのアクセスタイムシフトをひき起こしているものと考えられる。図4.12中の推定曲線Ⅲは、内部FETのバイアス状態が $V_D = 21V$ 、 $V_G = 10V$ であると仮定した場合のアクセスタイムシフト(Δt_{acc})である。推定曲線は、実測データとよく一致している。

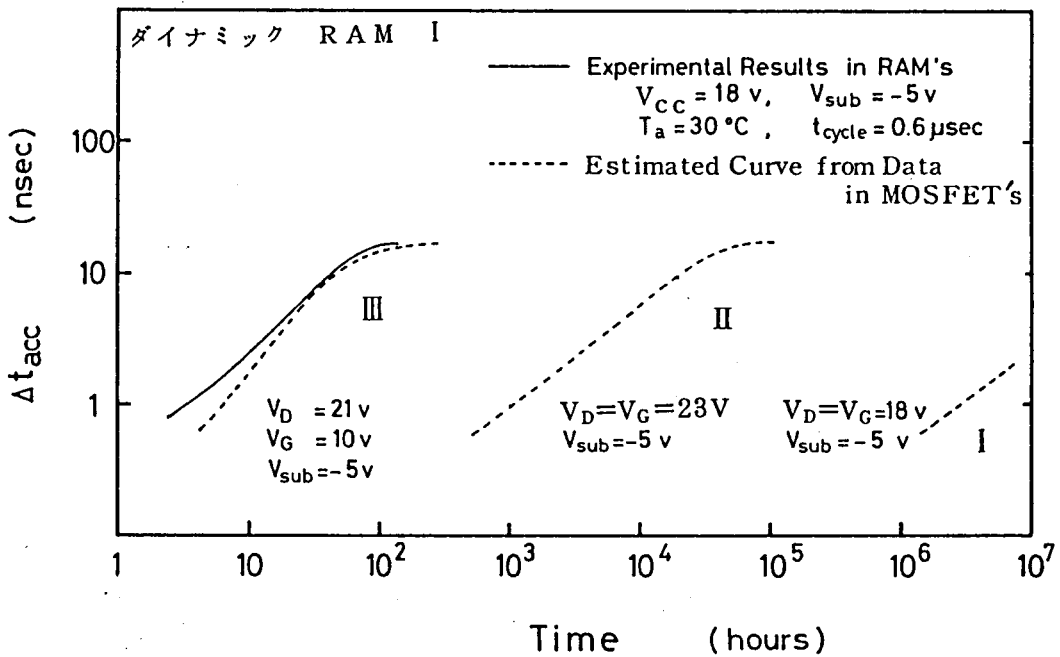


図4.1.2 アクセスタイムシフトの実測データとMOS FET V_{TH} シフトから推定されるアクセスタイムシフト

4.4 アクセスタイムシフトのバイアス依存性および温度依存性

図4.13は t_{acc} シフトに対するエージングバイアスの効果を示す一例で、ダイナミックRAM IIでのデータである。 V_{CC} バイアスの増加に伴ってアクセスタイムシフトは著しくなっていく。 t_{acc} シフトが2nsecに達するまでの時間を寿命(TTF)と考えると、TTFの V_{CC} バイアス依存性が図4.14で表わされる。2nsecの値を用いたのは、 V_{TH} シフトに対するバイアスの効果をまとめた図3.5との比較を容易にするためである。(1Vの V_{TH} シフトが10nsecの t_{acc} シフトと対応するから200mVの V_{TH} シフトは2nsecの t_{acc} シフトと対応する。) 図4.14から明らかなように、 $\log_{10}(TTF)$ は V_{CC} に反比例し、以下の関係式が得られる。

$$\text{ダイナミック RAM I} \quad \log_{10}(TTF) \propto -0.62 \times V_{CC} \quad \dots\dots\dots (4-1)$$

$$\text{ダイナミック RAM II} \quad \log_{10}(TTF) \propto -1.2 \times V_{CC} \quad \dots\dots\dots (4-2)$$

前章で述べたように、200mVの V_{TH} シフトに対する寿命は次式で表わされる。

$$\text{プロセス A} \quad \log_{10}(TTF) \propto -0.64 \times (V_G = V_D) \quad \dots\dots\dots (4-3)$$

$$\text{プロセス B} \quad \log_{10}(TTF) \propto -1.2 \times (V_G = V_D) \quad \dots\dots\dots (4-4)$$

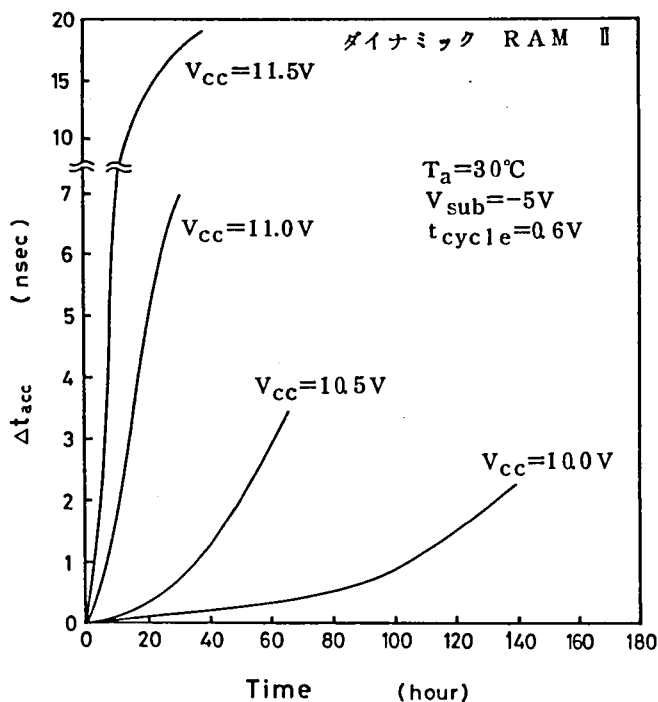


図4.13 アクセスタイムシフトの V_{CC} バイアス依存性

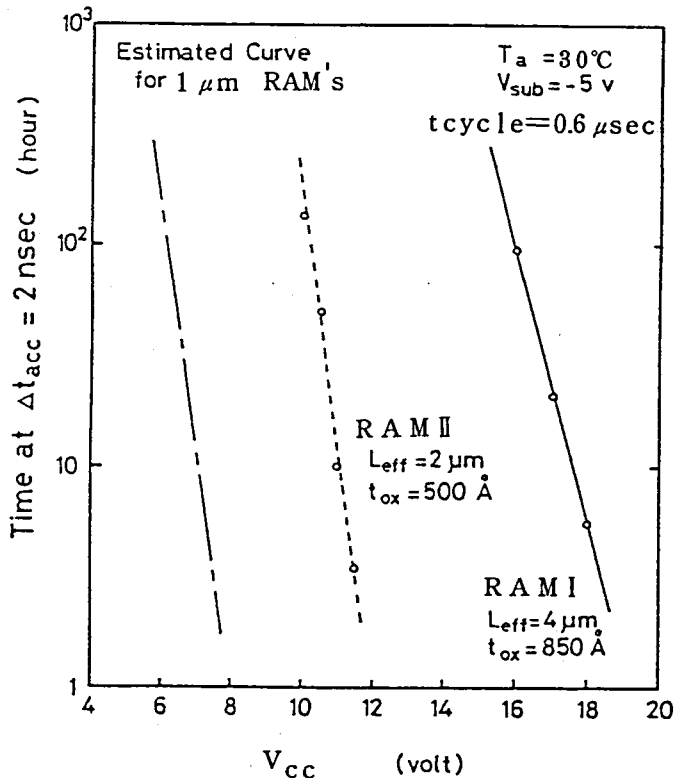


図 4.14 t_{acc} シフトが 2 nsec に達する時間 (寿命) の V_{CC} バイアス依存性

ダイナミック RAM I, II は、それぞれ、プロセス A, B で作成されているから、寿命のバイアス依存性に関し、 V_{TH} シフトと t_{acc} シフトは良く一致しているといえる。しかし、もう少し定量的に両者を比較すると、前節で議論したように、絶対値においてかなりの差がある。すなわち、プロセス A で作成された $L_{\text{eff}} = 4\ \mu\text{m}$ の MOS FET が $V_{\text{D}} = V_{\text{G}} = 18\text{V}$ で 10^6 時間の寿命となるのに対し、RAM I の $V_{\text{CC}} = 18\text{V}$ での寿命は 6 時間にすぎない。また、プロセス B で作成された $L_{\text{eff}} = 2\ \mu\text{m}$ の MOS FET が $V_{\text{D}} = V_{\text{G}} = 11\text{V}$ で 10^6 時間の寿命となるのに対し、RAM II の $V_{\text{CC}} = 11\text{V}$ での寿命は 10 時間となる。この絶対値における不一致の原因は、前節で述べたように、RAM 内部の特定の MOS FET が $V_{\text{G}} < V_{\text{D}}$ のバイアス状態に長く保たれ、短時間で V_{TH} シフトしてしまうためであると推定される。この推定を考慮すれば、 V_{TH} シフトと t_{acc} シフトは定量的にも一致していると言える。さて、図 4.14 には、 $L_{\text{eff}} = 1\ \mu\text{m}$ のダイナミック RAM における t_{acc} シフトを推定している。この推定には、図 3.5 の $L_{\text{eff}} = 1\ \mu\text{m}$ の MOS FET における V_{TH} シフトデータを用いている。 $L_{\text{eff}} = 1\ \mu\text{m}$ のダイナミック RAM においては、5 V の電源電圧がもはや安全領域といえない。

さて、次に温度依存性について述べる。図 4.15 に t_{acc} シフトの温度依存性を示す。 V_{TH} シフト

フトの温度依存性とよく似た特性となっており、温度の上昇に伴って、主に t_{acc} シフトの飽和値が減少していく。したがって、 t_{acc} シフトの温度特性も、 V_{TH} シフトの温度特性と同様、温度の上昇に伴う実効トラップ密度の減少に起因していると考えられる。図4.16は、3.6節で議論した実効トラップ密度の温度依存性に関するモデルと、実測データとの比較である。実測データとしては、 t_{acc} シフトからのデータとともに、 V_{TH} シフトからのデータも併記してある。 t_{acc} シフトから得られる実効トラップ密度の温度依存性は、 V_{TH} シフトから得られるデータと一致しており、いずれも限界放出確率値 (n/N) critical を $10^{-5} \sim 10^{-6}$ と仮定することで、モデルと一致する。

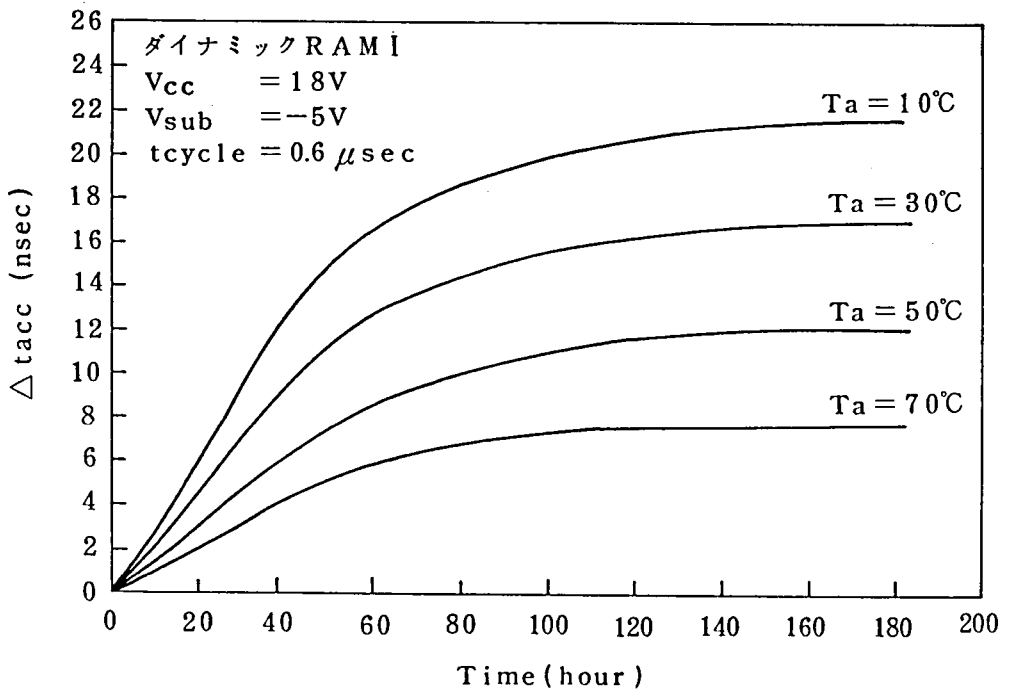


図4.15 t_{acc} シフトの温度依存性

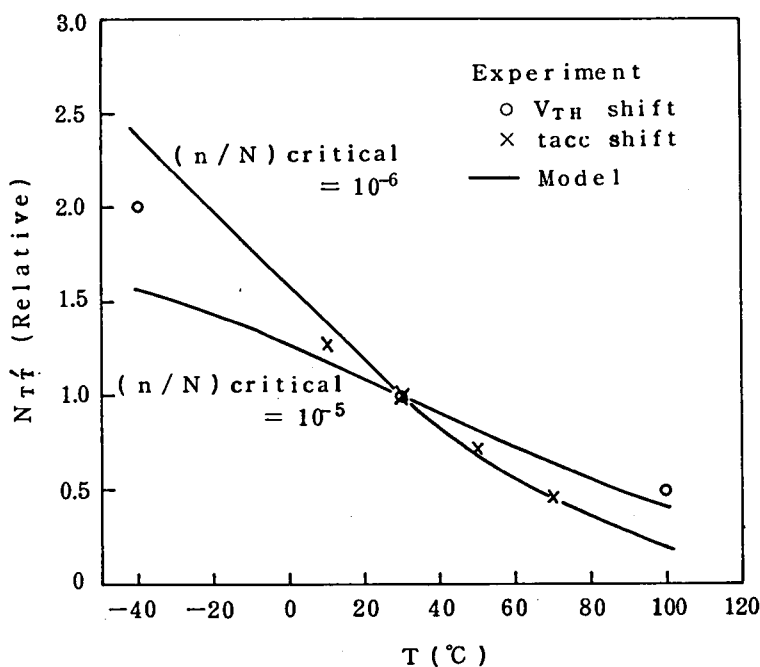


図4.16 実効トラップ密度の温度依存性

4.5 アクセスタイムの劣化機構

本節では、ダイナミックRAM III を用いて、アクセスタイムの劣化機構を詳細に検討する。まずアクセスタイムの劣化がRAM内部のどの回路部分で発生しているのかを明白にするため、初期とアクセスタイム劣化後の内部信号波形を観測した。内部信号波形の観測にはタングステン針を用い、RAM内部のA_ℓ配線を探針した。本節の実験に用いたRAMは表面保護用のオーバコートをしていないので、A_ℓ配線への探針が容易になっている。図4.17は測定結果を示している。RAMの動作速度(アクセスタイム)を決めている回路は、入力から順番に、① 入力バッファ回路、② 行アドレスバッファ回路、③ ワード線駆動回路、④ センスアンプ回路、⑤ 列アドレスバッファ回路、⑥ ビット線駆動回路そして⑦ 出力バッファ回路である。図4.17では、各回路での遅れ時間をエージング前後で比較している。エージングは、T_a = 10°C、V_{cc} = 10V、t_{cycle} = 0.3 μsecで45時間行っており、そのときのアクセスタイムシフトは6.6 nsecであった。図4.17から動作速度が劣化している回路は、センスアンプ回路、列アドレスバッファ回路および出力バッファ回路であり、それぞれで2.6 nsec、2.2 nsec、1.8 nsecの遅れが生じていることがわかる。入力バッファ回路、行アドレスバッファ回路、ワード線駆動回路、ビット線駆動回路では、動作速度の劣化が発生していない。センスアンプ回路、列アドレスバッファ回路、出力バッファ回路がその他の回路と異なっている点は、これらの回路では、ブートストラップ回路を含んだほぼ同じクロックドライバ

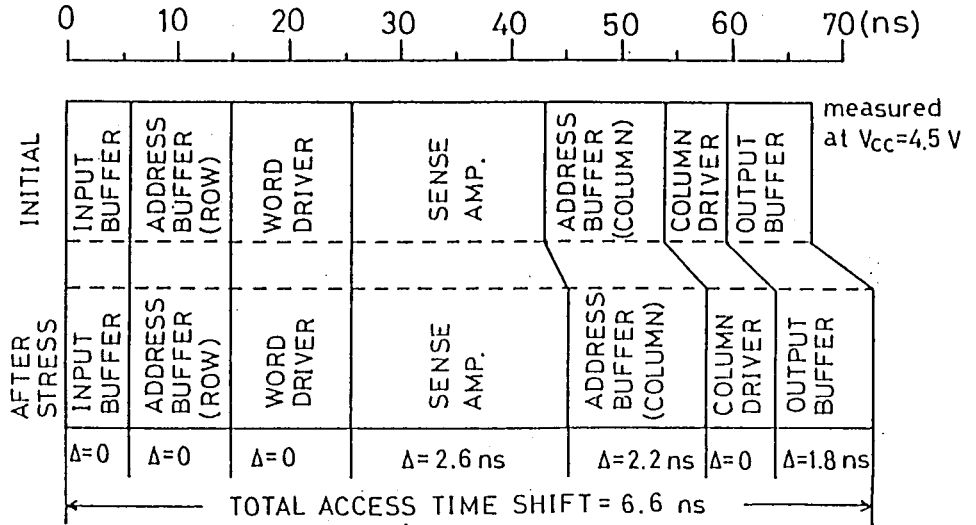


図 4.17 エージング前後でのRAM内部信号の遅れ

回路(図4.18の点線の内部)を使用していることである。ブートストラップ回路で昇圧された高電圧は、ホットキャリア現象を著しくさせるので、これは当然のことといえるだろう。²⁾

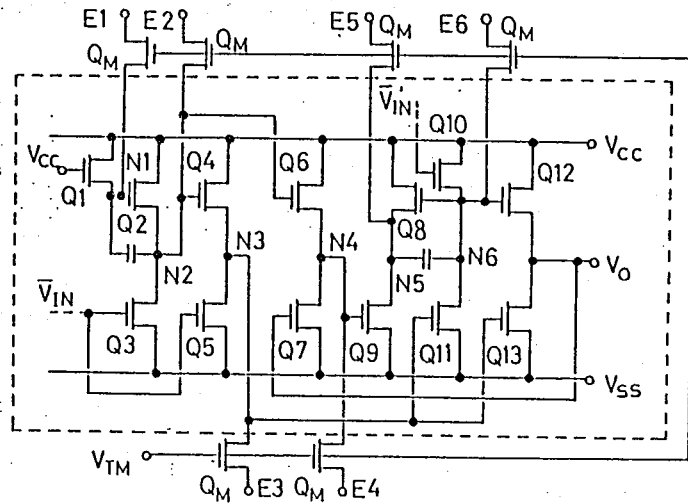


図 4.18 評価用デバイスの回路図

(点線内はRAMのクロックドライバと同じ)

さて、次に、クロックドライバ回路における信号の遅れ時間と、回路内部 MOS FET の V_{TH} シフトとの関係を詳しく検討する。図 4.18 はこの実験のための評価用デバイスであり、チップ写真

を図4.19に示す。評価用デバイスは、RAMのクロックドライバ回路に6個のMOS FET (Q_M) をつけ加えた構成となっている。 Q_M はクロックドライバ回路を構成する各MOS FET ($Q_1 \sim Q_{13}$) の V_{TH} を測定するためのトランジスタで、クロックドライバをエージングする場合には、 V_{TM} を“L”とし、 Q_M を“OFF”しておく。 $Q_1 \sim Q_{13}$ の V_{TH} 測定時には、 V_{TM} を“H”とし Q_M を“ON”させる。 Q_M 追加によるN1～N6点の浮遊容量増加は、無視できる程度のものであ

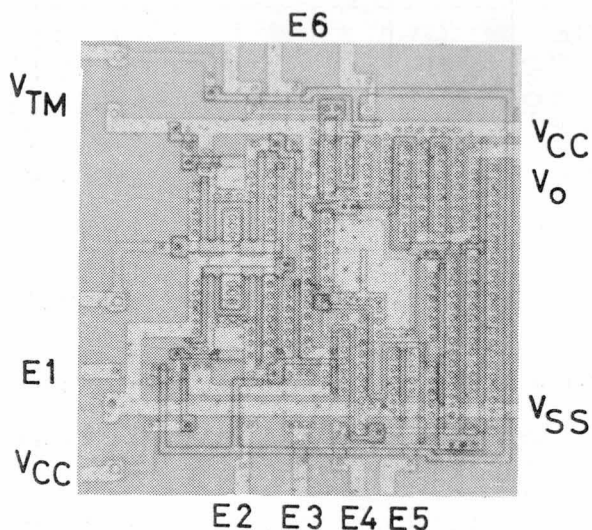


図4.19 評価用デバイスのチップ写真

り、クロックドライバの回路動作には何ら影響を与えない。クロックドライバを通常動作と同じ状態でエージングし、その前後で、クロックドライバ伝達特性の遅れ時間と $Q_1 \sim Q_{13}$ MOS FET の V_{TH} を測定した。 V_{TH} シフト特性は各MOS FET 間で著しく異なる。表4.2には、エージング ($T_a = 10^\circ\text{C}$, $V_{CC} = 10\text{V}$, $t = 35$ 時間) による各MOS FETの V_{TH} シフト量を示している。 V_{TH} シフト量は、動作中のバイアス状態と最も密接な関係があり、これに関しては後程詳しく議論する。 V_{TH} シフト特性の一例として、 V_{TH} シフト量の多い Q_6 MOS FET のデータを図4.20に示す。図4.21はエージング前後の入出力特性を示しており、エージングにより立上り特性で 1.3nsec 、立下り特性で 0.9nsec の遅れが生じたことを示している。(立上り特性は出力電圧が 4V になるまでの時間、立下り特性は出力電圧が 0.5V になるまでの時間と考えている。) 図4.22は、表4.2のデータを用いて、エージング前後の入出力波形を回路シミュレーションしたものである。エージングにより、立上り特性で 1.5nsec 、立下り特性で 1.0nsec の遅れが生じることになり、実測データと良く一致する。したがって、ダイナミックRAMのアクセスタイムシフトは、クロックドライバ回路の特定のMOS FETにおける V_{TH} シフトにより引き起こされていると結論づけられる。

表 4.2 エージングによる MOS FET の V_{TH} シフト

(エージング : $T_a = 10^\circ\text{C}$, $V_{CC} = 10\text{V}$, $t = 35\text{ hours}$)

MOS FET	$L_{eff} (\mu\text{m})$	$\Delta V_{TH} (\text{V})$	P
Q1	1.9	0.00	0
Q2	1.9	1.45	1×10^4
Q3	1.9	0.00	0.5
Q4	1.9	0.00	6
Q5	1.9	0.00	2
Q6	1.9	2.09	1×10^3
Q7	1.9	0.00	0.5
Q8	1.9	1.39	5×10^2
Q9	1.9	0.00	0
Q10	1.9	0.00	50
Q11	2.4	1.10	5×10^3
Q12	1.9	0.22	2×10^2
Q13	1.9	0.00	10

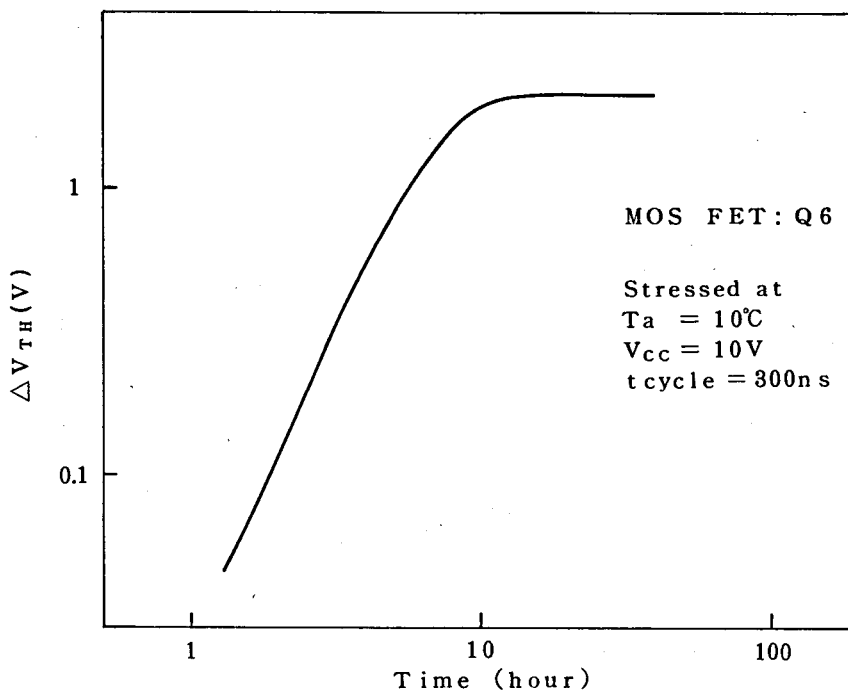


図 4.20 V_{TH} シフト量の多い MOS FET (Q6) の V_{TH} シフト特性

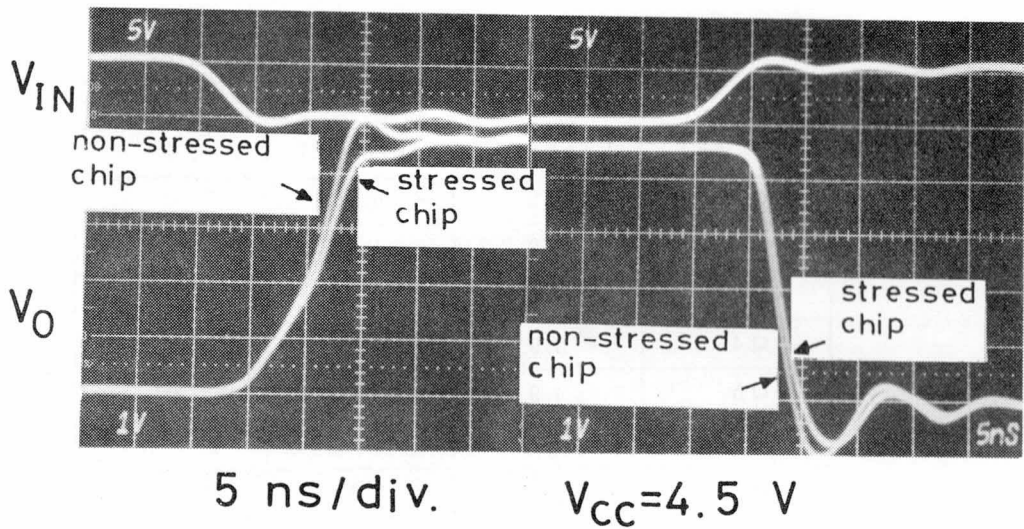


図4.21 エージングによるクロックドライバ回路
伝達特性の劣化

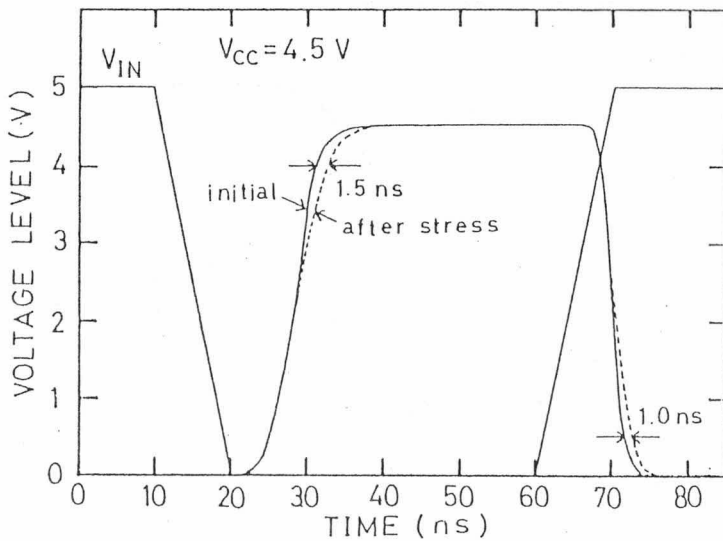


図4.22 クロックドライバ回路伝達特性
の回路シミュレーション結果

さて、次に、クロックドライバ回路において特定の MOS FET が大きな V_{TH} シフトを起こす原因について考察する。3.4 節で述べたように、 V_{TH} シフトはドレインバイアスおよびゲートバイアス（ゲート SiO_2 膜中の電界）の影響を強く受ける。すなわち、ドレインバイアスの増加は V_{TH} の変化速度を増加させる。ゲート SiO_2 膜中の逆電界は V_{TH} の変化速度を増加させるが、逆電界がある一定値以上となると、 V_{TH} シフトの飽和値が減少しはじめる。この関係は図 3.9 に示されており、図 3.9 より図 4.2 3、図 4.2 4 の関係が得られる。 V_{TH} の変化速度（飽和値の 50% に達する時間の逆数）と、 SiO_2 膜中電界の関係を示したのが図 4.2 3 であり、 V_{TH} シフト飽和値と SiO_2 膜中電界との関係を示したのが図 4.2 4 である。 V_{TH} の変化速度とドレインバイアスとの関係は図 3.5 に示される。図 3.5、図 4.2 3、図 4.2 4 から、 $V_G - V_D$ 平面において等 V_{TH} シフト線（等しい V_{TH} シフトに対応する等効果線）が得られ、これを図 4.2 5 に示す。1 本の等 V_{TH} シフト線

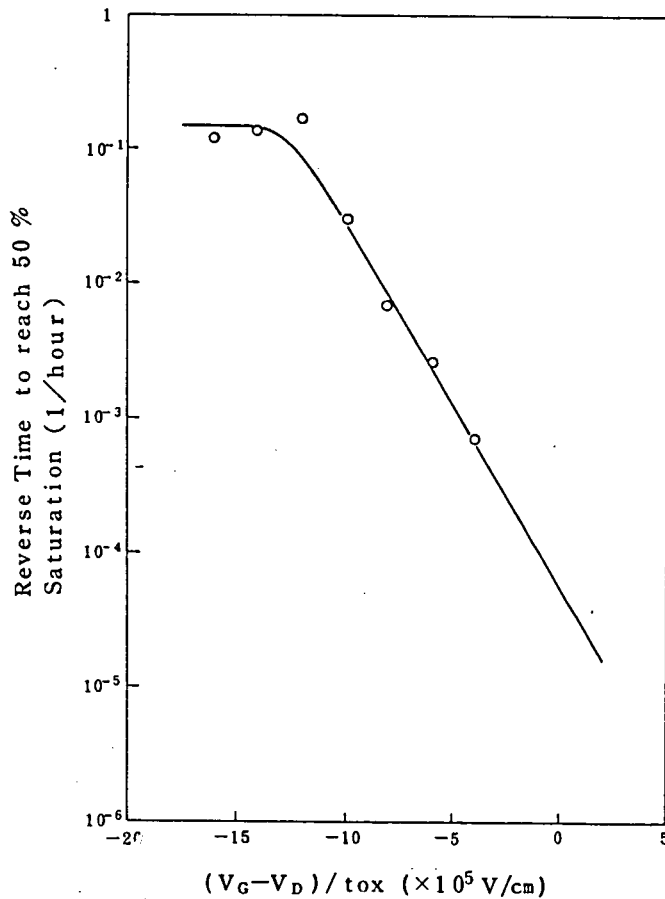


図 4.2 3 V_{TH} シフトのスピードと SiO_2 膜中電界の関係

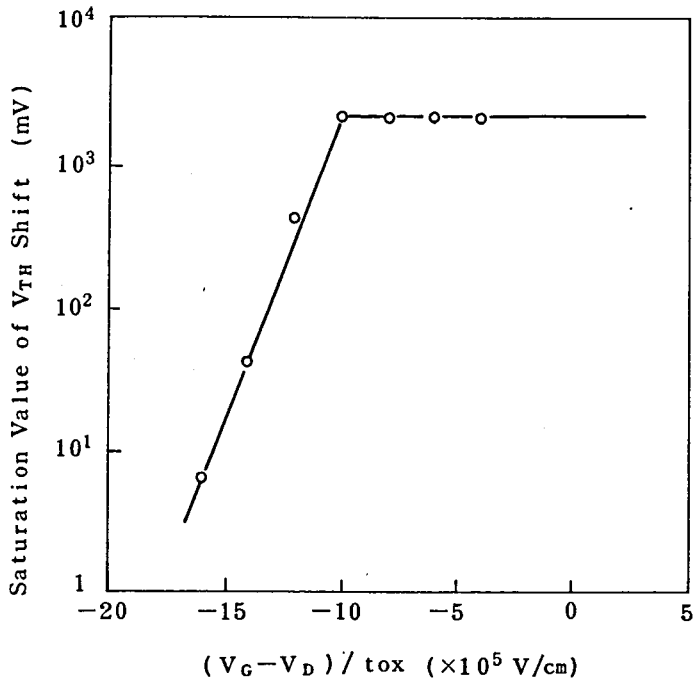


図4.2.4 V_{TH} シフト飽和値と SiO_2 膜中電界の関数

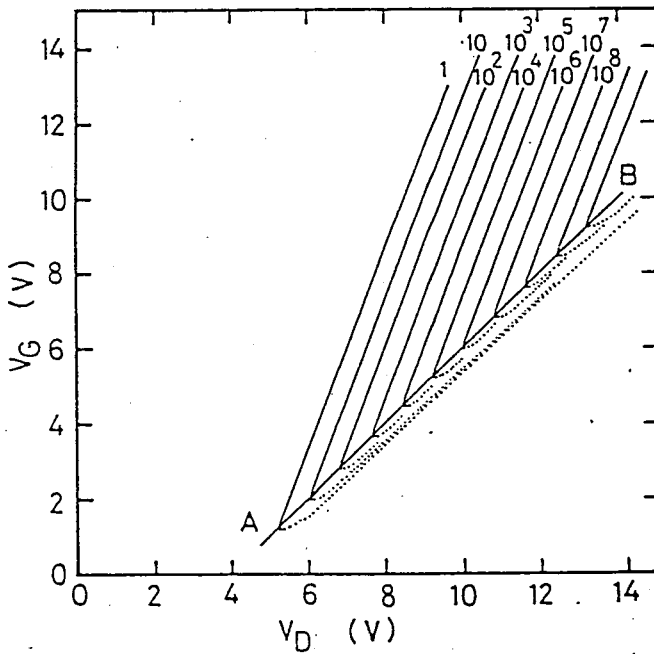


図4.2.5 $V_G - V_D$ 平面における等 V_{TH} シフト線

上では、 V_{TH} の変化速度が等しく、隣り合う2本の等 V_{TH} シフト線間では、 V_{TH} の変化速度が10倍異なる。図4.25においては、 V_{TH} の変化速度で相対値1から 10^{10} までの等 V_{TH} シフト線が示されている。図4.25において、直線ABより下の領域(すなわち、 SiO_2 膜中の逆電界が 10^6 V/cm以上の場合)は、定量的ではなく定性的関係となっている。すなわち、この領域では、 V_{TH} シフトの飽和値が急激に減少するので、 V_{TH} シフト現象に対し安全領域となり、これが定性的に表わされている。一方、クロックドライバ回路中の各MOS FETに対する動作中のバイアス状態は、回路シミュレーションにより求められる。図4.26には、一例としてQ5とQ6のMOS FETにおけるバイアス状態を示す。図中のX点はMOS FETが“OFF”している状態であり、Y点は“ON”している状態である。クロックドライバの動作において、各MOS FETのバイアス状態は、ほとんどの時間XあるいはY点となっている。そして、1サイクル中に“ON”→“OFF”そして“OFF”→“ON”の状態遷移を1回ずつ行なう。図中では、状態遷移時の1 nsecおきのバイアス状態がプロットされている。図4.26から V_{TH} シフトの著しいQ6 MOS FETが V_{TH}

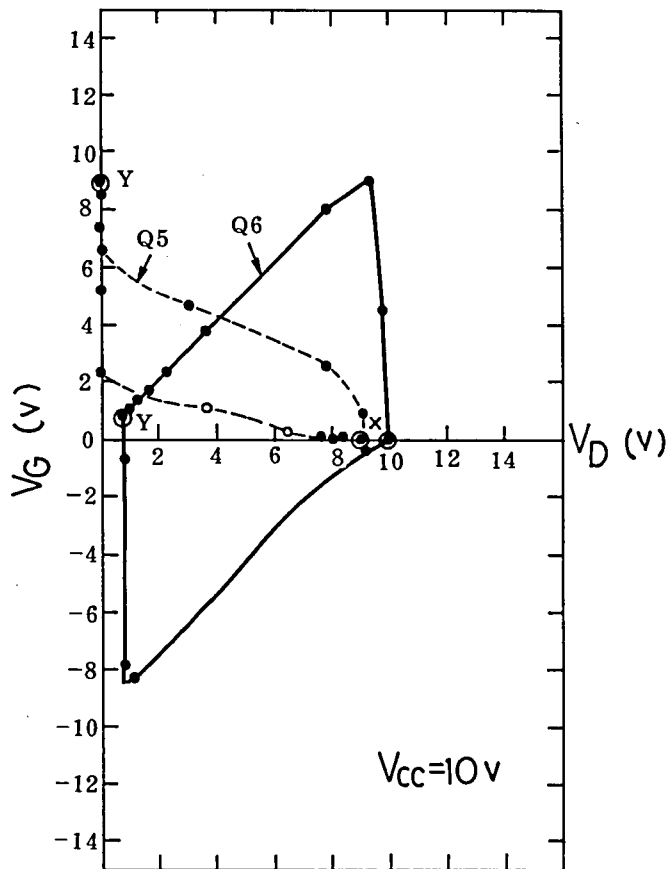


図4.26 $V_G - V_D$ 平面における MOS FET Q5 と Q6 の動作点

シフトの激しいバイアス領域を通過していくのに対し、 V_{TH} シフトを起こさないQ5 MOSFETは安全領域で動作することがわかる。図4.25と図4.26から、各MOSFETの V_{TH} シフトの速度(P)が計算でき、以下のように表わされる。

$$P = \int W(V_G, V_D) dt \quad \dots\dots\dots (4.5)$$

$W(V_G, V_D)$ は図4.25における V_{TH} の変化速度の相対値であり、Pは1サイクル中のバイアス状態に $W(V_G, V_D)$ の重みをつけて積分したものである。 V_{TH} シフトが飽和していない領域では、定性的には、Pは V_{TH} シフト量とも考えられる。各MOSFETに対して計算されたPの値は、表4.2中に示されている。それぞれのMOSFETにおいて、 V_{TH} シフト量とPの値は良い相関を示している。したがって3.4節の結果から得られる V_{TH} シフトを予測するモデルは、LSI回路中の内部MOSFETの V_{TH} シフトを良く説明している、と結論づけることが可能である。

4.6 回路設計における改善策の検討

前節の結論は、ダイナミックRAMにおけるアクセスタイムシフトを防止するための有効な改善策を提示している。ダイナミックRAMにおいて、アクセスタイムを劣化させている原因は、ほんの一部のトランジスタの V_{TH} シフトであった。すなわち、問題となるトランジスタはクロックドライバ回路の一部のトランジスタであり、クロックドライバ回路はチップ面積のわずか4%を占めているにすぎない。したがって、問題となるトランジスタの実効チャンネル長(Leff)を多少増加させても、チップ面積の増加は無視できる。Leffの増加は、第2章および第3章で詳しく議論したように衝突電離現象を極めて有効に抑止できるので、アクセスタイムの劣化現象を著しく改善するものと期待される。ただし、問題となるトランジスタは、クロックドライバ回路の動作速度に大きな影響を与え、単純にLeffのみを大きくすると動作速度が遅くなってしまふ。そのため、Leffの増加に合わせてチャンネル巾Wも増加させ、トランジスタの伝達特性(gm)を一定としておく必要がある。本節では、問題のトランジスタのLeffおよびWを大きくしたダイナミックRAMを試作し、アクセスタイムの劣化特性を調査した。従来RAM(ダイナミックRAMⅢ)およびその改良RAMに対するクロックドライバ回路の各トランジスタのパラメータを表4.3に示す。問題トランジスタにおける面積増加が、チップ全体からみれば極めて微小であるため、周辺の遊び空間を有効利用することで、改良RAMのチップ面積を従来RAMと全く同一とすることができた。図4.27に、従来RAMと改良RAMにおけるアクセスタイムの分布を示す。アクセスタイムの分布はほとんど同じであり、Leffの増加によるgmの低下は、Wの増加により適正に修正されているものと考えることができる。図4.28に、従来RAMと改良RAMに対するアクセスタイムの劣化特性を示す。改良品においては、アクセスタイムの変化が全く観測できず、改善効果が極めて大きいことを示している。

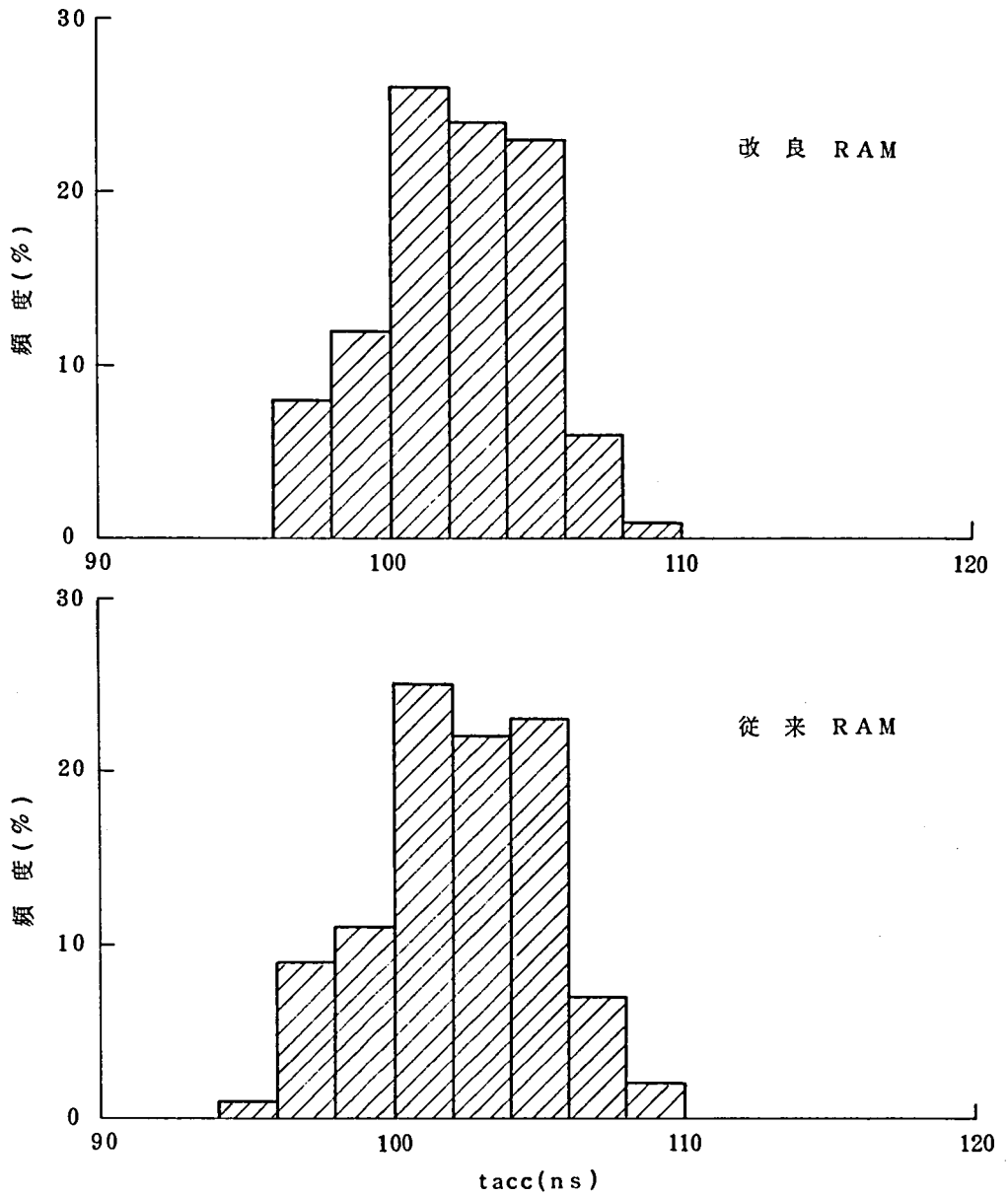


図4.27 従来RAMと改良RAMにおけるアクセスタイムの比較

表 4.3 改良前後のクロックドライバ回路における各トランジスタの寸法

トランジスタ	Leff (μm)		W (μm)	
	従来 RAM	改良 RAM	従来 RAM	改良 RAM
Q 1	1.9	1.9	6	6
Q 2	1.9	2.4	14	18
Q 3	1.9	1.9	135	135
Q 4	1.9	1.9	45	45
Q 5	1.9	1.9	45	45
Q 6	1.9	2.4	14	18
Q 7	1.9	1.9	90	90
Q 8	1.9	2.4	45	57
Q 9	1.9	1.9	180	180
Q 10	1.9	1.9	90	90
Q 11	2.4	2.9	54	65
Q 12	1.9	2.4	216	272
Q 13	1.9	1.9	270	270

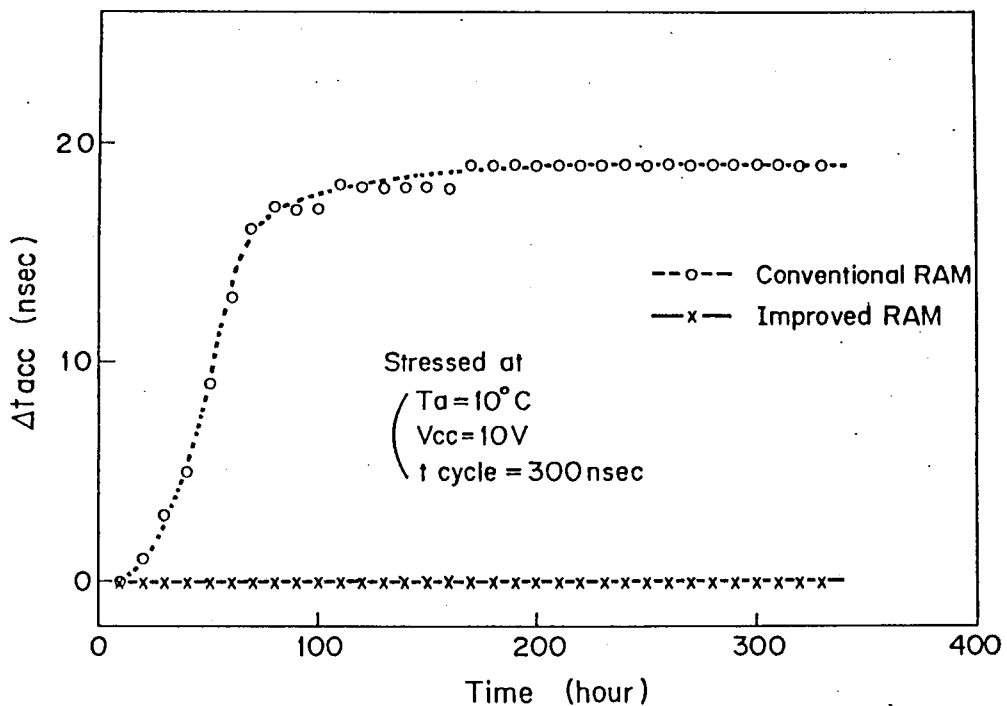


図 4.28 従来RAMと改良RAMにおけるアクセスタイム劣化特性の比較

4.7 結 言

衝突電離に起因した SiO_2 膜中トラップの電子捕獲はMOSトランジスタの V_{TH} シフトをひき起こす。この V_{TH} シフトによりMOSダイナミックRAMにおいては、アクセスタイムのシフトがひき起こされる。アクセスタイムシフトの原因となっている V_{TH} シフトは、特定のMOSトランジスタで発生している。これら特定MOSトランジスタは、“ON”→“OFF”あるいは“OFF”→“ON”の状態遷移時に、第3章の結論から予想される危険なバイアス状態を通過するものであった。この知見により、MOSダイナミックRAMのアクセスタイムシフトを防止する設計上の注意事項が明確となり、危険トランジスタのチャネル長とチャネル巾を増加させることで、アクセスタイムの劣化が防止できることを実証した。

以下本章で得られた結果を箇条書きにまとめる。

- (1) MOSダイナミックRAMの t_{acc} シフト特性は、MOSトランジスタの V_{TH} シフト特性から良く説明でき、非常に良く似た温度、バイアス依存性を示す。また、プロセスの違いによるシフト特性の差も、両者で良い相関を示す。
- (2) MOSダイナミックRAMの t_{acc} シフトは、主に、昇圧回路を含んだクロックドライバ回路における動作速度の劣化に起因している。
- (3) クロックドライバ回路の動作速度の劣化は、回路中の一部MOSトランジスタの V_{TH} シフトによりひき起こされている。 V_{TH} シフトの著しいMOSトランジスタは、“ON”→“OFF”あるいは“OFF”→“ON”の状態遷移時に、第3章の結論から予想される危険なバイアス状態を通過するものである。すなわち、第3章の結論から V_{TH} シフトのバイアス依存性モデルが得られ、このモデルから推定される V_{TH} シフトは各MOSトランジスタの V_{TH} シフト実測値と良い一致を示す。
- (4) 各MOSトランジスタでの V_{TH} シフト値を用いたクロックドライバ回路に対するシミュレーション結果は、動作速度の劣化特性の実測データと良く一致している。

参 考 文 献

- 1) B. Euzent : IEEE Reliability Physics Symposium , P.1 (1977).
- 2) T.H. Ning, P.W. Cook, R.H. Dennard, C.M. Osburn, S.E. Schuster, and H.N. Yu : IEEE Trans. Electron Devices, Vol. ED-26, No 4, P.346 (1979).
- 3) R.R. Troutman, T.V. Harroun, P.E. Cottrell, and S.N. Chakravarti : IEEE Trans, Electron Devices, Vol. ED-27, No 8, P.1629 (1980).
- 4) H. Matsumoto, K. Sawada, S. Asai, M. Hirayama, and K. Nagasawa : Japanese Journal of Applied Physics, Vol. 20, Supplement 20-1, P. 255 (1981).
- 5) M. Yamada, H. Matsumoto, T. Kobayashi, M. Kumanoya, M. Taniguchi, and T. Nakano : Japanese Journal of Applied Physics, Vol. 22, Supplement 22-1, P. 59 (1983).

第5章 結 論

SSI・MSIからLSI, LSIから超LSIへと, シリコン集積回路の高集積化・微細化は, MOS ICを先達として急速に進んできた。MOSダイナミックRAMを例にとれば, 1970年の1KビットRAMの開発以降, 4倍/3年の割合で高集積化が実現されてきている。MOSデバイスの微細化は種々の信頼性上の問題をひき起こす。特にホットキャリア現象は超LSI時代に向けて, 避けて通れない技術的関門となっている。

本研究においては, 第2章でホットキャリアの生成機構を検討し, 諸特性がよく説明されるモデルを提案した。第3章では, 生成された電子の一部分がSiO₂膜中のトラップに捕獲されMOSトランジスタのV_{TH}が変化してしまう現象を詳しく検討した。そして, V_{TH}シフト現象をモデル化するとともにバイアスや温度の効果を詳細に調べ, LSI回路中の危険MOSトランジスタ(大きなV_{TH}シフトを起こすMOSトランジスタ)の予測を可能とした。第4章では, ダイナミックRAMにおいては, 本現象がアクセスタイムの劣化で観測できることを明らかにし, 第3章の結果から予測される危険MOSトランジスタのV_{TH}シフトが非常に大きいことを示した。そして, 危険MOSトランジスタに対してのみチャネル長とチャネル巾を増加させることにより, チップ面積をほとんど変えることなく性能が維持され, かつアクセスタイムの劣化が防止できることを実証した。また, 回路シミュレーションの結果はアクセスタイムシフトの実測値と一致しており, ホットキャリアによるダイナミックRAMの劣化現象が定量的に理解できるようになった。

以上のように, 本研究は, MOSトランジスタのドレイン領域での衝突電離からダイナミックRAMのアクセスタイムシフトまでの現象を系統的によく説明できるモデルを提案しており, 回路設計面での改善策は, 現在開発改良中の256KビットダイナミックRAMにおいて生かされている。

本研究の主体は現象の解明およびモデル化にあり, 主に回路設計面での改良方法が検討された。MOSトランジスタ自体の改良も多くの研究者によりなされており, その主なものを以下列記する。

- ① ゲート絶縁膜のトラップ密度を減少させる。
 - 酸化方法の検討
 - アニール方法の検討
 - 熱窒化膜等新しいゲート絶縁膜の検討
- ② DSA (Diffusion Self Aligned) MOS¹⁾やSIT (Static Induction Transistor)²⁾およびLDD (Lightly Doped Drain-source) MOS³⁾等電界の集中を避ける構造のMOSトランジスタでホットキャリアの生成を抑える。
- ③ 埋め込みチャネル型のトランジスタとし, ホットキャリアのゲート絶縁膜中への注入を抑える。1MビットダイナミックRAMでは実効チャネル長が1 μm以下とならざるを得ず, 上記の技術開発

なくしては、1MビットダイナミックRAMの市場への登場は望めないであろう。

さて、本研究によって得られた結論を総括して以下に示す。

- (1) 飽和領域で動作しているMOSデバイスにおいて発生する基板電流やゲート電流は、ドレイン側ピンチオフ領域での衝突電離に起因している。衝突電離現象はPチャネルMOSよりNチャネルMOSの方が格段に著しく、また微細化プロセス程著しくなる。しかし、ゲートSiO₂膜中の電界の影響で、ゲート電流はむしろPチャネルMOSの方が大きくなる。
- (2) 基板電流やゲート電流の温度依存性は、電離係数および電子温度の温度依存性に起因している。
- (3) ゲート電流の一部がゲートSiO₂膜中のトラップに捕獲され、MOSトランジスタにおいてはV_{TH}シフトが、MOSRAMにおいてはtaccのシフトがひき起こされる。
トラップ効果はゲートバイアスの減少に伴って増加するが、V_{TH}シフトやtaccシフトの飽和値は逆に減少する。この知見より、MOSLSIにおいて大きなV_{TH}シフトを起こす危険トランジスタの予測が可能となり、ダイナミックRAMでこれが実証された。
- (4) トラップ現象のゲートバイアス依存性を考慮したモデルは、V_{TH}シフト特性をよく説明する。
- (5) V_{TH}シフトやtaccシフトの温度依存性は、有効なトラップ密度が温度とともに減少していくことに起因しており、これはトラップのエネルギー分布が浅く(伝導帯の下300meV)、かつ広く(標準偏差90meV)分布していることが原因となっている。

参 考 文 献

- 1) Y. Hayashi, T. Sekigawa, and Y. Tarui : Proc. the 8th Conference on Solid State Devices, P.163 (1976).
- 2) 西澤 : 「半導体研究15卷, 超LSI技術2-回路設計」 P.157~204.
- 3) S. Ogura, P.J. Tsang, W.W. Walker, D.L. Critchlow, and J.F. Shepard : IEEE IDem Technical Digest, P.651 (1981).
- 4) K. Nishiuchi, H. Oka, T. Nakamura, H. Ishikawa, and M. Shinoda : IEEE IEDM Technical Digest, P.26 (1978).

謝

辞

本論文をまとめるにあたり、終始御懇切なる御指導と御討論を賜った京都大学工学部 川端昭教授に衷心より御礼のことばを申し上げます。

また、本論文の作成にあたり、京都大学工学部 佐々木昭夫教授、松波弘之教授には御懇篤なる御検討と御教示を賜りました。厚く御礼申し上げます。

本研究の遂行にあたり、終始御懇切なる御教示と御鞭撻を賜り、また研究の機会を与えていただいた三菱電機株式会社取締役北伊丹製作所長 小林武次郎氏、同取締役 L S I 研究所長 岡久雄博士、北伊丹製作所副所長 柴山恭一博士、L S I 研究所副所長 中田秀文博士、北伊丹製作所品質保証部長 杉本和彦氏に厚く御礼申し上げます。

また、本研究の遂行、および論文の作成にあたり、数々の御教示、御忠告をいただいた三菱電機北伊丹製作所課長 長澤紘一博士、および石田進氏に厚く御礼申し上げます。

また、本論文における数々の分析・解析に御協力いただいた三菱電機 L S I 研究所主事 山田通裕博士、浅井外寿氏、および平山誠博士、同北伊丹製作所主事 宮本和俊氏、沢田功吉氏、佐藤好洋氏に心から感謝します。

末筆ながら、本研究の期間中終始有益な討論と協力をいただいた三菱電機 L S I 研究所ならびに北伊丹製作所の各位に心から感謝します。

本論文に関する発表文献リスト

	文献題名	著者	発表誌	本論文との対比
1	Effet of Long-Term Stress on IGFET Degradations Due to Hot Electron Trapping	H. Matsumoto K. Sawada S. Asai M. Hirayama K. Nagasawa	IEEE Trans. Electron Devices, Vol. ED-28, No 8, P.923 (1981).	第2章 第3章
2	短チャネルMOSFETにおける衝突電離電流	宮本 松本	信学誌 C 投稿中	第2章
3	Comparison of Impact Ionization Current between PMOS and NMOS	H. Matsumoto K. Miyamoto Y. Satoh S. Ishida	Japanese Journal of Applied Physics, Vol.23, No8, P.L546 (1984).	第2章
4	The Effect of Gate Bias on Hot Electron Trapping	H. Matsumoto K. Sawada S. Asai M. Hirayama K. Nagasawa	Japanese Journal of Applied Physics, Vol.19, No 10 P.L574 (1980).	第3章
5	The Effect of Temperature on Hot Electron Trapping in MOSFET's	Y. Satoh K. Miyamoto H. Matsumoto	Japanese Journal of Applied Physics, Vol.22, No 4, P.L221 (1983)	第3章
6	Effect of Long Term Stress on Hot Electron Trapping	H. Matsumoto K. Sawada S. Asai M. Hirayama K. Nagasawa	Japanese Journal of Applied Physics, Vol.20, Supplement 20-1, P.255 (1981).	第3章 第4章
7	Hot Electron Trapping Effects of Short Channel 64K Dynamic MOS RAM	M. Yamada H. Matsumoto T. Kobayashi M. Kumanoya M. Taniguchi T. Nakano	Japanese Journal of Applied Physics, Vol.22, Supplement 22-1, P.59 (1983).	第4章
8	A New Breakdown Phenomenon in Fine Structured VLSI Circuits	K. Miyamoto H. Matsumoto Y. Ohbayashi I. Ohkura H. Matsumura	Japanese Journal of Applied Physics, Vol.20, No 7, P.L523 (1981).	第1章
9	Time Dependent Dielectric Breakdown of Thin SiO ₂ Films	M. Hirayama S. Asai H. Matsumoto K. Sawada K. Nagasawa	Japanese Journal of Applied Physics, Vol.20, No 5, P.L329 (1981).	第1章