

氏 名	よし だ とよ ひこ 吉 田 豊 彦
学位(専攻分野)	博 士 (工 学)
学位記番号	論工博第3389号
学位授与の日付	平成10年11月24日
学位授与の要件	学位規則第4条第2項該当
学位論文題目	Studies on High Performance Microprocessor Architecture (高性能マイクロプロセッサアーキテクチャの研究)

(主査)

論文調査委員 教授 田丸啓吉 教授 富田眞治 教授 中村行宏

## 論 文 内 容 の 要 旨

半導体技術の進歩により、マイクロプロセッサは集積規模的に大きな発展をするとともに、高性能を実現するためアーキテクチャ的にも高度な方式を使用するようになった。特に1980年中頃に登場したRISC (Reduced Instruction Set Computer) アーキテクチャでは1命令1サイクル実行を実現するべく、複雑なパイプラインメカニズムや命令レベル並列性などの技術を開発して採用してきた。本論文は筆者が開発した各種のマイクロプロセッサ上に実現した高性能化のためのアーキテクチャ技術の開発結果をまとめたもので、全体は7章で構成されている。

第1章は序論で本研究の背景および意義と論文の構成について述べている。

第2章は命令セットの性質とその測定用のベンチマークプログラムについて説明している。本論文で取り上げるプロセッサは、GMICROがTRONアーキテクチャと呼ばれるCISC (Complex Instruction Set Computer) プロセッサで、D30VはRISCプロセッサである。両者の命令セットを比較し、固有の性質について述べている。また命令参照の局所性と命令使用率の不均衡性を理解することが計算機の設計上重要な事項であることを述べている。

第3章は32ビットプロセッサGMICRO/100のパイプラインアーキテクチャについて述べている。命令間の依存性により生じるパイプラインインターロック遅延を除くため、スコアボードレジスタを使用してデータハザードの生じないソースアドレスを持つ命令をパイプラインの初期ステージで判別してパイプラインに投入する機構とパイプラインの各ステージにスタックポインタを置きパイプライン動作をさせるワーキングスタックポインタにより、アドレッシングの自動増減モードをもつ命令間のインターロックを除く機構を開発し、性能を評価して、11.9%の高速化を示した。

第4章はより高度なパイプライン機能をもつGMICRO/400プロセッサについて述べている。このプロセッサは二重の演算実行機構をもち、2個の単一演算命令または1個の多重演算命令を実行するスーパースカラプロセッサである。2命令がペアでパイプラインの中を流れるように構成した二重の命令発行、命令デコード、演算ユニットの各機能について説明している。スループットを評価して30%の高速性を示している。

第5章はGMICRO/400プロセッサのパイプラインで採用した分岐命令を初期ステージで処理するプレジャンプ機構について説明している。分岐予測のために1K入力の分岐履歴テーブルと16入力の戻りアドレススタックを実装している。分岐予測の精度を調べプレジャンプ機構のスピードアップ能力を評価したところ、理想的な場合の95%の値を得た。

第6章はメディアプロセッサD30Vについて述べている。マルチメディアシステムとしてはDSPと制御プロセッサの組合せが代表的な形態であるが、単一VLIWプロセッサが実現できれば望ましい。筆者はRISCプロセッサ技術により、マルチメディア応用向けのVLIWプロセッサD30Vを開発した。D30Vは二重の命令パイプライン、二重のSIMD型演算実行機構、マルチメディア信号処理用命令を持っているVLIWプロセッサである。MPEG-2デコードシステム性能をソフトウェアとD30Vで比較して約4倍の高速化の結果が得られた。

第7章は本論文の結果をまとめている。

## 論文審査の結果の要旨

本論文はマイクロプロセッサの高速化を実現する上で基本的なアーキテクチャであるパイプライン、スーパースカラ、VLIWなどの各技術の高性能化とその実用化についての研究をまとめたもので、得られた主な成果は以下のとおりである。

1. パイプラインの遅延の原因となるデータハザードを防止するため、スコアボードレジスタとワーキングスタックポインタを使用したハードウェアインターロック防止機構を開発し、32ビットプロセッサGMICRO/100に実用した。この機能によりベンチマークの評価では11.9%の速度向上を実現した。
2. より高性能のスーパースカラプロセッサGMICRO/400を開発した。このプロセッサは二重の命令発行機構と二重のパイプライン構造を持ち、従来機種比約30%のスループット向上を実現した。
3. 高精度の分岐予測を行うため分岐履歴テーブルとアドレススタックを持つプレジャンプ機構を開発し、GMICRO/400のパイプラインに実装した。このメカニズムにより理想的な分岐予測の場合のスピードの95%の値を実現した。
4. マルチメディア処理用のVLIWプロセッサD30Vを開発した。このプロセッサは二重の命令発行機構と二重のパイプラインを持つRISCプロセッサで、MPEG-2デコードシステムに使用し、ソフトウェア処理に比べて4倍の高速化を実現した。

以上要するに本論文は高性能プロセッサを実現する上で基本的なアーキテクチャであるパイプライン、スーパースカラ、VLIWなどの各技術について、これを改良発展するとともに実際のプロセッサ上に実現して性能を評価したもので、得られた成果は学術上実際上寄与するところが少なくない。よって本論文は博士（工学）の学位論文として価値あるものと認める。

また平成10年10月19日に、論文内容とそれに関連する事項について試問を行った結果合格と認めた。