

様式VI

## 博士学位論文調査報告書

論文題目

Parallel Memory System Architectures for Packet Processing in Network  
Virtualization

(ネットワーク仮想化におけるパケット処理のための並列メモリシステムアーキテクチャ)

申請者氏名 郡川 智洋

最終学歴 平成26年3月

早稲田大学大学院先進理工学研究科 物理学及応用物理学専攻修士課程 修了  
令和3年3月

京都大学大学院情報学研究科 通信情報システム専攻博士後期課程  
研究指導認定見込

学識確認 令和 年 月 日 (論文博士のみ)

論文調査委員 京都大学大学院情報学研究科  
(調査委員長) 教授 大木 英司

論文調査委員 京都大学大学院情報学研究科  
教授 守倉 正博

論文調査委員 京都大学大学院情報学研究科  
教授 岡部 寿男

( 続紙 1 )

京都大学	博士 (情報学)	氏名	郡川 智洋
論文題目	Parallel Memory System Architectures for Packet Processing in Network Virtualization (ネットワーク仮想化におけるパケット処理のための並列メモリシステムアーキテクチャ)		
(論文内容の要旨)			
<p>Network virtualization aims to reduce the capital expenditure and the operating expenditure of network infrastructure by leveraging commercial off-the-shelf hardware such as general-purpose computers and virtual network functions instead of dedicated network equipment. Network functions comprise various packet processing tasks such as classification, searching, modification, and queueing, each of which issues memory accesses and requires high memory performance. Conventional network equipment comprises purpose-built, dedicated components such as processors, memory devices, and bus architecture to satisfy the specifications and requirements of network services. Large-scale service providers such as telecom operators have depended on conventional equipment to satisfy the service level agreement and to accommodate various and a large amount of traffic from subscribers, which prevents the service providers from benefiting from network virtualization. This thesis studies four problems about parallel memory system architectures for packet processing in network virtualization. Each problem corresponds to the main memory parallelism, integration of on-chip cache memories of the CPU with the parallel main memory, capacity and parallelism of the on-chip cache memories in the presence of parallel main memory, and accumulated latency of data transfers between processors and memories when there are multiple packet processing tasks with memory accesses, respectively.</p> <p>Firstly, this thesis proposes a memory system architecture that uses a three-dimensional (3D)-stacked memory to increase the main memory parallelism. In current general-purpose computers such as servers based on x86 central processing unit (CPU), the main memory parallelism is much less than the number of CPU cores, which limits packet processing performance in network virtualization. This work augments main memory parallelism by leveraging both channel-level parallelism and bank interleaving of a 3D-stacked dynamic random access memory (DRAM). In the 3D-stacked DRAM, a database for packet processing is split into partial databases, each of which is allocated to each set of memory channel and bank. A hash-function-based distributor distributes incoming memory requests to an appropriate memory channel-bank set that has the corresponding partial database for the requests. This work introduces an analytical model of the proposed architecture for two traffic patterns, one with random memory request arrivals and one with bursty arrivals. The numerical results observe that the proposed memory system architecture increases packet processing performance up to around 80 Gbps for the smallest-sized Internet Protocol packets involving random and bursty memory request arrivals.</p> <p>Secondly, this thesis proposes a memory system architecture that integrates on-chip private cache memories with the off-chip 3D-stacked memory to reduce memory access latency in the existence of main memory parallelism. In general-purpose computers, CPUs usually have several levels of on-chip cache memories to obscure the main memory latency. The on-chip cache memories comprise private cache memories that belong to each CPU core and the last-level-cache (LLC) that is shared among all the CPU cores. The proposed architecture integrates the private cache memories of each CPU core with the 3D-stacked DRAM-based main memory. This work explores the integration of the cache memories with the 3D-stacked DRAM, considering two reference architectures, one with private cache</p>			

memories and shared LLC and one without any cache memories. The results observe that the proposed architecture reduces latency by 58 % and 1.8 % and increases throughput by 104 % and 1 % with reducing the blocking probability by 91 % and 18 %, compared to the reference architectures with private cache memories and shared LLC and that without any cache memories, respectively.

Thirdly, this thesis proposes a memory system architecture that uses the 3D-stacked memory, the on-chip private cache memories, and on-chip LLC slices to increase capacity and parallelism of the on-chip cache memories in the integration with the off-chip parallel main memory. The on-chip shared LLC in the latest CPU comprises multiple LLC slices, each of which belongs to one of the CPU cores and can be accessed from each CPU core via a mesh or ring bus. The proposed architecture integrates the LLC slices with the on-chip private cache memories and the off-chip 3D-stacked DRAM. The cached data is distributed to each LLC slices according to a memory address-based hash function so that CPU cores can access the LLC slices in parallel. This work analyzes the memory performance dependency on the number of assigned LLC slices and CPU cores. The results observe that the proposed architecture reduces latency by 62 % and 12 % and increases throughput by 108 % and 2 % with reducing the blocking probabilities by 96 % and 50 %, compared to the reference architectures with private cache memories and shared LLC and that with private cache memories and without shared LLC, respectively.

Fourthly, this thesis proposes a memory system architecture that uses a network of 3D-stacked memories to increase throughput and reduce accumulated latency of data transfers between processors and memories when there are multiple packet processing tasks with memory accesses. Packets that enter the memory network receive packet processing without data transfers between the memories and the processors until the packet processing is completed. Packet processing task is allocated in the user-defined programmable logic in the logic layer of each 3D-stacked DRAM. The results observe that the proposed architecture increases throughput and reduces the accumulated latency when there are multiple packet processing tasks, compared to the architecture with 3D-stacked DRAM-based parallel main memory, where every memory access requires data transfers between the processors and memories.

This thesis is organized as follows. Chapter 1 introduces the background of packet processing, computer architectures of dedicated equipment and general-purpose computers, and major hardware devices in computers. Chapter 2 describes related works. Chapter 3 presents the parallel memory system architecture using the interleaved 3D-stacked memory. Chapter 4 presents the parallel memory system architecture using the interleaved 3D-stacked memory and the on-chip private cache memories. Chapter 5 presents the parallel memory system architecture using the interleaved 3D-stacked memory, the on-chip private cache memories, and the on-chip LLC slices. Chapter 6 presents the memory system architecture using the network of interleaved 3D-stacked memories. Finally, chapter 7 concludes this thesis.

(続紙 2)

(論文審査の結果の要旨)

本論文は、ネットワーク仮想化におけるパケット処理のための並列メモリシステムアーキテクチャに関する問題を、汎用コンピュータのメモリシステムにおける基本構成要素および将来的な汎用コンピュータのメモリシステム構成に焦点を当てて研究を行っている。本研究で得られた成果は以下のとおりである。

第一に、主メモリの並列性を向上させるために3次元積層メモリを使ったメモリシステムアーキテクチャを提案している。パケット処理のためのデータベースを分割した部分データベースを各メモリチャネルの各バンクに配置、CPUの発行するメモリ要求をハッシュ関数により各チャネル・バンク対に振り分けることで、メモリチャネルおよびバンクインターリーブ両方のメモリ並列性を活用している。提案アーキテクチャにおけるメモリ要求のランダム到着およびバースト到着時の性能評価のために待ち行列理論に基づいた解析モデルを導入した。その結果、提案アーキテクチャはランダム、バースト両方のメモリ要求到着について、最小サイズのIPパケット処理性能を80Gbps程度まで向上させることを示している。

第二に、メモリアクセス遅延を削減するために3次元積層メモリを用いた並列主メモリとCPUのプライベートキャッシュを組み合わせたメモリシステムアーキテクチャを提案している。提案アーキテクチャおよび異なる構造のキャッシュを持つ二つの参照アーキテクチャについて評価し、提案アーキテクチャは、プライベートキャッシュと共有ラストレベルキャッシュを持つ構成およびキャッシュを持たない構成に比べて、遅延、スループット、ブロック率の点で性能が優れていることを示している。

第三に、並列主メモリとの組み合わせにおいてキャッシュの容量と並列性を増加させるために3次元積層メモリ、プライベートキャッシュ、ラストレベルキャッシュスライスを用いたメモリシステムアーキテクチャを提案している。提案アーキテクチャおよび異なる構造のキャッシュを持つ二つの参照アーキテクチャについて評価し、提案アーキテクチャはプライベートキャッシュと共有ラストレベルキャッシュを持つ構成およびプライベートキャッシュのみを持つ構成に比べて、遅延、スループット、ブロック率の点で性能が優れていることを示している。

第四に、メモリアクセスを伴う複数のパケット処理タスクが存在する場合に、メモリアクセス時のCPUとメモリ間のデータ転送に伴う累積遅延の削減ならびにスループット向上のために、3次元積層メモリのネットワークを用いたメモリシステムアーキテクチャを提案している。提案アーキテクチャおよび従来アーキテクチャについて評価し、提案アーキテクチャは従来アーキテクチャに比べて、複数回のメモリアクセスを伴う複数のパケット処理タスク実行時に、データ転送回数を削減し、遅延、スループット、ブロック率の点で性能が優れていることを示している。

以上、本論文は、ネットワーク仮想化におけるパケット処理のための並列メモリシステムアーキテクチャに関して、汎用コンピュータのメモリシステムの基本構成要素および将来的な汎用コンピュータのメモリシステム構成に対応したアーキテクチャを提案し、ネットワーク仮想化技術の発展に貢献するものである。本論文の内容は、学術上、実用上とも寄与するところが少なくない。よって、本論文は博士(情報学)の学位論文として価値のあるものとして認める。また、令和3年2月12日、論文内容とそれに関連した事項について試問を行った結果、合格と認めた。なお、本論文は、京都大学学位規程第14条第2項に該当するものと判断し、公表に際しては、当該論文の全文に代えてその内容を要約したものとすることを認める。

要旨公開可能日： 年 月 日以降