

オンチップ電源電圧変動を考慮した
LSI-core マクロモデルに関する研究

田中 広志

2023年3月

京都大学大学院工学研究科電気工学専攻

目次

第1章	序論	1
1.1	はじめに	1
1.2	研究背景	2
1.3	LSI-core マクロモデルの従来研究	5
1.4	本論文の構成	9
第2章	スイッチモデルの等価変換による LSI-core マクロモデルの導出	11
2.1	まえがき	11
2.2	コアブロックを表現するスイッチモデルと LSI-core マクロモデルの概要	11
2.2.1	スイッチモデル	11
2.2.2	LSI-core マクロモデル	12
2.3	スイッチモデルから LECCS-LH モデルへの等価変換	14
2.3.1	等価変換の方針	14
2.3.2	過渡領域のノートン等価回路	16
2.3.3	理想的な条件における等価変換	17
2.3.4	等価変換の解析的証明	20
2.3.5	電流源抽出法と基準電流源	21
2.4	LECCS-LH モデルと LECCS-HL モデルの切り替えによる時不変回路の形成	23
2.4.1	LECCS-LH モデルと LECCS-HL モデルの切り替え	23
2.4.2	時不変線形モデルにするための初期値	24
2.5	スイッチモデルと LSI-core マクロモデルのシミュレーション比較	27
2.5.1	シミュレーション回路	27
2.5.2	スイッチングの直前で定常状態となる場合	28
2.5.3	スイッチング直前で定常状態にならない場合	31
2.6	第2章のまとめ	33
第3章	オンチップ電源電圧変動を考慮した等価電流源補正手法	35
3.1	まえがき	35
3.2	対象とするテストチップの機能ブロック	36
3.3	サブブロックのマクロモデル化	37
3.3.1	インピーダンスモデルの作成	37
3.3.2	理想電源供給状態における等価電流源の抽出	41
3.4	振幅補正係数と時間補正係数の導入による等価電流源補正手法	45

3.4.1	機能ブロック内に生じる電源電圧の差	45
3.4.2	電源電圧が変化したときのサブブロックの動作電流と補正係数 . .	47
3.4.3	振幅補正係数と時間補正係数の導入による微小時間ごとの補正 . .	50
3.4.4	微小時間ごとの畳み込みと補正による逐次補正手法	52
3.5	第3章のまとめ	56
第4章	機能ブロック間干渉を考慮したPIシミュレーション手法	59
4.1	まえがき	59
4.2	LSI設計フローにおけるLSI-coreマクロモデル利用と機能ブロック間干渉 の課題	61
4.2.1	LSI設計フローとLSI-coreマクロモデルの利用	61
4.2.2	テストチップの概要	62
4.2.3	PIシミュレーションに対する機能ブロック間干渉の影響度	65
4.3	機能ブロック間干渉の補正手法	67
4.3.1	逐次補正手法	67
4.3.2	繰り返し補正手法	67
4.4	実測による提案手法の精度検証	73
4.4.1	ワイヤボンディングおよびPCBのインピーダンスのモデル化	73
4.4.2	サブストレートインピーダンスのモデル化	77
4.4.3	LSI-coreマクロモデルを用いたシミュレーションと実測の比較 . .	83
4.5	第4章のまとめ	85
第5章	結論	87
	参考文献	91
	付録A 伝達関数のフーリエ変換と過渡応答の関係	97
	付録B サブストレートの抵抗値の推定誤差の影響	99
	付録C テストチップの電源電圧降下の要因分析	101
	付録D 動作周波数を変化させたときのテストチップの電源電圧変動	103
	研究業績	107
	謝辞	109

第1章 序論

1.1 はじめに

電子機器の性能向上は集積回路 (IC : Integrated circuit) の高速・高集積化によって支えられている。比較的大規模で LSI (Large Scale Integrated circuit) と呼ばれる高機能 IC の動作周波数は数 GHz オーダーに達しており、一般的な車載デバイスに用いられるマイコンで 100 MHz を超えるものも普及している。最先端の半導体プロセスルールは数 nm が実現されており、集積化が進む [1]。

このような LSI の進歩に伴い SI (Signal Integrity), PI (Power Integrity), EMC (Electro-Magnetic Compatibility) などの電気・電磁気的な多くの課題が生じる。これらの課題が LSI を試作した後に発覚し、対策をするために再設計を行うと膨大なコストの増加と開発期間の長期化に繋がる。そこで、事前に性能をシミュレーションで予測しながら設計を行うモデルベース開発 (MBD : Model-Based Development) が行われている。上記の電気・電磁気的課題は LSI を用いた電子機器の設計でも課題となるため、LSI の動作によって生じる電気・電磁気的な物理現象を精度よくシミュレーションするモデルが電子機器を設計する製造業者からも強く求められている。

LSI は外部との信号の入出力を行う I/O (Input/Output) ブロックと、論理演算を行うコアブロックに大別できる。I/O ブロックは比較的回路規模が小さく、半導体の詳細な物理モデルである SPICE (Simulation Program with Integrated Circuit Emphasis) モデルや、入出力特性を記述した IBIS (Input/output Buffer Information Specification) モデルが提供され、SI シミュレーションを活用した MBD が進んでいる。一方、コアブロックには数十万～数億個レベルのトランジスタが含まれるため、SPICE モデルを用いると膨大な計算時間を要する。したがって、SPICE モデルをそのままコアブロック全体の動作を計算する PI や EMC シミュレーションの用途で用いることは現実的ではない。

そこで、LSI コアブロックの動作が要因で生じる PI や EMC の課題を事前に予測するためのシミュレーションモデルとして高速に計算が可能な LSI-core マクロモデルが企業や大学などの様々な研究グループによって開発されてきた [2]。しかし、現時点で LSI 設計者および電子機器製造業者にそれらのモデルが広く普及しているとは言い難い。その理由として、マクロモデルのシミュレーション精度が十分でないという問題が根底にあると考えられる。つまり、LSI-core マクロモデルのシミュレーション精度向上は半導体・電子機器業界全体の開発効率向上の一助となり得る。

本論文は LSI-core マクロモデルのシミュレーション精度向上を目的として研究した内容をまとめたものである。第 1 章にて研究背景と概要、および本論文全体の構成を説明

第1章 序論

している。第2章では、CMOSのスイッチング動作が行われているコアブロックがなぜLSI-coreマクロモデルのようなインピーダンスが変化しない線形等価回路と等価電流源で表現可能であるかを解明することを目的として、コアブロックを表現するスイッチモデルとLSI-coreマクロモデルの等価性を証明している。その中で従来より知られているCMOS動作電流の電源電圧依存性が、等価電流源で表現できることを明らかにする。第3章では、LSI-coreマクロモデルのシミュレーション精度向上を目的とし、LSIコアブロックの構成要素である機能ブロックを対象に、オンチップ電源電圧変動を考慮した等価電流源の補正手法を提案している。第4章ではLSI-coreマクロモデルを用いたLSIコアブロック全体のPIシミュレーションを行う際に生じる「機能ブロック間干渉」によるシミュレーション精度悪化の課題を提起し、それを解決するシミュレーション手法を提案している。さらに、本論文で提案するシミュレーション手法の効果検証を行うため、試作テストチップの実測とシミュレーションの比較を行い、その効果を実証している。

1.2 研究背景

電子機器の性能はLSIの高機能化と共に進歩している。LSIは高機能化を実現するため高速化と高集積化が進められてきた。それに伴う消費電力増加の課題に対処するため、LSIに供給する電源電圧は低下傾向にあり、数百mVで動作するLSIも検討されている[3][4]。このようなLSIを搭載する電子機器を設計する上で、Fig. 1.1に示すような様々な電気・電磁気的な課題が生じる。

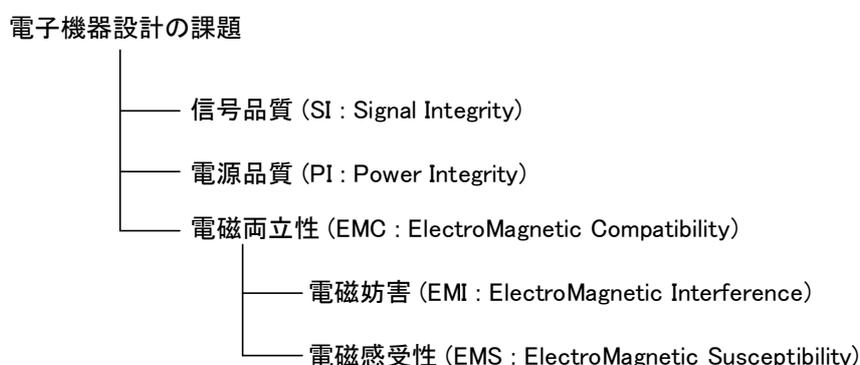


Figure 1.1: Electric and electromagnetic issues in designing electronic devices.

以下、SI/PI/EMCについて説明する。

1. 信号品質 (SI : Signal Integrity)

SIは直訳すると「信号完全性」であるが、機器間・IC間などで信号をエラーなく送受できる品質を指すことから「信号品質」と呼ばれる。デジタル信号の場合、立ち上がり時間や立ち下がり時間が速い波形の方が信号品質が良いとされるが、立ち上がり時間や立ち下がり時間が速い波形はより高い周波数のスペクトラムを持ち、EMIとのトレードオフを考慮した設計が必要になる[5]。また、デジタル信号のリター

ン電流がグラウンドに流れる際に、グラウンドバウンスを引き起こし、EMIに繋がる例 [6] や、逆に電源系の伝導ノイズにより SI が悪化する例もある [7][8].

2. 電源品質 (PI : Power Integrity)

PI も直訳すると「電源完全性」であるが、IC が必要とする直流電源電圧を電源やグラウンドの電位変動なく供給する品質を指すことから「電源品質」と呼ばれる。IC の動作に伴い高周波電流が IC やパッケージ、プリント回路基板 (PCB : Printed Circuit Board) などの電源供給回路 (PDN : Power Distribution Network) のインピーダンスに流れることで電源電圧変動が生じる。適切なデカップリングとバイパスによるフィルタ設計を行わなければ放射効率の良い電源配線やグラウンド配線などに高周波電流が流れ EMI の問題に繋がる [9][10].

3. 電磁両立性 (EMC : Electro-Magnetic Compatibility)

製品が外部に電磁妨害 (EMI) を与えない設計と、外部からの EMI に対して性能を低下させずに動作する電磁耐性 (イミュニティ) を確保する設計を両立させることを指す。後者は EMI と対比して電磁感受性 (EMS : Electro-Magnetic Susceptibility) とも呼ばれる。広義の解釈として自家中毒と呼ばれる機器内部の電磁結合による誤動作を防ぐ設計を含めることもある [11]。EMC は製品の安全性に関わるため世界各国で規制が存在する。各国の規制は概ね国際規格に基づいており、EMI 規格の例として、民生機器では CISPR 32[12], 産業用機器は CISPR 11[13] など用途によって測定法や限度値が定められている。特に安全性が求められる車載機器では CISPR 25[14] などの国際規格があるが、各車両メーカーが独自に設定したさらに厳しい規格を満足する必要がある。イミュニティは ISO や IEC などの国際規格で定められており、各国が参照する形で法規制を行っている [15]。EMC は前述の SI/PI の課題と共に電子機器設計の大きな課題の 1 つである。

このような SI/PI/EMC の課題が試作後の評価で発覚し、対策のための手戻りを行うと開発期間の長期化や対策部品の追加によるコスト増加につながる。そこで、Fig. 1.2 に示すように回路設計や基板設計の段階で SI/PI/EMC の課題を事前に予測するシミュレーションを行うことで開発効率の向上やコスト削減が進められている [16]。以下、SI/PI/EMC のシミュレーションについて説明する。

SI シミュレーションは比較的成熟している。PCB, ケーブル, コネクタなどの信号伝送系の S パラメータを市販の電磁界解析ソフトウェアで抽出することで、信号品質の指標となる反射損失 (Return Loss), 挿入損失 (Insertion Loss), クロストーク (Crosstalk) を精度よく計算可能である。また、その S パラメータを利用して回路シミュレータ上で TDR (Time Domain Reflectometry) 解析を行うことで信号品質の悪化箇所の特定を行うことも可能である。さらに IC の入出力を電流電圧特性で記述した IBIS (Input/Output Buffer Information Specification) と呼ばれるモデルがオープンフォーラムで提案されており*, このモデルを用いることで信号の Eye パターンシミュレーションが高精度に行える。DDR (Double Data

*IBIS Open Forum <https://ibis.org/>

第1章 序論

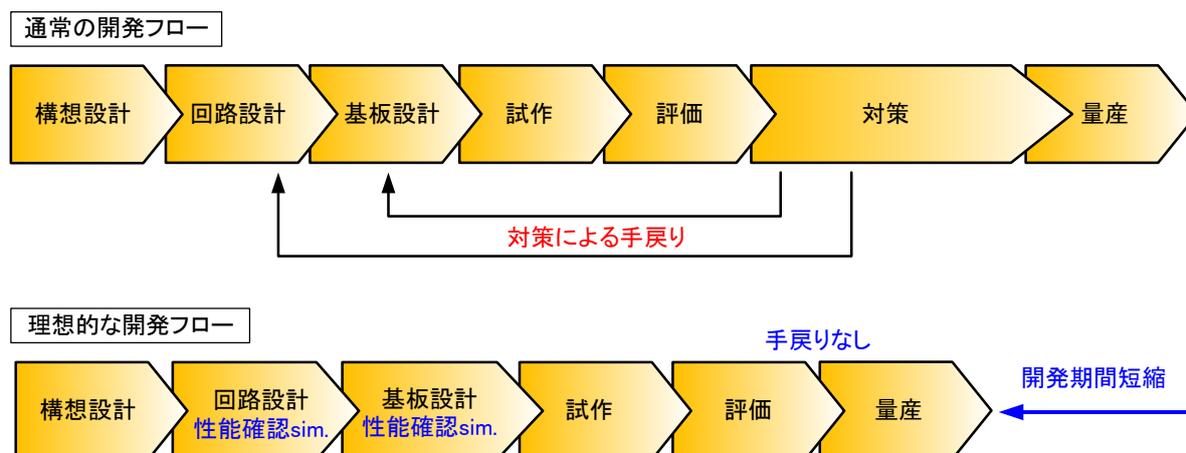


Figure 1.2: Comparison of development flows.

Rate) メモリや PCI(Peripheral Component Interconnect) Express などの基板上の高速信号配線は試作前にシミュレーションを行い、SIを確認することが一般的になっている。

PIシミュレーションはLSI設計と電子機器設計で異なるパラメータを扱うことが多い。LSI設計をする上では、LSI内部の電源電圧の過渡的な変動が問題となるため時間領域の電圧波形シミュレーションが必要となる。一方、電子機器設計ではPCB上の配線やフィルタ部品の周波数領域のインピーダンス特性を電磁界シミュレーションや回路シミュレーションで抽出し、LSIから見た電源入力インピーダンスやLSIから電源までの伝達関数を周波数領域のパラメータとして評価する。これはLSIベンダがLSIの動作を保証する上でPCB上の電源入力インピーダンスの上限(ターゲットインピーダンス [17][18])を定めることが背景にある。PCBの電源入力インピーダンスは市販の電磁界解析ソフトウェアで容易にシミュレーション可能であるが、LSI内部の過渡的な電源電圧変動のシミュレーションは難易度が高い。その理由として、LSIは数十万～数億個レベルのトランジスタが含まれるため、LSIの設計情報を詳細に記述したSPICEモデルを用いると現実的な時間でシミュレーションが完了しないことが挙げられる。そこでLSIのPIシミュレーションを行うためのマクロモデルが従来から研究されてきた。これは次に説明するEMCシミュレーションのモデルと同じモデルが用いられることもある。

EMCシミュレーションはLSIやPCBだけでなく筐体やケーブルなどを含む電子機器のシステム全体で生じる電磁界を予測したり、逆に外部から電子機器に印加される電磁界によって生じる誤動作を予測する必要がある。したがって、SIやPIのシミュレーションに比べて考慮する規模が広範となるため、EMCシミュレーションの難易度は高い。

EMIシミュレーションではコモンモード電流と呼ばれる電子機器外部(大地など)を帰路とする電流が、ノーマルモード電流と呼ばれる電子機器のシステム内に帰路がある電流に比べて放射しやすいため [19]、課題として取り上げられることが多い。このコモンモード電流はケーブルなどのシステム全体の微妙な配置や設計の変化で結果が大きく異なるためモデル化誤差によるシミュレーション結果の変化が大きく、EMIシミュレーションの難易度に拍車をかけている。

イミュニティシミュレーションを行うには、LSIにどの程度妨害波が印加されると誤動

1.3. LSI-core マクロモデルの従来研究

作に繋がるかを定量的に把握する必要がある。イミュニティシミュレーションを行うマクロモデルとして ICIM-CI モデル [20] が提案されている。ICIM-CI モデルは LSI 内部のインピーダンスモデルと DPI(Direct RF Power Injection) 法 [21] など抽出した誤動作が生じる周波数と電力のテーブルを組み合わせたモデルである。ICIM-CI モデルを用いて車載機器のイミュニティシミュレーションを行う手法も提案されている [22][23]。

近年 SI/PI/EMC のシミュレーションを行うために、インダクタ・キャパシタ・抵抗などの受動部品やバリスタ・サーミスタ等の静電気対策部品は部品メーカーによるモデル提供が進んでいる。一方、LSI に関しては I/O 系では IBIS モデルの提供が進んでいるものの、コアブロック起因の PI/EMI をシミュレーションするモデルはほとんど提供されていない。LSI コアブロックを SPICE などの詳細モデルではなくマクロモデルで表現することで設計情報の秘匿性を保ち、高速にシミュレーションする手法が研究されてきている [2] にも関わらず普及していない理由として、筆者は LSI ベンダがモデルの解析精度を保証できないという問題が根底にあると考えている。このモデルの入手困難性は PI/EMI シミュレーションの難易度を上げている要因の 1 つである。

そこで本論文は PI/EMI シミュレーションを行うためのモデルである LSI-core マクロモデルに着目し、(1)CMOS のスイッチング動作が行われている LSI コアブロックをインピーダンスが変化しない線形等価回路と等価電流源で表す LSI-core マクロモデルの物理的妥当性の検討と、(2)LSI-core マクロモデルによる PI シミュレーションの精度向上のための CMOS 動作のオンチップ電源電圧依存性を考慮した等価電流源の補正手法の提案、の 2 点を行っている。

1.3 LSI-core マクロモデルの従来研究

デジタル処理を行う LSI の簡単な構成図を Fig. 1.3 に示す。LSI は外部との信号の入出力を行う I/O ブロックと演算処理を行うコアブロックに大別できる。

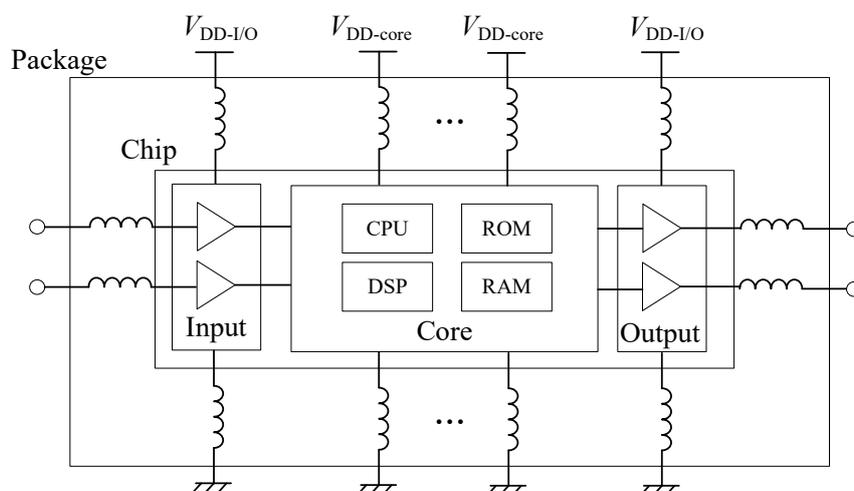


Figure 1.3: Basic configuration of LSI.

第1章 序論

I/O ブロックはコアブロックに比べ構成するトランジスタ数が少ないため、そのまま SPICE モデルを用いても現実的な時間でシミュレーション可能であるが、設計情報の秘匿が可能で様々な回路シミュレータとの互換性が高い IBIS モデルを用いて SI シミュレーションを行うことが主流となっている。

コアブロックは CPU(Central Processing Unit), DSP(Digital Signal Processor), ROM(Read Only Memory), RAM(Random Access Memory) などの論理回路やメモリで構成されている。これらは I/O ブロックを介して LSI 外部との信号の入出力を行うため、I/O ブロックのように SI シミュレーションを行うモデルは不要である。一方、LSI を構成する数十万から数億個レベルのトランジスタの大半がコアブロックに含まれているため動作電流が大きく、電源やグラウンドの電位変動を予測する PI シミュレーションや電源やグラウンド配線からの伝導ノイズを予測する EMI シミュレーションを行うモデルが必要となる。

そこで、本来 Fig. 1.4(a) のように複雑なトランジスタの集合であるコアブロックを Fig. 1.4(b) や Fig. 1.4(c) に示すマクロモデルで表現する手法が研究されてきた。Fig. 1.4(b) は電源-グラウンド間のインピーダンスをトランジスタが持つゲート容量やドレイン-ソース間の容量と、PMOS や NMOS の ON/OFF 抵抗をスイッチもしくは時変抵抗で表現するマクロモデル [24][25][26][27] である。Fig. 1.4(c) は電源-グラウンド間のインピーダンスを線形等価回路で表現し、スイッチングによって生じる動作電流を等価電流源で表現

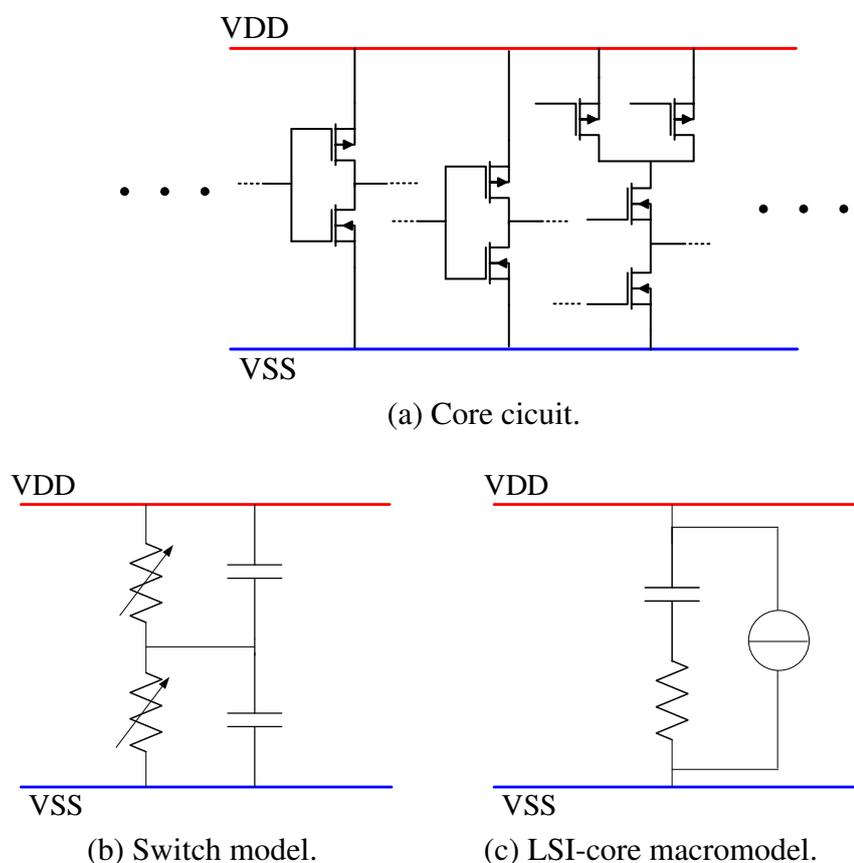


Figure 1.4: Example of basic configurations of core circuit and its macromodels.

している [28][29].

本論文ではモデルの性質の違いから Fig. 1.4(b) のモデルをスイッチモデルと呼び、Fig. 1.4(c) のモデルを LSI-core マクロモデルと区別して呼ぶ。

スイッチモデルは過渡解析により時間領域の PI/EMI シミュレーションが可能である。一方 LSI-core マクロモデルは、モデル開発当初は等価電流源のスペクトラムを定義することで周波数領域の EMI シミュレーションに使用されてきたが、等価電流源の波形をパルス波形などにすることで時間領域の PI シミュレーションを行うことも可能である。周波数解析は過渡解析に比べ高速に計算が可能であることから、EMI 用途では LSI-core マクロモデルが用いられることが多い。そこで Table 1.1 に示すように LSI-core マクロモデルは PI/EMI をシミュレーションするモデルとして多くの研究グループで開発が進められてきた [2].

Table 1.1 に示す ICEM-CE (Integrated Circuit Emission Model - Conducted Emission)[28][29][30][31][32][33][34][35][36][37] , LECCS-core (Linear Equivalent Circuit and Current Sources - core)[38][39][40][41][42][43][44][45][46], NEMO (Netlist-based Emission MOdels)[47][48][49], CPM (Chip Power Model)[50][51][52][53][54] は、細かい抽出法は異なるが、最終的にコアブロックを Fig. 1.4(c) のように線形等価回路と等価電流源で表すという点で一致している。

ICEM-CE は当初、EMI シミュレーションを行うためのモデルとして、LSI 試作後に LSI を実装したモデル抽出用の PCB を用いて電源-グラウンド間のインピーダンスと高周波の電源電流を測定し、コアブロックの線形等価回路と等価電流源を推定することでモデルを構築してきた [30][31]。等価電流源を設計情報とハードウェア記述言語によるシミュレーションで抽出する手法 [32] をはじめ、ICEM-CE を LSI 試作前に PI/EMI シミュレーションで活用するために設計情報から構築する手法も報告されている [35][36][37]。また、ICEM-CE を用いて PCB 上の PI/EMI シミュレーションだけでなく、オンチップの電源電圧変動を予測するシミュレーションを行った例も報告されている [33]。ICEM-CE は後述する LECCS-core の成果も統合した形で「IC の伝導性エミッションモデル規格 (ICEM-CE) : IEC 62433-2」として規格化されている [28][29]。

LECCS-core は電子機器の設計者にとって LSI のシミュレーションモデルが入手困難であることが背景で研究が始まった [38][39][40]。そのため、ICEM-CE と同様、LSI の外部からインピーダンスと動作電流の測定を行い、その結果を元にコアブロックの線形等価回路と等価電流源を推定している。ほぼ同時期に提案された ICEM-CE と区別するため、線形等価回路 (LEC : Linear Equivalent Circuit) と電流源 (CS : Current Sources) を持つモデル、すなわち LECCS モデルと提案された [41][42]。LECCS-core は実測ベースで開発が進められたことから、LSI の設計情報だけでは予想できないチップと PCB のグラウンド間の寄生結合の考慮が必要であること [43] や、多ポートの電源を持つ LSI では LSI 内部での IBC(Inter-Block Coupling) の考慮が必要であること [45][46] などを明らかにしてきた。これらの考え方は前述の IEC 62433-2 にも取り入れられている [28][29]。

NEMO や CPM は LSI の設計情報から LSI-core マクロモデルを抽出するツールとして開発された。抽出法の詳細は明らかにされていないが、最終的なモデルは ICEM-CE や LECCS-core と同様、線形等価回路と等価電流源で構成される。CPM は LSI の設計段階か

Table 1.1: Macromodels for LSI core block.

モデル名	研究・開発元	特徴	用途
スイッチモデル	神戸大学, 大阪大学, 東京工業大学	スイッチ（もしくは時変抵抗）とキャパシタで構成。 時間領域シミュレーションが可能。	主に PI
ICEM-CE	欧州の大学, 半導体メーカー等	IEC 62433-2 で規格化。 IC のインピーダンスを表す PDN (Passive Distribution Network) [†] と内部動作を表す IA (Internal Activity) で構成。	PI/EMI
LECCS-core	岡山大学, 京都大学, 日本の半導体メーカー等	線形等価回路 (LEC) と等価電流源 (CS) で構成。それぞれ ICEM-CE の PDN と IA に類似しており, ICEM-CE の規格に統合されている。	主に EMI
NEMO	ドイツの大学, 半導体メーカー等	設計情報からソフトウェアで抽出。抽出後の回路の構成要素は ICEM-CE や LECCS-core と同じく, 線形等価回路と等価電流源。	PI/EMI
CPM	ANSYS(Apache)	設計情報からソフトウェアで抽出。抽出後の回路の構成要素は ICEM-CE や LECCS-core と同じく, 線形等価回路と等価電流源。	PI/EMI
本論文では ICEM-CE, LECCS-core, NEMO, CPM のように LSI のコアブロックを線形等価回路と等価電流源で表現するモデルを LSI-core マクロモデルと呼ぶ。			

ら商用ツールを用いてモデル作成が可能であることからオンチップ PDN 設計のための PI シミュレーション手法の研究報告 [52][53] が多い。

以上のように, LSI-core マクロモデルは LSI 電源系の PI/EMI シミュレーションを高速に行うことを目的とし, スイッチング動作が行われる (時変回路である) LSI のコアブロックをインピーダンスが変化しない時不変回路と等価電流源によるマクロモデルで表現してきた。現実には時変回路である LSI の現象を LSI-core マクロモデルのような時不変回路で表現できるという根拠は従来明確には示されてこなかったが, LSI-core マクロモデルは特に EMI シミュレーションで精度良く伝導ノイズを予測できるとの報告が多数ある。例として, 実測ベースで構築されてきた LECCS-core は文献 [43] でマイコンから発生する伝導電流を 5~300 MHz の周波数帯において実測との平均誤差 1.5 dB でシミュレーション

[†]ICEM-CE では Passive Distribution Network の略語として PDN を用いている。その定義は “component of an IC model that represents the characteristics of propagation path of electromagnetic noises such as power distribution network” となっており, 電源供給回路のインピーダンスと論理回路のインピーダンスを区別しない表現になっている。本論文では Table 1.1 以外で PDN を用いた場合, 電源供給回路 (Power Distribution Network) を指す。

できており、文献 [46] ではプログラム依存性も考慮することでクロック高調波だけでなく分数調波もシミュレーションで予測できている。設計情報から構築した ICEM-CE の例として、文献 [37] は FPGA の動的な消費電力から等価電流源を抽出しており、PCB 上で測定した伝導電流を 2 GHz まで二乗平均平方根誤差 (RMS error) 6 dB 未満で予測できている。EMI シミュレーションでは、PCB 上の伝導ノイズで実測との誤差数 dB 程度の精度が求められるが、過去の研究で成熟しつつあると考えられる。

一方、PI シミュレーションは CMOS の誤動作に繋がる電源電圧変動が生じないかについて、時間領域で検証を行う。近年のプロセス微細化で電源電圧の低電圧化が進み [3][4]、電源電圧変動に対する要求は厳しくなっている。EMI は $\text{dB}\mu\text{V}$ や $\text{dB}\mu\text{A}$ などの対数軸の単位で評価されるため誤差数 dB 程度の精度で良いが、PI シミュレーションは線形軸の電圧で評価され、電源電圧変動の許容範囲が数 % から十数 % 程度と考えると、求められる精度は EMI シミュレーションよりも高い[‡]。LSI-core マクロモデルをオンチップの PI シミュレーションに適用した例として、近年の研究でもオンチップ電源電圧変動の peak-to-peak で数十 % の誤差があり [54]、精度課題は残っていると考えられる。

そこで「(1) 現実には時変回路である LSI の現象を LSI-core マクロモデルのような時不変回路で表現できるという根拠の明確化」、「(2) LSI-core マクロモデルによる PI シミュレーションの精度向上」の 2 点を目的として本研究を行っている。

1.4 本論文の構成

本研究は「(1) 現実には時変回路である LSI の現象を LSI-core マクロモデルのような時不変回路で表現できるという根拠の明確化」から着手している。その後「(2) LSI-core マクロモデルによる PI シミュレーションの精度向上」のため、精度悪化要因の 1 つとして CMOS 動作のオンチップ電源電圧依存性が従来の LSI-core マクロモデルで考慮されていないことを課題として取り上げ、オンチップ電源電圧依存性を考慮した等価電流源の補正手法を提案している。

第 2 章では、まず LSI のコアブロックを [24][25][26] などで提案されるスイッチモデル (時変回路のマクロモデル) で表現する。時変回路であるスイッチモデルが時不変回路である LSI-core マクロモデルに等価変換できることを示すことで LSI のコアブロックを時不変回路で表現可能な根拠を説明する。また、等価変換の過程で等価電流源の振幅がスイッチング時のコアブロック内部の電圧に比例することを示し、従来より知られている CMOS 動作電流の電源電圧依存性が等価電流源で表現できることを説明する。

第 3 章では、LSI-core マクロモデルの PI シミュレーション精度を向上させることを目的とし、LSI コアブロックの構成要素である機能ブロックのオンチップ電源電圧変動を考慮した等価電流源の補正手法の検討を行っている。まず、 $0.18\ \mu\text{m}$ の CMOS プロセスルールで設計されたテストチップの機能ブロックを対象回路として、設計情報から抽出した詳細な SPICE モデルを元に LSI-core マクロモデルを構築している。次に、機能ブロックに供給される直流電源電圧が変化した場合に LSI の動作電流の振幅が変化するだけでなく遅延

[‡]対数軸の誤差 $\pm 3\ \text{dB}$ は線形軸で $+41\ \% \sim -29\ \%$ 、 $\pm 1\ \text{dB}$ は $+12\ \% \sim -11\ \%$ 。

第1章 序論

量も変化する現象を表現するために、等価電流源を補正する振幅補正係数と時間補正係数を提案している。SPICEモデルでシミュレーションした機能ブロックの動作電流を補正係数を導入したLSI-coreマクロモデルで精度よく再現できることを示す。

第4章もLSI-coreマクロモデルのPIシミュレーション精度を向上させることを目的としているが、LSIコアブロック全体の動作で生じる「機能ブロック間干渉」に着目している。まず課題提起として、LSIのコアブロック内部には同一パワードメインに複数の機能ブロックが含まれるため、個々の機能ブロックの動作によって生じるオンチップ電源電圧変動だけでなく、周囲の機能ブロックの動作による電源電圧変動で動作電流が変化する現象（機能ブロック間干渉）が生じることを説明している。続いて、振幅補正係数と時間補正係数を用いて、機能ブロックだけでなくLSIコアブロック全体で補正を行いつつPIシミュレーションを行う手法を提案している。最後に、テストチップを実装したPCBのチップ直近の電源電圧変動を実測し、LSI-coreマクロモデルのシミュレーションと比較することで提案手法によるシミュレーション精度向上を実証している。

第5章は結論であり、本論文で得られた成果の要約に加え、今後の課題や将来の展望について述べている。

第2章 スイッチモデルの等価変換による LSI-core マクロモデルの導出

2.1 まえがき

本章では、本来スイッチング動作が行われる（時変回路である）CMOS トランジスタを集積した LSI のコアブロックがなぜ LECCS-core や ICEM-CE のようなインピーダンスが変化しない時不変回路のマクロモデルで表現できるのかを明らかにすることを目的とする。

従来の研究の中で、LSI コアブロック内部の CMOS トランジスタのスイッチング動作を表現するスイッチモデルを用いる手法が提案されている [24][25][26] [27]。これらは複数のゲートをまとめてスイッチ（もしくは時変抵抗）と容量で表現するマクロモデルであるが、時変回路である点で CMOS トランジスタと共通している。

そこで、本章では時変回路であるスイッチモデルが時不変回路である LSI-core マクロモデルへ等価変換できることを解析的に証明することで、コアブロックを時不変の線形等価回路と等価電流源で表現することが可能であることを示す。その中で電気回路論で一般的に知られるノートン等価回路理論と重ね合わせの原理を応用している。

また、従来 LSI-core マクロモデルの等価電流源はプログラムや動作率に依存し変化することは研究されてきたが [34][46]、基本的には回路固有の波形として用いられてきた。しかし、本章の LSI-core マクロモデル導出の中で等価電流源の振幅がスイッチング時のコアブロック内のキャパシタにかかる電圧に比例することが導かれる。そこで、本章の最後でオンチップ電源電圧による等価電流源のスケーリングの概念を導入したシミュレーションについて説明し、従来より知られている CMOS 動作電流の電源電圧依存性が等価電流源で表現できることを説明する。

2.2 コアブロックを表現するスイッチモデルと LSI-core マクロモデルの概要

2.2.1 スイッチモデル

LSI のコアブロック内にある CMOS 回路は論理ゲートやメモリなどの組み合わせで表現できる。その代表として Fig. 2.1(a) に NOT ゲートである CMOS インバータを示す。

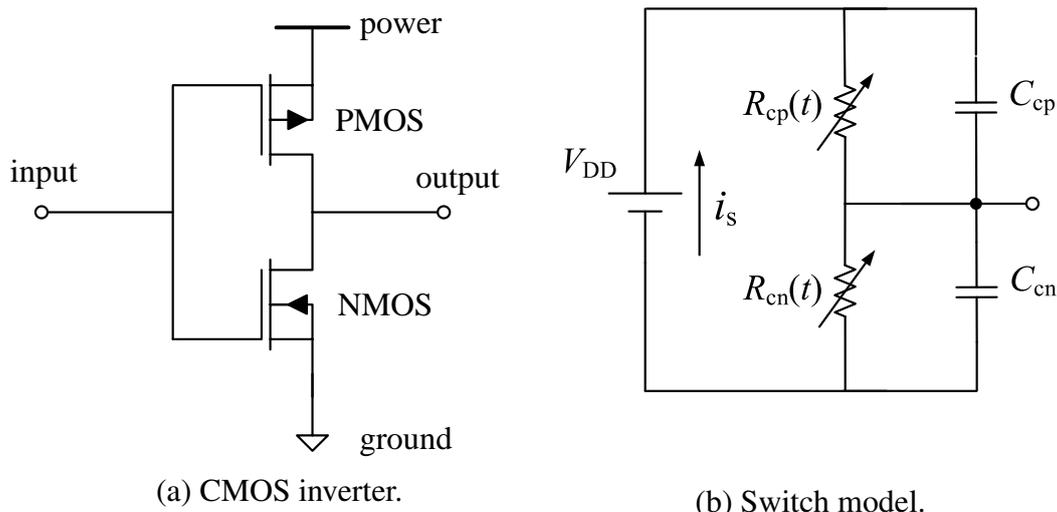


Figure 2.1: CMOS inverter and equivalent switch model.

一般の CMOS 回路を表す SPICE モデルは非線形モデルであり、数万を超える膨大な数のトランジスタを持つコアブロックのシミュレーションを行うには膨大な計算時間を必要とする。そこで、MOS トランジスタが電圧制御抵抗で表現できることを利用して、Fig. 2.1(b) のように時変のスイッチモデルでシミュレーションが行われてきた [25][26][27]。ただし、Fig. 2.1(b) は出力が同じ動作をする多数の論理ゲートを 1 つにまとめてモデル化したマクロモデルである。

Fig. 2.1(b) の $R_{cp}(t)$, $R_{cn}(t)$ は MOS トランジスタの電圧制御抵抗の動作を時変抵抗でモデル化したものであり、ON 抵抗から OFF 抵抗まで変化するスイッチの役割を持っている。また C_{cp} , C_{cn} はそれぞれ PMOS, NMOS の OFF 容量と次段に接続されるゲート入力容量の和をモデル化している。LSI のコアブロック内の各論理ゲート出力につながる次段の入力容量は固定されているものと考えると C_{cp} , C_{cn} は回路に固有の値である。つまり、出力の外部負荷依存性については LSI コアブロック内では考えなくてもよい。

2.2.2 LSI-core マクロモデル

序論で説明した通り、コアブロックから電源配線やグラウンド配線に漏れ出す伝導ノイズをシミュレーションするための LSI-core マクロモデルとして LECCS-core, ICEM-CE, CPM, NEMO などが挙げられるが、これらは基本的にコアブロックを線形等価回路と電流源で表すという点で同じものである。この LSI-core マクロモデルは EMC マクロモデルとして精度よくノイズ予測ができるという成果をあげている [37][43][46]。例として [43] ではマイコンの LSI-core マクロモデルを作成し、5~300 MHz の周波数帯において実測とシミュレーションの平均誤差が 1.5 dB となっている。ここでは、この LSI-core マクロモデルの概念について説明する。

コアブロック内には Fig. 2.2(a) のように電源-グラウンド間に膨大な数の MOS トラン

2.2. コアブロックを表現するスイッチモデルと LSI-core マクロモデルの概要

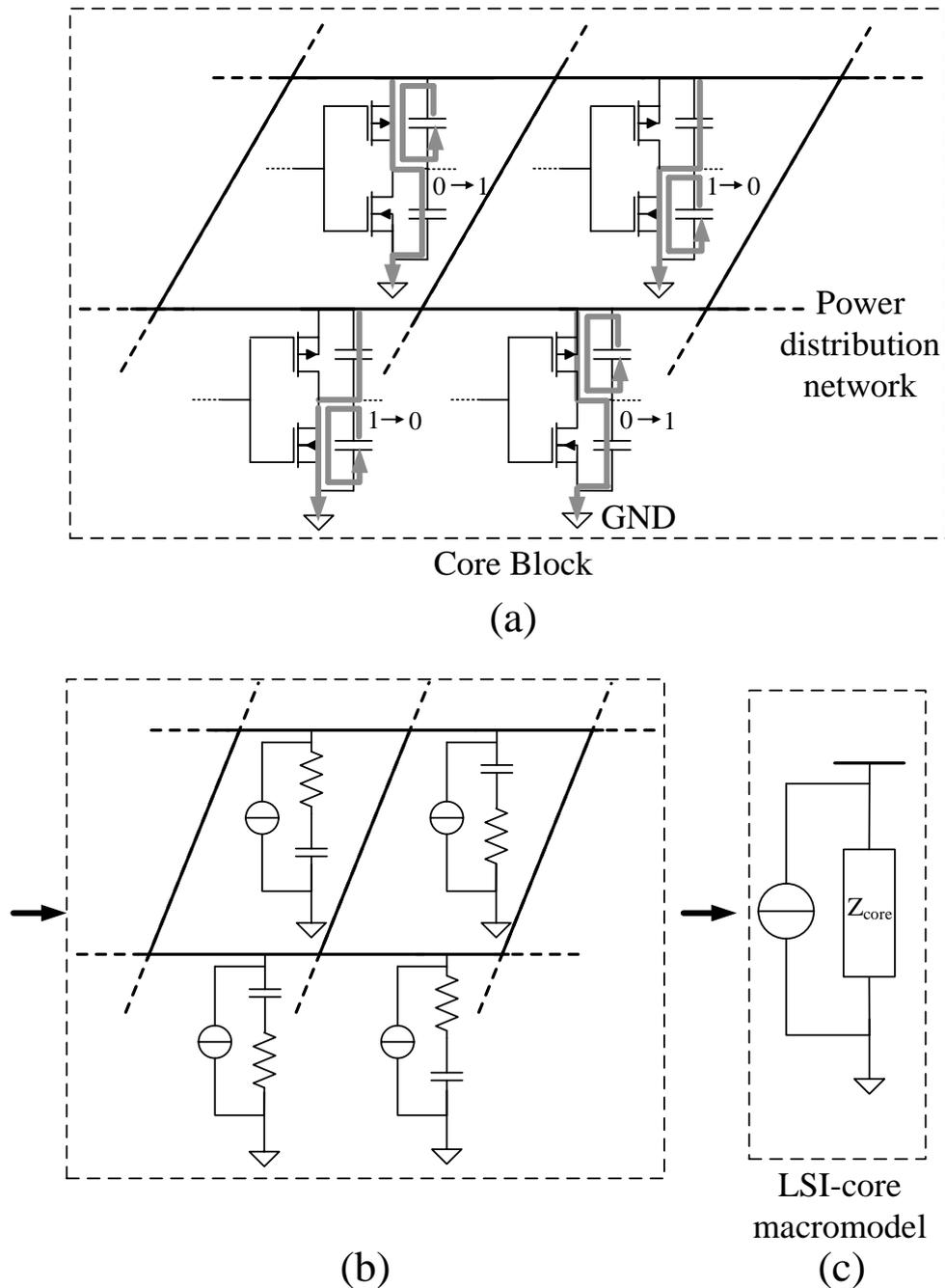


Figure 2.2: Concept of LSI-core macromodel.

ジスタが存在する。MOS トランジスタの定常時の電気的特性は、ON 状態のものは抵抗性、OFF 状態のものは容量性とみなすことができる。つまり、ある時刻のコアブロックは、Fig. 2.2(b) のように ON 側のトランジスタは抵抗、OFF 側のトランジスタを容量として線形等価回路 (LEC : Linear Equivalent Circuit) で近似できる。また、コアブロックの動作電流は ON から OFF または OFF から ON の遷移のタイミングで Fig. 2.2(a) の太線で示す経

第2章 スイッチモデルの等価変換による LSI-core マクロモデルの導出

路を流れる. LSI-core マクロモデルでは等価電流源 (CS : Current sources) を, 各インピーダンスに並列に接続することで, ON 抵抗と OFF 容量を流れる動作電流を表現している.

そして, コアブロック内部のインピーダンスと電流源をまとめることでコアブロックを Fig. 2.2(c) のような LSI-core マクロモデルで表現している.

定常時における MOS トランジスタは上述のように ON 抵抗と OFF 容量で表現できるが, 次のクロックで状態の遷移がある場合, MOS トランジスタのインピーダンスは変化する. このようにスイッチング動作を行うコアブロックを Fig. 2.2(c) のような時不変回路で表現してよいという理由は従来の研究では十分に議論されてこなかった.

2.3 スイッチモデルから LECCS-LH モデルへの等価変換

本節では LSI のコアブロック内の動作をマクロ的にとらえることで Fig. 2.1(b) のスイッチモデルが Fig. 2.2(c) の LSI-core マクロモデルに等価変換できることを示す.

2.3.1 等価変換の方針

まず一般的なスイッチモデルとして Fig. 2.3 に示す回路を考える. Fig. 2.3 のコアブロック内の左側の回路は出力が Low から High に遷移するトランジスタ回路群, 右側は High から Low に遷移するトランジスタ回路群のマクロモデルである. PDN は LSI コアブロック外部のパッケージや PCB の電源供給回路を表現している*.

コアブロック内には多数のトランジスタが含まれており, 各ゲートの動作はプログラムに依存するものの, 出力が Low から High に遷移するゲートと High から Low に遷移するゲートはマクロ的に見てほぼ同数あると考えられる. そのため, 両者の PMOS, NMOS の容量の和, 論理ゲート出力に接続される容量の和はほぼ等しいため, 次式が成り立つ.

$$C_{cp} = C'_{cp} \quad (2.1)$$

$$C_{cn} = C'_{cn} \quad (2.2)$$

Low から High に遷移するスイッチモデルと High から Low に遷移するスイッチモデルにそれぞれ対応する LSI-core マクロモデルとして, Fig. 2.4 に示す LECCS-LH モデル, 及び LECCS-HL モデルを考える. 本節ではスイッチモデルがこの LECCS-LH モデルと LECCS-HL モデルに等価変換が可能であることを解析的に示す.

Fig. 2.3 の PDN は受動回路で構成され, 線形であるとする. この時, Fig. 2.3 の v_1, v_2, i_1, i_2 の関係はラプラス領域で次のように表される.

$$\begin{bmatrix} I_1(s) \\ -I_2(s) \end{bmatrix} = \begin{bmatrix} Y_{11}(s) & Y_{12}(s) \\ Y_{21}(s) & Y_{22}(s) \end{bmatrix} \begin{bmatrix} V_1(s) \\ V_2(s) \end{bmatrix} \quad (2.3)$$

*第3章以降では LSI コアブロック内の配線のインピーダンスも考慮したモデル化を行っているため, PDN に LSI 内部の電源供給回路も含まれるが, 第2章では簡単のため, PDN はパッケージと PCB のインピーダンスを指していると考ええる.

2.3. スイッチモデルから LECCS-LH モデルへの等価変換

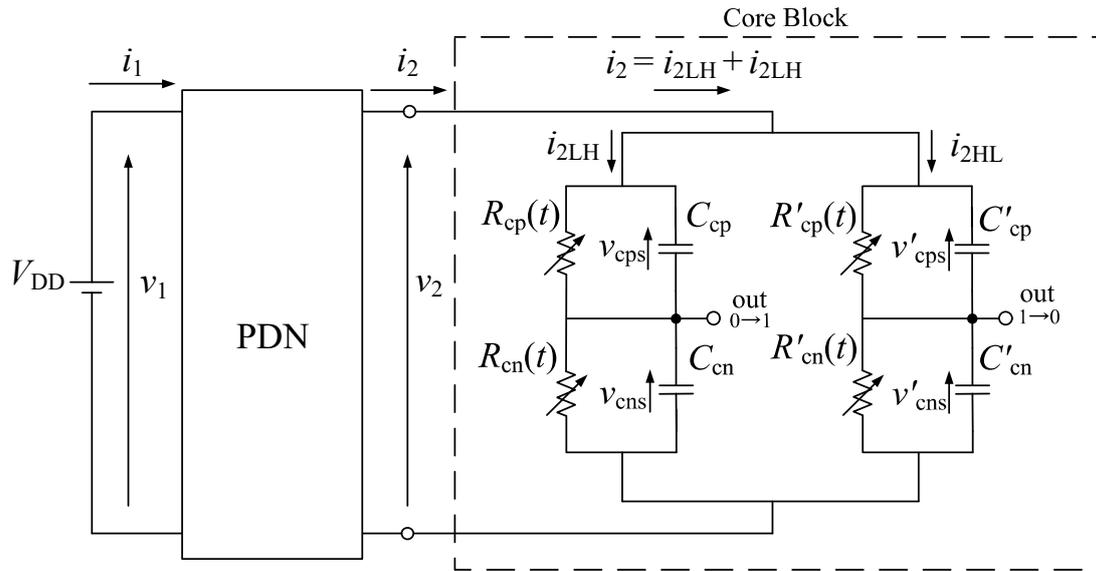


Figure 2.3: PDN and LSI core block expressed by switch models.

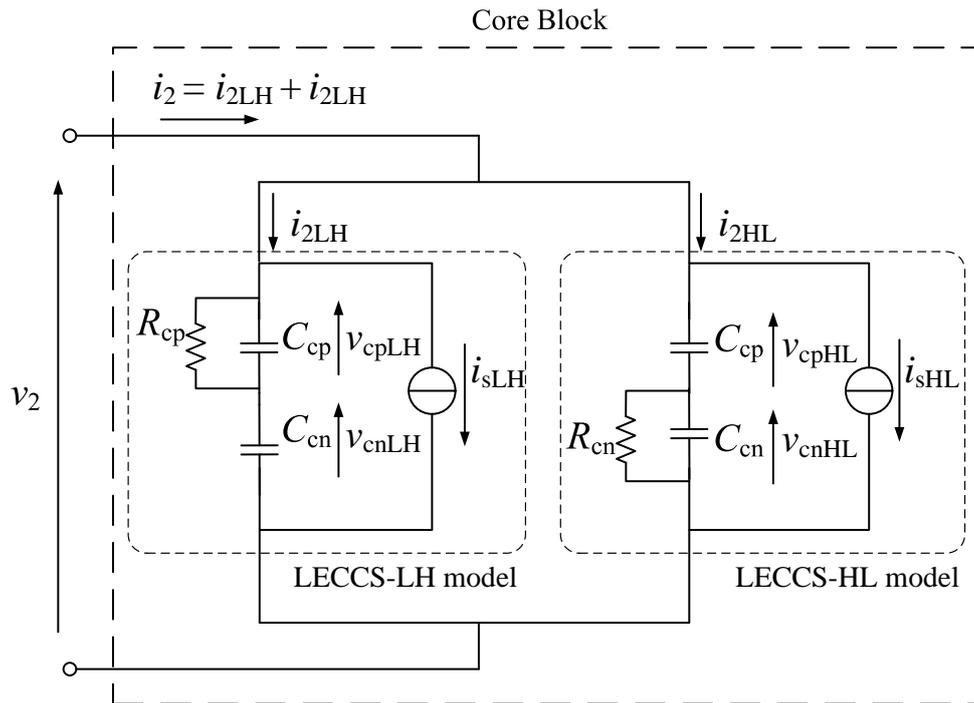


Figure 2.4: Core block expressed by LECCS-LH and LECCS-HL model.

ここで, $Y_{11}(s)$, $Y_{12}(s)$, $Y_{21}(s)$, $Y_{22}(s)$, は PDN の Y 行列をラプラス変換したものである. Fig. 2.3 のスイッチモデルと Fig. 2.4 の LECCS-LH および LECCS-HL モデルの外部回路には同じ PDN と直流電源を接続するため, 両者の Y 行列と $V_1(s)$ は同じ関数を用いる. した

第2章 スイッチモデルの等価変換による LSI-core マクロモデルの導出

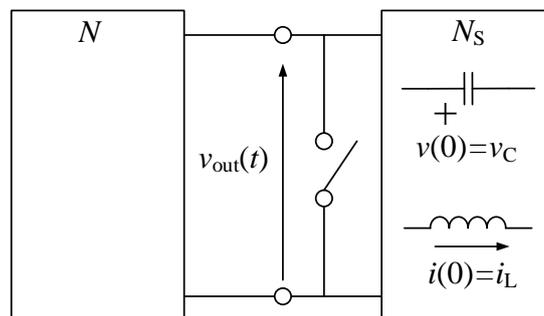
がって, $V_2(s)$ が等しければ $I_1(s), I_2(s)$ も等しくなる. つまり, コアブロックの外部回路の電流電圧特性が一致するようにスイッチモデルから LECCS-LH および LECCS-HL モデルへ等価変換するには $V_2(s)$ が変換の前後で等しければよい. そこで, $V_2(s)$ が等しくなる等価変換の方法を導出する.

2.3.2 過渡領域のノートン等価回路

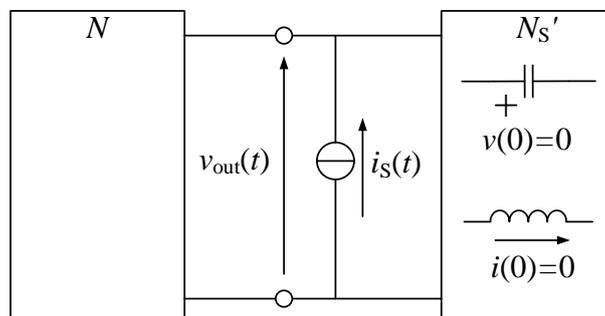
スイッチモデルから LECCS-LH および LECCS-HL モデルへの等価変換を行う際に用いる過渡領域のノートン等価回路の概念を本節で説明する.

一般的な教科書ではノートン等価回路は直流や周波数領域で説明されることが多い [55][56]. 直流や周波数領域でノートン等価回路を作成する場合, 電源を含む回路の外部端子を短絡したときの短絡電流を求め, ノートンの等価電流源を抽出する. 次に, 内部電源を除去したインピーダンスブロックの外部端子にこのノートンの等価電流源を接続することで, ノートンの等価回路を作成する.

一方, 過渡領域でノートンの等価回路を作成する場合は回路の初期値を考慮しなければならない. Fig. 2.5(a) のようにキャパシタやインダクタを含む線形回路 N_S の $t > 0$ における過渡現象を表現する等価回路を求める手順を説明する.



(a) Before conversion.



(b) After conversion.

Figure 2.5: Norton's equivalent circuit in transient domain.

2.3. スイッチモデルから LECCS-LH モデルへの等価変換

まず過渡領域のノートンの等価電流源を得るには、直流や周波数領域のノートンの等価電流源を得るときと同様に回路の外部端子を短絡する。そしてこのときに流れる過渡領域の短絡電流 $i_s(t)$ を得る。これを過渡領域のノートンの等価電流源とする。次に回路の $t = 0$ におけるキャパシタにかかる電圧の初期値とインダクタに流れる電流の初期値を $v(0) = 0$, $i(0) = 0$ とした回路 N'_s (Fig. 2.5(b)) の外部端子にこの等価電流源を接続する。ただし、内部に電源を持つ場合は直流や周波数領域の時と同様にそれらを除く。このように変換を行うことで Fig. 2.5(a) に示す等価変換前の外部端子電圧 $v_{out}(t)$ が Fig. 2.5(b) に示す等価変換後の外部端子電圧 $v_{out}(t)$ と等しくなる。

以上が、過渡領域のノートンの等価回路である。

2.3.3 理想的な条件における等価変換

Fig. 2.3 のスイッチモデルから Fig. 2.4 の LSI-core マクロモデルへ等価変換可能であることを概念的に説明するため、仮定として以下のような理想的な条件を設定する[†]。

仮定 1. 時変抵抗 $R_{cp}(t)$, $R_{cn}(t)$ の OFF 抵抗は ON 抵抗に比べ十分に大きく、開放とみなせる。

仮定 2. $R_{cp}(t)$, $R_{cn}(t)$ の ON \leftrightarrow OFF の遷移時間は十分に早く瞬時に遷移する。

また、本節ではスイッチモデルの出力が Low から High に遷移する時のモデルが LECCS-LH モデルに等価変換できることを示す。High から Low への遷移については、回路の対称性より同様の手順で証明できるため省略する。

時刻 $t = t_1$ に $R_{cp}(t)$ が OFF 抵抗から ON 抵抗に切り替わり、 $R_{cn}(t)$ が ON 抵抗から OFF 抵抗に切り替わるとき、スイッチモデルの出力は Low から High に遷移を始める。

本節以降、時刻 $t = t_n$ に回路が切り替わる場合にその直前と直後の時刻を Δt を微小時間として次のように表現する。

$$t_{n-} \equiv t_n - \Delta t \quad (2.4)$$

$$t_{n+} \equiv t_n + \Delta t \quad (2.5)$$

時刻 $t = t_1$ にスイッチ回路の抵抗が切り替わった直後 ($t = t_{1+}$) の回路の状態を Fig. 2.6 の回路 A に示す。ただし、 $R_{cp}(t)$ の ON 抵抗を R_{cp} としている。

過渡領域のノートンの等価回路を用いて回路 A から LECCS-LH モデルの形にすることを考える。回路 A から直接、ノートンの等価電流源を求めるために外部端子を短絡する場合、一般的に $v_{cps}(t_{1+}) + v_{cns}(t_{1+}) = 0$ ではない。そのため、短絡の前後で初期値の不連続が生じ、電流の形はデルタ関数を含むことになる。しかし、物理的に LSI 内にデルタ関数を含んだ電流は流れない。そこで、重ね合わせの原理 [56] を用いて回路の初期値を 2 つに分け、デルタ関数を含まない電流源を得ることを考える。

[†]本章では時変回路であるスイッチモデルが時不変回路である LSI-core マクロモデルで表現できることを解析的に示すため理想的な仮定をおいている。実際の LSI のマクロモデル化については第 3 章で取り扱う。

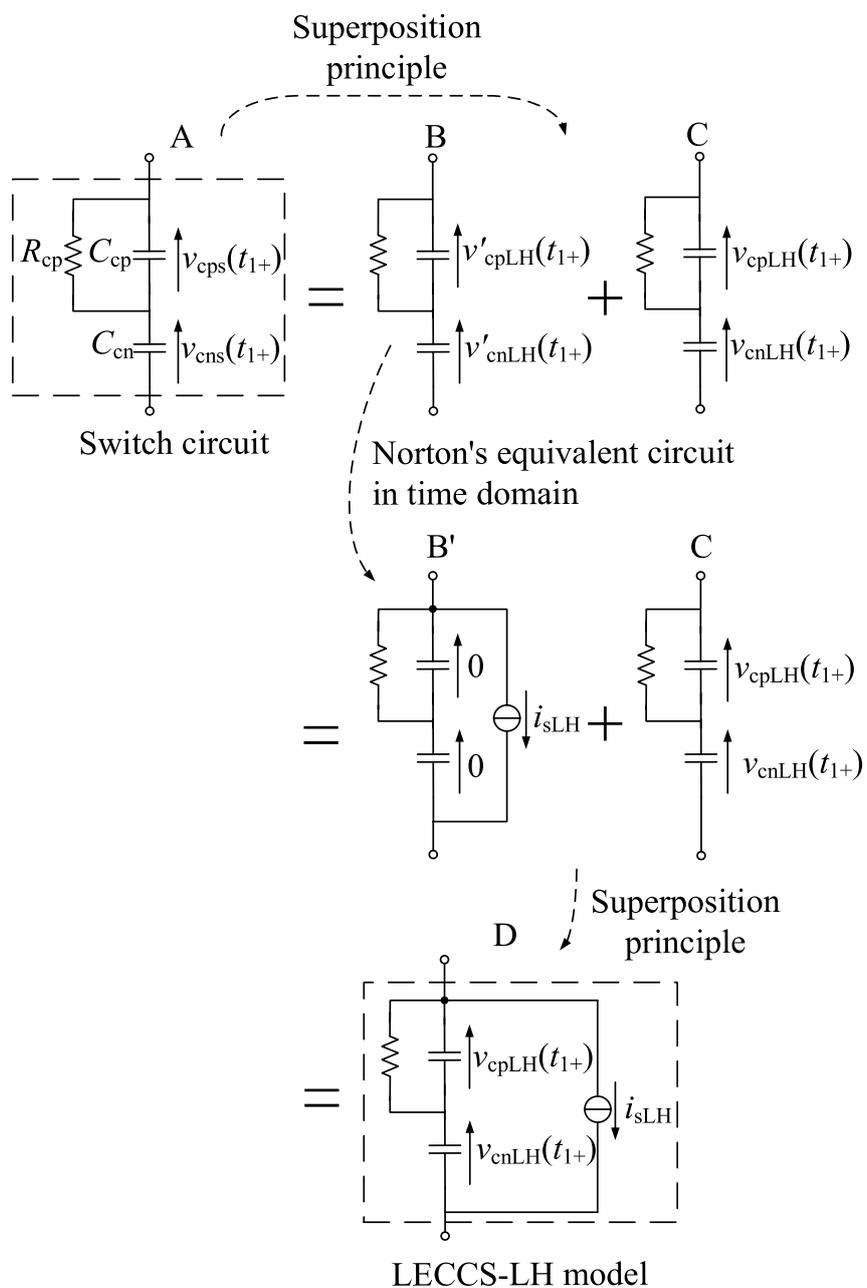


Figure 2.6: Superposition principle and Norton's equivalent circuit in transient domain.

Fig. 2.6 のように回路 A を回路 B と回路 C の 2 つに分ける. このとき, 回路 B は過渡領域のノルトンの等価電流源を求めるための回路である. そして回路 C は LECCS-LH モデルに変換した後のキャパシタにかかる電圧の初期値を持った回路になるが, この説明は本節の最後に行う.

回路 B の C_{cp} , C_{cn} にかかる電圧をそれぞれ $v'_{cpLH}(t)$, $v'_{cnLH}(t)$, 回路 C の C_{cp} , C_{cn} にかかる電圧をそれぞれ $v_{cpLH}(t)$, $v_{cnLH}(t)$ とする. 回路 A は線形回路なので回路 B と回路 C の和で

2.3. スイッチモデルから LECCS-LH モデルへの等価変換

表すことができる. キャパシタ C_{cp} , C_{cn} にかかる電圧は, 重ね合わせの前後で等しい必要があるので,

$$v_{cps}(t_{1+}) = v'_{cpLH}(t_{1+}) + v_{cpLH}(t_{1+}) \quad (2.6)$$

$$v_{cns}(t_{1+}) = v'_{cnLH}(t_{1+}) + v_{cnLH}(t_{1+}) \quad (2.7)$$

となる.

次に回路 B に過渡領域のノートン等価回路による変換を適用し, 回路 B' に等価変換する. 回路 B の外部端子を短絡することで短絡電流 $i_{sLH}(t)$ を求めるが, 短絡時に初期値の不連続を生じさせないためには

$$v'_{cpLH}(t_{1+}) + v'_{cnLH}(t_{1+}) = 0 \quad (2.8)$$

が必要である. 回路 B の外部端子を短絡したときに流れる電流を $i_{sLH}(t)$ とすると, 回路 B の回路方程式は次式で表される.

$$\begin{cases} i_{sLH}(t) = C_{cp} \frac{dv'_{cpLH}(t)}{dt} + \frac{v'_{cpLH}(t)}{R_{cp}} \\ i_{sLH}(t) = C_{cn} \frac{dv'_{cnLH}(t)}{dt} \\ v'_{cpLH}(t) + v'_{cnLH}(t) = 0 \end{cases} \quad (2.9)$$

回路 A を回路 B と回路 C の重ね合わせで表現する際, 初期値の変数は $v'_{cpLH}(t_{1+})$, $v'_{cnLH}(t_{1+})$, $v_{cpLH}(t_{1+})$, $v_{cnLH}(t_{1+})$ の 4 つであるが, 必要な条件式は (2.6), (2.7), (2.8) の 3 つである. そのため, 初期値の組み合わせには自由度がある. 後に, LECCS-LH モデルと LECCS-HL モデルを組み合わせることでさらに条件を追加し, 重ね合わせを一意に決める方法を示す.

回路方程式 (2.9) を解くことで, ノートンの等価電流源 $i_{sLH}(t)$ は $t > t_1$ において次式で表現できる.

$$i_{sLH}(t) = v'_{cpLH}(t_{1+}) \frac{C_{cn}}{\tau_{LH}} e^{\frac{t_1-t}{\tau_{LH}}} \quad (2.10)$$

$$\tau_{LH} \equiv (C_{cp} + C_{cn})R_{cp} \quad (2.11)$$

ここで, 式 (2.6) を用いて $v'_{cpLH}(t_{1+})$ を消去することで式 (2.10) は次式に変形できる.

$$i_{sLH}(t) = (v_{cps}(t_{1+}) - v_{cpLH}(t_{1+})) \frac{C_{cn}}{\tau_{LH}} e^{\frac{t_1-t}{\tau_{LH}}} \quad (2.12)$$

時刻 $t = t_1$ に抵抗の値が切り替わり, High から Low への遷移が始まるときの LECCS-HL モデルの電流源 $i_{sHL}(t)$ は回路の対称性から,

$$\begin{aligned} i_{sHL}(t) &= (v'_{cns}(t_{1+}) - v_{cnHL}(t_{1+})) \frac{C_{cp}}{\tau_{HL}} e^{\frac{t_1-t}{\tau_{HL}}} \\ &= (v_{cpHL}(t_{1+}) - v'_{cps}(t_{1+})) \frac{C_{cp}}{\tau_{HL}} e^{\frac{t_1-t}{\tau_{HL}}} \end{aligned} \quad (2.13)$$

$$\tau_{HL} \equiv (C_{cp} + C_{cn})R_{cn} \quad (2.14)$$

第2章 スイッチモデルの等価変換による LSI-core マクロモデルの導出

と表現できる. この過渡領域のノートンの等価電流源を表す式 (2.12), (2.13) には外部端子の電圧 $v_2(t)$ が含まれていない. つまり, LECCS-LH および LECCS-HL モデルの電流源はスイッチングが生じる瞬間の内部回路の初期値に依存し, スwitching後 ($t > t_1$) の外部端子の電圧 $v_2(t)$ には依存しない.

次に, 回路 B のキャパシタ C_{cp} , C_{cn} にかかる電圧の初期値をどちらも 0 V とした回路の外部端子に式 (2.10) で求めた等価電流源を接続することで回路 B の等価回路である回路 B' を得る.

最後に, 回路 B' と回路 C を重ね合わせることで, 回路 D を得る. つまり, スイッチモデルの遷移が始まった直後の回路 A は LECCS-LH モデルである回路 D で表現できる. 回路 B' のキャパシタにかかる電圧の初期値が 0 V であるため回路 D の電圧の初期値は回路 C の初期値と等しい. また, 式 (2.6), (2.7), (2.8) から,

$$v_{cps}(t_{1+}) + v_{cns}(t_{1+}) = v_{cpLH}(t_{1+}) + v_{cnLH}(t_{1+}) \quad (2.15)$$

となっている. つまり, 回路 A の外部端子にかかる電圧と回路 D の外部端子にかかる電圧の初期値が等しい. したがって, 回路 B は電流源を求める回路, 回路 C は LECCS-LH モデルの初期値を表す回路であると解釈できる.

本節では回路論的に等価変換が行えることを示したが, 次節では解析的にこの等価変換が正しいことを示す.

2.3.4 等価変換の解析的証明

本節ではスイッチモデルから LECCS-LH モデルへの変換が等価変換であることを回路方程式を解くことで解析的に証明する.

Fig. 2.3 の左側のスイッチモデルの $R_{cp}(t)$, $R_{cn}(t)$ が $t = t_1$ で切り替わり, 出力が Low から High に遷移する場合について説明する. $R_{cp}(t)$ の ON 抵抗を R_{cp} とする. また, $R_{cn}(t)$ の OFF 抵抗は 2.3.3 節の仮定から, 無限大とみなす.

このとき, $t > t_1$ における回路方程式は次式で表せる.

$$\begin{cases} i_{2LH}(t) = C_{cp} \frac{dv_{cps}(t)}{dt} + \frac{v_{cps}(t)}{R_{cp}} \\ i_{2LH}(t) = C_{cn} \frac{dv_{cns}(t)}{dt} \\ v_2(t) = v_{cps}(t) + v_{cns}(t) \end{cases} \quad (2.16)$$

$t = t_1$ にスイッチが切り替わった直後の初期値 $v_{cps}(t_{1+})$, $v_{cns}(t_{1+})$ を用い, 回路方程式 (2.16) をラプラス領域で解くことで, 電圧 $V_2(s)$ は

$$V_2(s) = e^{-t_1 s} \left(\left(\frac{R_{cp}}{sC_{cp}R_{cp} + 1} + \frac{1}{sC_{cn}} \right) I_{2LH}(s) + \frac{C_{cp}R_{cp}v_{cps}(t_{1+})}{sC_{cp}R_{cp} + 1} + \frac{v_{cns}(t_{1+})}{s} \right) \quad (2.17)$$

と求められる.

2.3. スイッチモデルから LECCS-LH モデルへの等価変換

一方, Fig. 2.4 の LECCS-LH モデルの回路方程式は次式で表される.

$$\begin{cases} i_{2LH}(t) = i_{sLH}(t) + C_{cp} \frac{dv_{cpLH}(t)}{dt} + \frac{v_{cpLH}(t)}{R_{cp}} \\ i_{2LH}(t) = i_{sLH}(t) + C_{cn} \frac{dv_{cnLH}(t)}{dt} \\ v_2(t) = v_{cpLH}(t) + v_{cnLH}(t) \end{cases} \quad (2.18)$$

時刻 $t = t_1$ 直後における回路の初期値 $v_{cpLH}(t_{1+})$, $v_{cnLH}(t_{1+})$ を用いて回路方程式 (2.18) をラプラス領域で解くことで, LECCS-LH モデルの $V_2(s)$ は

$$\begin{aligned} V_2(s) = e^{-t_1 s} & \left(\left(\frac{R_{cp}}{sC_{cp}R_{cp} + 1} + \frac{1}{sC_{cn}} \right) I_{2LH}(s) - \left(\frac{R_{cp}}{sC_{cp}R_{cp} + 1} + \frac{1}{sC_{cn}} \right) I_{sLH}(s) \right. \\ & \left. + \frac{C_{cp}R_{cp}v_{cpLH}(t_{1+}) + v_{cnLH}(t_{1+})}{sC_{cp}R_{cp} + 1} + \frac{v_{cnLH}(t_{1+})}{s} \right) \end{aligned} \quad (2.19)$$

と求めることができる. 重ね合わせの条件式 (2.6),(2.7),(2.8) から

$$v_{cps}(t_{1+}) + v_{cns}(t_{1+}) = v_{cpLH}(t_{1+}) + v_{cnLH}(t_{1+}) \quad (2.20)$$

であることを考慮すると, 式 (2.17) と式 (2.19) を一致させるための $I_{sLH}(s)$ は

$$I_{sLH}(s) = e^{-t_1 s} \left(\frac{C_{cn}}{s(C_{cn} + C_{cp})R_{cp} + 1} (v_{cps}(t_{1+}) - v_{cpLH}(t_{1+})) \right) \quad (2.21)$$

と求めることができ, これを逆ラプラス変換し, 時間領域に戻すと,

$$i_{sLH}(t) = (v_{cps}(t_{1+}) - v_{cpLH}(t_{1+})) \frac{C_{cn}}{\tau_{LH}} e^{\frac{t_1-t}{\tau_{LH}}} \quad (2.22)$$

となる. 式 (2.22) は式 (2.12) と一致している. したがって, 2.3.3 節で説明したように, 過渡領域のノートンの等価電流源を用いることでスイッチモデルの電圧 v_2 と LECCS-LH モデルの v_2 を等しくできることが示された.

2.3.5 電流源抽出法と基準電流源

本節では LECCS-LH モデルの等価電流源の波形について検討する. その中で等価電流源の波形が Fig. 2.7(a) のようにスイッチモデルに PDN を介さず直接, 直流電圧源を接続した回路において直流電圧源に流れる電流に等しいことを説明する. そしてその電流を基準電流源とし, 定数倍することで任意の時刻のスイッチングに対する LECCS-LH モデルの等価電流源が得られることを説明する.

スイッチモデルの外部端子に直流電圧源を接続し, 定常状態に落ち着いている回路 (Fig. 2.7(a)) を時刻 $t = t_1$ で切り替えるときの LECCS-LH モデルを作成する手順を考える. Fig. 2.6 の回路 C に与える初期値として, $v_{cpLH}(t_{1+}) = 0$, $v_{cnLH}(t_{1+}) = V_{DD}$ を与えると, 回

第2章 スイッチモデルの等価変換による LSI-core マクロモデルの導出

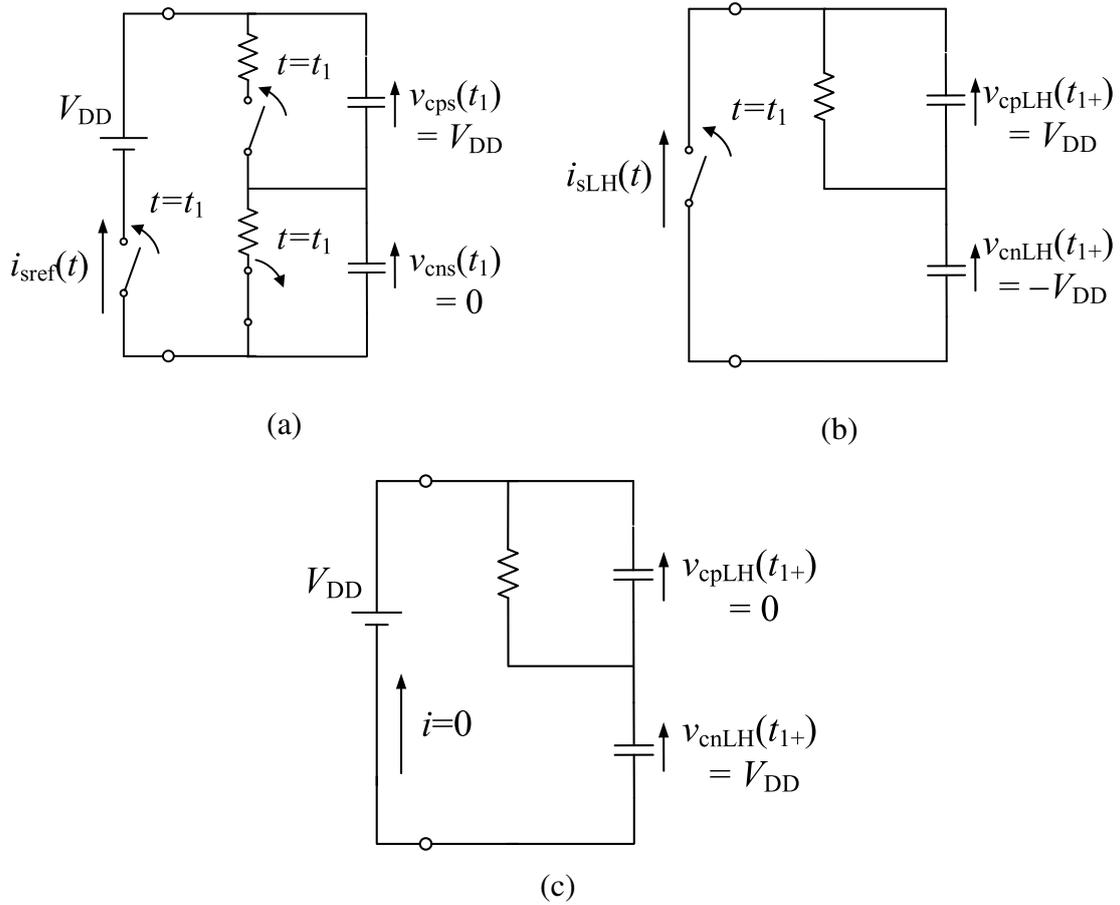


Figure 2.7: Method of extracting reference current source.

路Cは外部端子に直流電圧源を接続したときに過渡現象が生じない回路 (Fig. 2.7(c)) となる。また、回路Bに相当する回路は Fig. 2.7(b)の回路であり、初期値は $v'_{cpLH}(t_{1+}) = V_{DD}$, $v'_{cnLH}(t_{1+}) = -V_{DD}$ となる。

回路Cは過渡電流が生じない回路なのでスイッチモデルで電源に流れる電流は重ね合わせの原理より、回路Bの外部端子を短絡したときの電流と等しくなる。したがって、このときの LECCS-LH モデルの電流源はスイッチモデルが定常状態から一度だけスイッチングしたときに直流電圧源に流れる電流と等しくなる。

スイッチングが $t = t_1$ ではなく、 $t = 0$ に生じた時の電流を $i_{refLH}(t)$ とすると、

$$i_{refLH}(t) = V_{DD} \frac{C_{cn}}{\tau_{LH}} e^{-\frac{t}{\tau_{LH}}} \quad (2.23)$$

と記述することができ、回路の対称性より、High から Low に遷移する時の $i_{refHL}(t)$ は

$$i_{refHL}(t) = V_{DD} \frac{C_{cp}}{\tau_{HL}} e^{-\frac{t}{\tau_{HL}}} \quad (2.24)$$

と記述できる。

2.4. LECCS-LH モデルと LECCS-HL モデルの切り替えによる時不変回路の形成

$i_{\text{refLH}}(t)$ および $i_{\text{refHL}}(t)$ を基準電流源とすると、時刻 $t = t_1$ にスイッチングが生じたときの LECCS-LH モデル, LECCS-HL モデルの等価電流源は式 (2.12), 式 (2.13) より,

$$i_{\text{sLH}}(t) = \frac{v_{\text{cps}}(t_{1+}) - v_{\text{cpLH}}(t_{1+})}{V_{\text{DD}}} i_{\text{refLH}}(t - t_1) \quad (2.25)$$

$$i_{\text{sHL}}(t) = \frac{v_{\text{cpHL}}(t_{1+}) - v'_{\text{cps}}(t_{1+})}{V_{\text{DD}}} i_{\text{refHL}}(t - t_1) \quad (2.26)$$

と記述できる.

上記の基準電流源と等価電流源の関係はマクロモデルの観点から以下のように説明できる. LSI-core マクロモデルの基準電流源はコアブロックに PDN を介さず直接理想電圧源を接続した時に電圧源に流れる電流として抽出される. さらに, 任意の時刻に生じるスイッチングに対する等価電流源は基準電流源を定数倍したもので表される. これは CMOS 動作電流が電源電圧依存性を持つため, スwitching の瞬間に電源電圧が変化している場合にコアブロックの動作電流が変化するが, LSI-core マクロモデルではその現象を等価電流源の大きさを変えることで表現できることを示している.

2.4 LECCS-LH モデルと LECCS-HL モデルの切り替えによる時不変回路の形成

2.4.1 LECCS-LH モデルと LECCS-HL モデルの切り替え

前節の LECCS-LH モデルと LECCS-HL モデルを用いたシミュレーションでは, Fig. 2.8 のように出力が $0 \rightarrow 1 \rightarrow 0 \rightarrow 1 \dots$ と遷移するとき, LECCS-LH \rightarrow LECCS-HL \rightarrow LECCS-LH $\rightarrow \dots$ とモデルを切り替えてシミュレーションを行う必要がある. しかし, 式 (2.25), 式 (2.26) より, $t > t_1$ における LECCS-LH モデルと LECCS-HL モデルの電流源を導出する式には時刻 $t = t_1$ におけるスイッチモデルの電圧値である $v_{\text{cps}}(t_1)$, $v'_{\text{cps}}(t_1)$ がそれぞれ含まれている. つまり, スwitchモデルの電圧値が既知でなければ LECCS-LH および LECCS-HL モデルの電流源の大きさが決定できないことになる.

そこで, 本節では時刻 $t = t_{2+}$ におけるスイッチ回路の電圧 $v_{\text{cps}}(t_{2+})$ が LECCS-LH モデルの $v_{\text{cpLH}}(t_{2-})$ から得られることを説明し, LECCS-HL モデルの電流源は $v_{\text{cpHL}}(t_{2+})$ と切り替える直前の LECCS-HL モデルの $v_{\text{cpLH}}(t_{2-})$ の差から求められることを示す.

Fig. 2.6 において回路 A から回路 D に等価変換する際に, 外部の電流と電圧を等しく表現するために過渡領域のノートンの等価電流源 $i_{\text{sLH}}(t)$ を用いた. $i_{\text{sLH}}(t)$ は式 (2.12) に示すように時定数 τ_{LH} で減衰し, 0 に収束する関数である. $i_{\text{sLH}}(t)$ がほぼ 0 に収束したとみなせる時刻を $t_1 + \alpha\tau_{\text{LH}}$ とすると[‡], $t > t_1 + \alpha\tau_{\text{LH}}$ において回路 D の電流源はほぼ 0 となり, 開放とみなせるため, 回路 A と同様の回路となる. したがって, $t > t_1 + \alpha\tau_{\text{LH}}$ においてスイッチ回路と LECCS-LH モデルの $v_{\text{cps}}(t)$ と $v_{\text{cpLH}}(t)$ はそれぞれ等しくなる.

[‡]例えば $\alpha = 3$ のとき, $e^{-\alpha} \approx 0.050$ なので, 時刻 $t_1 + \alpha\tau_{\text{LH}}$ において電流源は約 95 % 減衰している. $\alpha = 4$ であれば約 98 % の減衰である.

第2章 スイッチモデルの等価変換による LSI-core マクロモデルの導出

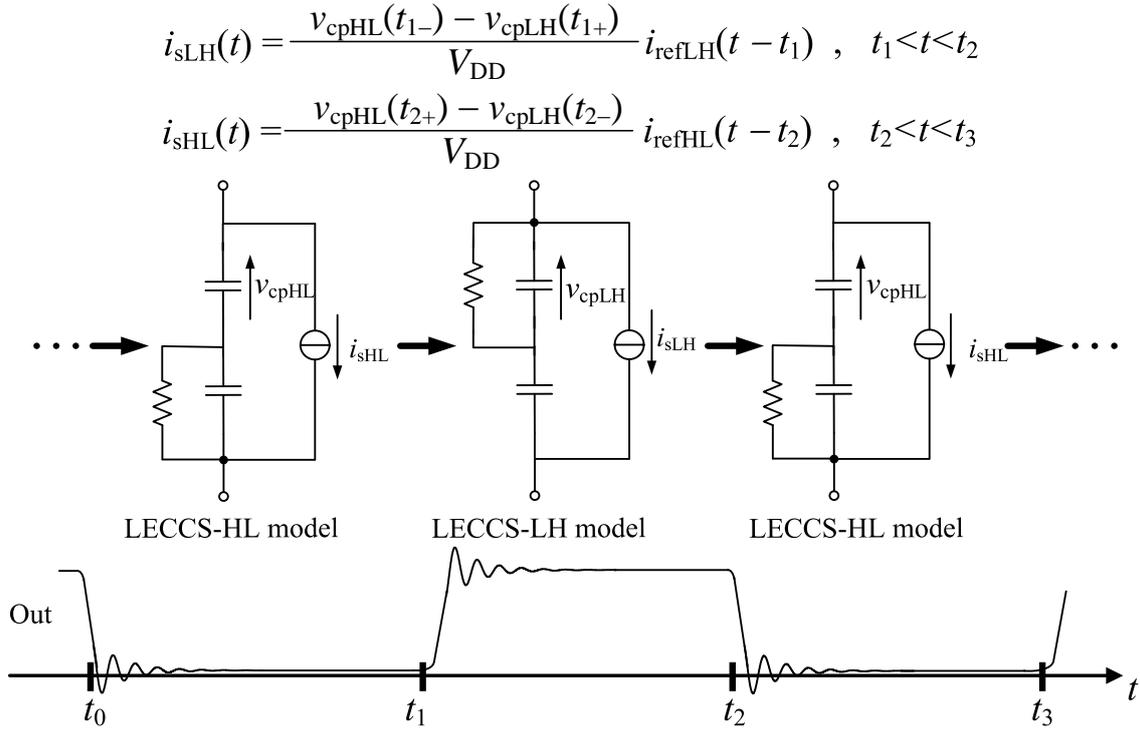


Figure 2.8: Simulation with LECCS-LH and LECCS-HL models.

つまり，時刻 $t = t_2$ において $t_2 > t_1 + \alpha\tau_{LH}$ であれば， $t > t_2$ における LECCS-HL モデルの電流源 $i_{sHL}(t)$ は式 (2.26) より次式で表現できる．

$$i_{sHL}(t) = \frac{v_{cpHL}(t_{2+}) - v_{cpLH}(t_{2-})}{V_{DD}} i_{refHL}(t - t_2) \quad (2.27)$$

同様に考えると $t = t_3$ において $t_3 = t_2 + \alpha\tau_{HL}$ であれば， $t > t_3$ における LECCS-LH モデルの電流源 $i_{sLH}(t)$ は式 (2.25) より次式となる．

$$i_{sLH}(t) = \frac{v_{cpHL}(t_{3-}) - v_{cpLH}(t_{3+})}{V_{DD}} i_{refLH}(t - t_3) \quad (2.28)$$

2.4.2 時不変線形モデルにするための初期値

スイッチモデルのスイッチング後の過渡現象が LECCS-LH モデルと LECCS-HL モデルにそれぞれ等価変換可能であることは示されたが，Fig. 2.8 に示すように LECCS-LH モデルと LECCS-HL モデルを切り替えながらシミュレーションを行うと，スイッチモデルと同じく時変回路のシミュレーションを行っていることになる．しかし，現在一般的に使用されている LSI-core マクロモデルは Fig. 2.2(c) に示すような時不変のモデルである．

そこで 2.3 節冒頭で述べたように LSI コアブロック内には，出力が Low から High に遷移する回路と High から Low に遷移する回路がマクロ的に見てほぼ同数あり，Fig. 2.4 に

2.4. LECCS-LH モデルと LECCS-HL モデルの切り替えによる時不変回路の形成

示すように LSI コアブロックは LECCS-LH モデルと LECCS-HL モデルを並列に接続し、モデル化できると考えることで回路全体で時不変となる LSI-core マクロモデルが作成できることを説明する。

Fig. 2.9 の上側の図のように時刻 $t = t_{n-}$ には、出力が Low から High へ遷移後の LECCS-LH モデルと、出力が High から Low へ遷移後の LECCS-HL モデルが並列に存在すると考えることができる。時刻 $t = t_n$ のスイッチングにより、LECCS-LH モデル (回路 I) は LECCS-HL モデル (回路 I') へ、LECCS-HL モデル (回路 II) は LECCS-LH モデル (回路 II') へ切り替わる。この切り替えの前後の回路の構成を比較する。Fig. 2.9 の上側の図と Fig. 2.9 の下側の図では LECCS-LH と LECCS-HL の左右が入れ替わっただけで、同じ回路構成であることが分かる。

さらに、Fig. 2.9 の左上の回路 I と右下の回路 II' のキャパシタにかかる電圧が等しく、右上の回路 II と左下の回路 I' でも同様にキャパシタにかかる電圧が等しければ、スイッチ

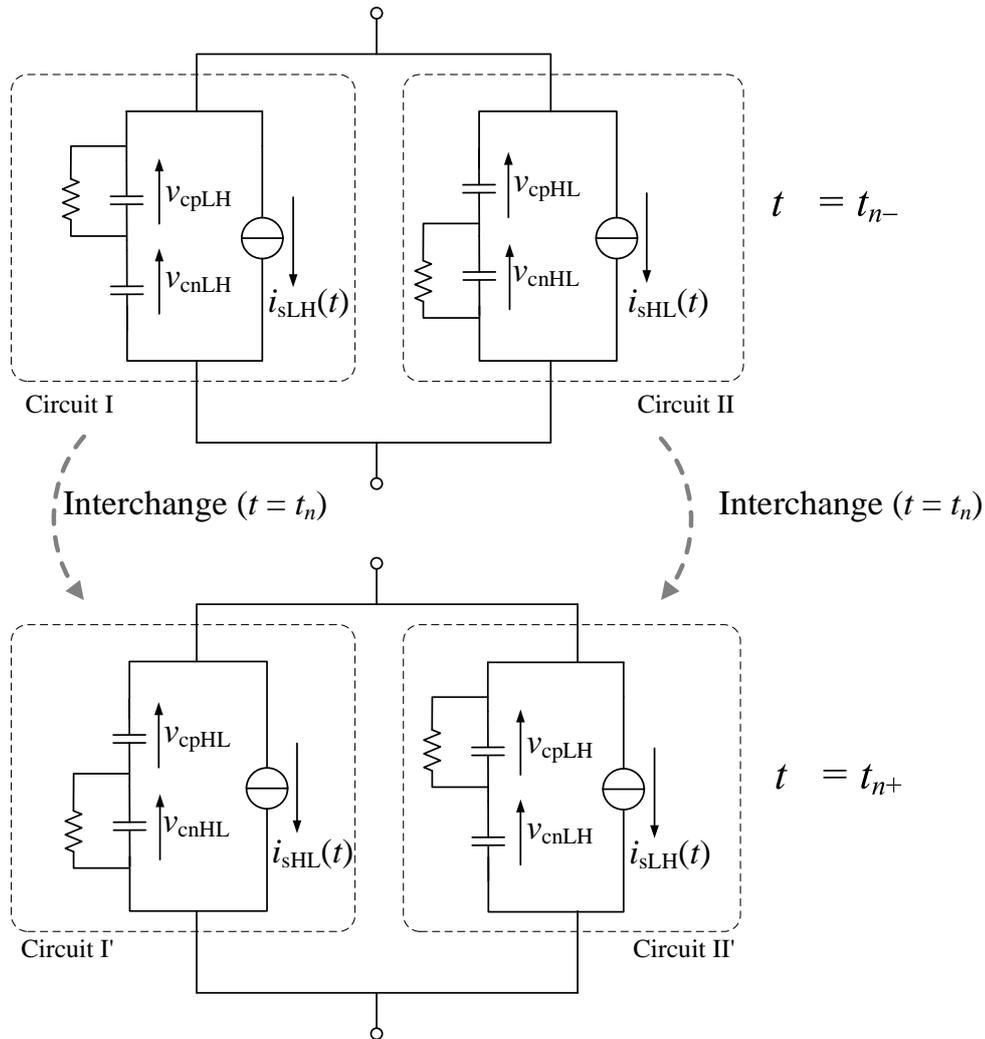


Figure 2.9: Interchange between LH and HL circuits.

第2章 スイッチモデルの等価変換による LSI-core マクロモデルの導出

ングの前後でキャパシタの電圧値に不連続が生じない。この条件は次の式 (2.29)~(2.32) で表される。

$$v_{\text{cpLH}}(t_{n+}) = v_{\text{cpLH}}(t_{n-}) \quad (2.29)$$

$$v_{\text{cnLH}}(t_{n+}) = v_{\text{cnLH}}(t_{n-}) \quad (2.30)$$

$$v_{\text{cpHL}}(t_{n+}) = v_{\text{cpHL}}(t_{n-}) \quad (2.31)$$

$$v_{\text{cnHL}}(t_{n+}) = v_{\text{cnHL}}(t_{n-}) \quad (2.32)$$

回路 I', 回路 II' のキャパシタにかかる電圧の初期値は 2.3.3 節で説明したように自由度があったが, 式 (2.29)~(2.32) を満たすように選ぶことで一意に決定することができる。

このように, LSI コアブロック内をマクロ的に見ることで, スイッチングの前後で回路構成が変わらず, 電圧値の不連続も生じないシミュレーションが可能になる。つまり, LSI コアブロックのシミュレーションを時不変回路で行うことができる。

このとき, $t > t_n$ における電流源 $i_{\text{sLH}}(t)$, $i_{\text{sHL}}(t)$ は式 (2.27), (2.28) の t_2, t_3 を t_n に読み換えたものとなるが, $v_{\text{cpLH}}(t_{n+}) = v_{\text{cpLH}}(t_{n-})$, $v_{\text{cpHL}}(t_{n+}) = v_{\text{cpHL}}(t_{n-})$ であることから

$$i_{\text{sHL}}(t) = \frac{v_{\text{cpHL}}(t_{n-}) - v_{\text{cpLH}}(t_{n-})}{V_{\text{DD}}} i_{\text{refHL}}(t - t_n) \quad (2.33)$$

$$i_{\text{sLH}}(t) = \frac{v_{\text{cpHL}}(t_{n-}) - v_{\text{cpLH}}(t_{n-})}{V_{\text{DD}}} i_{\text{refLH}}(t - t_n) \quad (2.34)$$

と表現できる。

以上の時不変となる LSI-core マクロモデルの導出は物理的な意味として次のように説明できる。任意の時刻において Low 状態のゲートと High 状態のゲートはほぼ同数ある。そしてある時刻 $t = t_n$ のクロックで回路が動作するときに Low 状態から High 状態に遷移するゲートと High 状態から Low 状態に遷移するゲートもほぼ同数ある。そこで, Low から High へ遷移する回路を LECCS-LH モデルで表現し, High から Low に遷移する回路を LECCS-HL モデルで表現している。また, 現実の LSI で遷移時に生じる動作電流は Low から High, もしくは High から Low への状態遷移に電荷の移動が伴うことで生じるものであるが, LSI-core マクロモデルでは電荷の移動を等価電流源に置き換えることで状態の遷移を表現している。

したがって, 本節で示した LSI-core マクロモデルは回路の構造は常に一定で, 遷移が生じるクロックごとに式 (2.33), (2.34) に示す動作電流を等価電流源として与えることで LSI のコアブロックをマクロモデル化したものと理解できる。

また, 電流源 $i_{\text{sLH}}(t)$ と $i_{\text{sHL}}(t)$ を 1 つにまとめ, LECCS-LH モデルと LECCS-HL モデルを 1 つの回路とみなすと, Fig. 2.9 は Fig. 2.2(c) と同じ構造とみなせる。これまで時不変回路として表現されてきた LSI-core マクロモデルは, 出力 High と出力 Low の回路が LSI コアブロック内にマクロ的にほぼ等しく存在することを利用して時不変回路で表現されていることが示された。

2.5 スイッチモデルと LSI-core マクロモデルのシミュレーション比較

本節では LSI-core マクロモデルとスイッチモデルが等価変換できていることをシミュレーションによって示す。

2.5.1 シミュレーション回路

シミュレーションに用いる PDN を Fig. 2.10 に示す。PDN は電源配線のインピーダンスと 1 段のバイパスコンデンサおよびその ESL (Equivalent Series L) と ESR (Equivalent Series Resistance) で表されている。また、簡単のためグラウンド配線のインピーダンスは電源配線のインピーダンスに含まれているものとする。

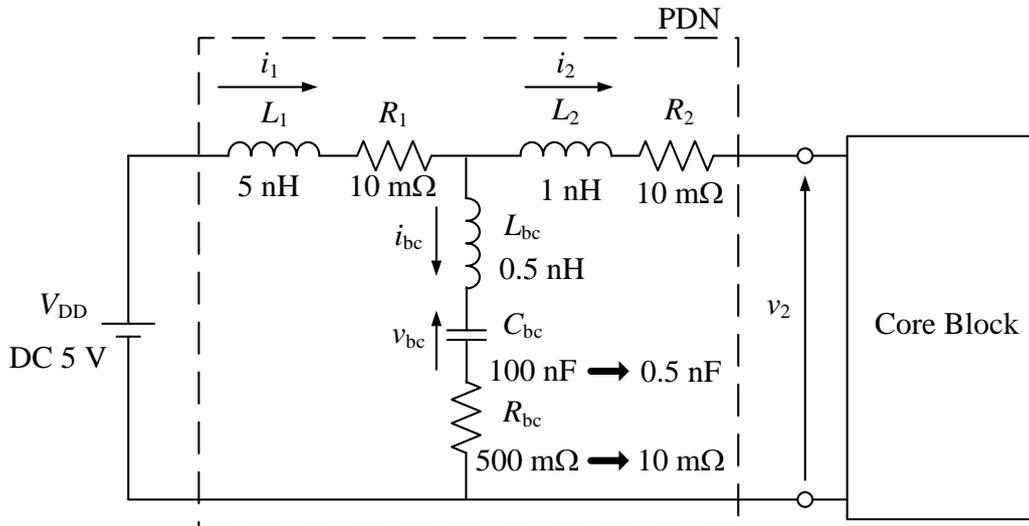


Figure 2.10: PDN including single decoupling capacitor.

Table 2.1: Parameters of core block.

C_{cp}	C_{cn}	R_{cp}	R_{cn}
100 pF	80 pF	5 Ω	3 Ω

Table 2.2: Parameters of PDN.

	C_{bc}	R_{bc}	τ_{PDN}
case1.	100 nF	500 m Ω	0.96 ns
case2.	0.5 nF	10 m Ω	80 ns

第2章 スイッチモデルの等価変換による LSI-core マクロモデルの導出

Fig. 2.10 のコアブロックには Fig. 2.4 の LECCS-LH および LECCS-HL モデルを用いる。LECCS-LH および LECCS-HL モデルに用いる集中定数のパラメータを Table 2.1 に示す。数 mm 角の LSI のコアブロックの内、1 回のクロックで遷移するトランジスタが持つ容量の総和を数十 pF～数百 pF と想定している。抵抗の値は従来の LECCS-core モデルで用いられてきた抵抗と同等のオーダー（数 Ω ）を用いている [39][43]。

前節で導出した式 (2.33), (2.34) から等価電流源はスイッチングが生じる直前の $v_{\text{cpHL}}(t_{n-}) - v_{\text{cpLH}}(t_{n-})$ によってスケールされることから分かる。スイッチング間隔を T とし、LSI-core マクロモデルの外部回路である PDN の電圧変動 (Fig. 2.10 の v_2) の時定数を τ_{PDN} としたとき、 T と τ_{PDN} の関係でシミュレーションの条件を次の 2 つに分類する。

case 1. スイッチング間隔 T よりも回路の時定数 τ_{PDN} が十分短く、スイッチングが生じる時刻で $v_2(t) \simeq V_{\text{DD}}$ となる場合 ($v_{\text{cpHL}}(t_{n-}) - v_{\text{cpLH}}(t_{n-}) \simeq V_{\text{DD}}$)

case 2. スイッチング間隔 T に比べ、回路の時定数 τ_{PDN} が長く、スイッチングが生じる時刻で $v_2(t) \neq V_{\text{DD}}$ となる場合 ($v_{\text{cpHL}}(t_{n-}) - v_{\text{cpLH}}(t_{n-}) \neq V_{\text{DD}}$)

case 1. ではスケールは不要で等価電流源は $i_{\text{refHL}}(t)$ と $i_{\text{refLH}}(t)$ を用いれば良いが、case 2. ではスイッチングが生じる直前の $v_{\text{cpHL}}(t_{n-}) - v_{\text{cpLH}}(t_{n-})$ によって補正が必要である。

case 2. において等価電流源の補正值が一定とならないようにするため、今回のシミュレーションではスイッチングにクロック間隔 20 ns の疑似ランダム信号を用いる。電流源の時定数は $\tau_{\text{LH}} = 0.9$ ns, $\tau_{\text{HL}} = 0.54$ ns である。したがってスイッチング間隔 T が 20 ns 以上である本シミュレーションでは次のスイッチングまでに電流源 $i_{\text{sLH}}(t)$, $i_{\text{sHL}}(t)$ は十分 0 に収束しているとみなせる。

case 1. と case 2. で用いる PDN の回路パラメータと PDN の時定数 τ_{PDN} を Table 2.2 に示す。ただし、 τ_{PDN} は Fig. 2.10 のコアブロックの外部ポートにパルス波を入力したときの v_2 の減衰量から求めている。

2.5.2 スイッチングの直前で定常状態となる場合

case 1. では回路の時定数 τ_{PDN} が約 0.96 ns であり、スイッチング間隔 T に比べ小さい。そのため、ある時刻 $t = t_n$ で生じたスイッチングに対する $v_2(t)$ の電圧変動が次のスイッチング時刻 $t = t_{n+1}$ には十分 0 に収束している。このとき $v_{\text{cpLH}} = V_{\text{DD}}$, $v_{\text{cnLH}} = 0$ となっているため、LSI-core マクロモデルの電流源は基準電流 $i_{\text{refLH}}(t)$, $i_{\text{refHL}}(t)$ をスイッチングが生じるタイミングで入力すればよい。

Fig. 2.11 に $v_{\text{cpLH}}(t) - v_{\text{cpHL}}(t)$ の波形と電流源 $i_{\text{sLH}}(t) + i_{\text{sHL}}(t)$ の波形を示す。電圧 $v_{\text{cpLH}}(t) - v_{\text{cpHL}}(t)$ はスイッチングが生じるタイミングでほぼ定常状態であり、次式で表される。

$$v_{\text{cpLH}}(t_n) - v_{\text{cpHL}}(t_n) \simeq V_{\text{DD}} \quad (n = 1, 2, 3, \dots) \quad (2.35)$$

2.5. スイッチモデルと LSI-core マクロモデルのシミュレーション比較

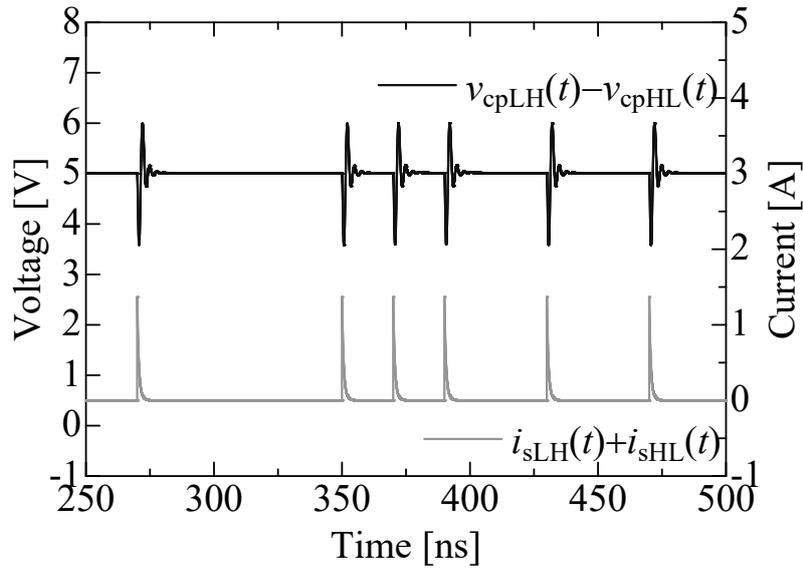
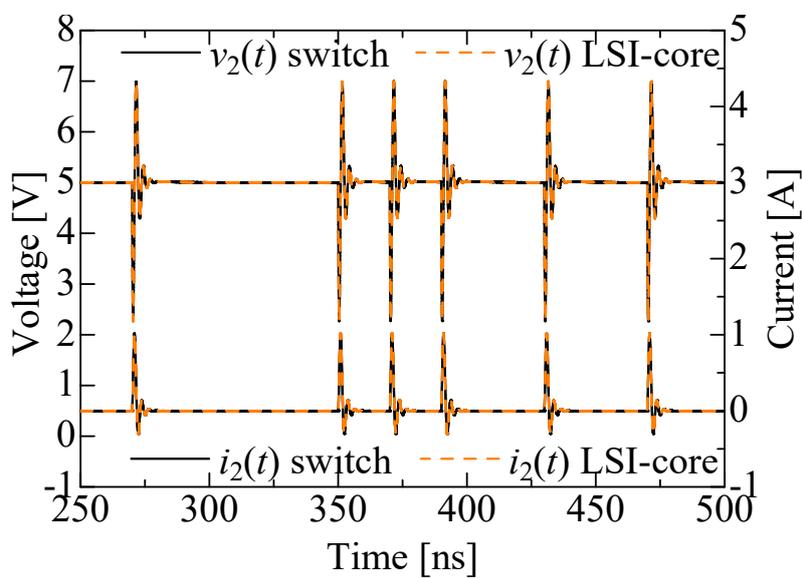


Figure 2.11: $v_{cpLH}(t) - v_{cpHL}(t)$ and $i_{sLH}(t) + i_{sHL}(t)$.

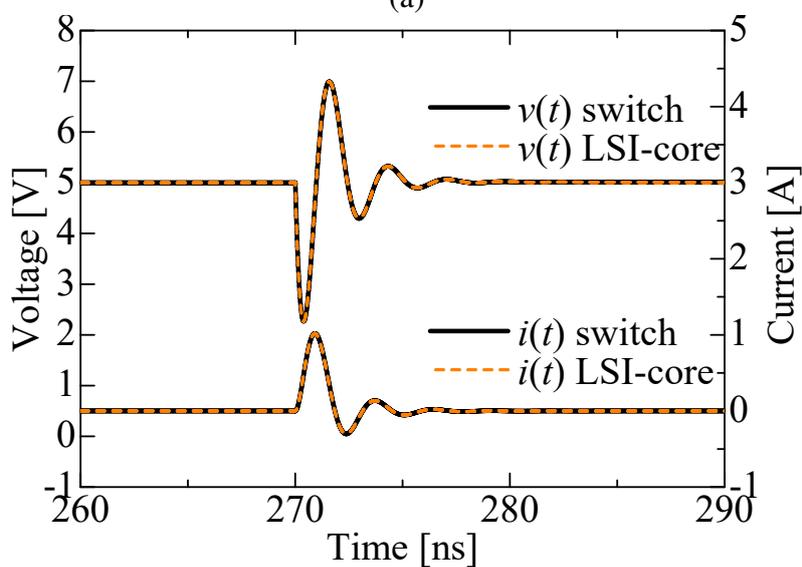
また，Fig. 2.11 に示す電流源の波形は次式で表される．

$$i_{sLH}(t) + i_{sHL}(t) = \sum_n [i_{refLH}(t - t_n) + i_{refHL}(t - t_n)] \quad (n = 1, 2, 3, \dots) \quad (2.36)$$

LSI-core マクロモデルを用いた場合とスイッチモデルを用いた場合で $v_2(t)$, $i_2(t)$ の波形をそれぞれシミュレーションし，比較した結果を図を Fig. 2.12(a) に示す．また，スイッチングが生じている時刻を拡大した図を Fig. 2.12(b) に示す．LSI-core マクロモデルとスイッチモデルの $v_2(t)$, $i_2(t)$ が計算誤差の範囲内で一致している．



(a)



(b)

Figure 2.12: Comparing $v_2(t)$ between LSI-core macromodel and switch model.

2.5.3 スイッチング直前で定常状態にならない場合

case 2. では回路の時定数 τ_{PDN} が 80 ns となっており、スイッチング間隔よりも大きい。そのため、 $v_2(t)$ の減衰振動がスイッチング間隔よりも長く持続し、スイッチングが生じるタイミングで v_{cpLH} , v_{cnLH} が一定の値に収束しない。このときの電流源は次式で表される。

$$i_{\text{sLH}}(t) + i_{\text{sHL}}(t) = \sum_n \left[\frac{v_{\text{cpLH}}(t_n) - v_{\text{cpHL}}(t_n)}{V_{\text{DD}}} (i_{\text{refLH}}(t - t_n) + i_{\text{refHL}}(t - t_n)) \right] \quad (n = 1, 2, 3, \dots) \quad (2.37)$$

したがって、電流源は Fig. 2.13 に示すように、スイッチング毎にピークの異なる電流源となる。

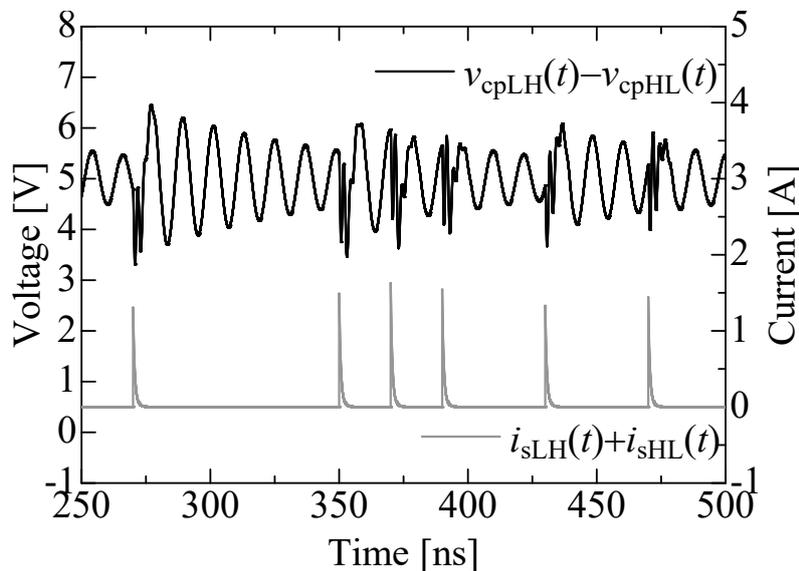
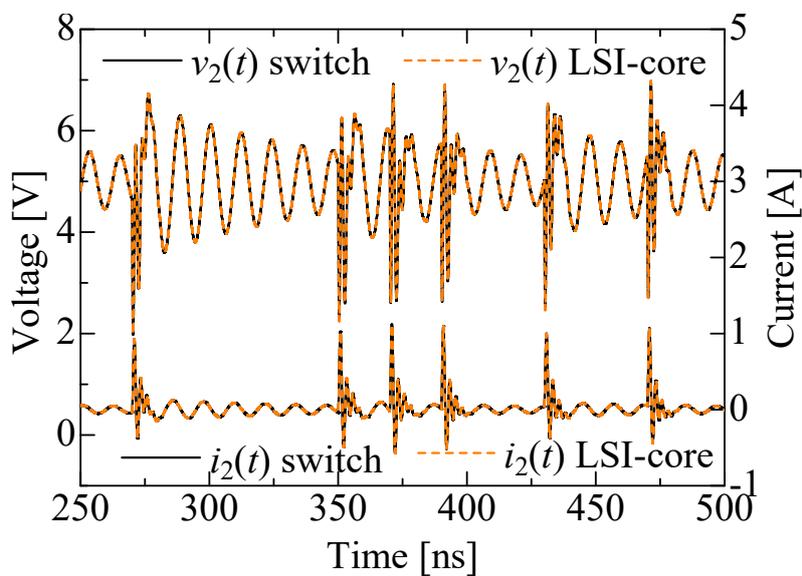
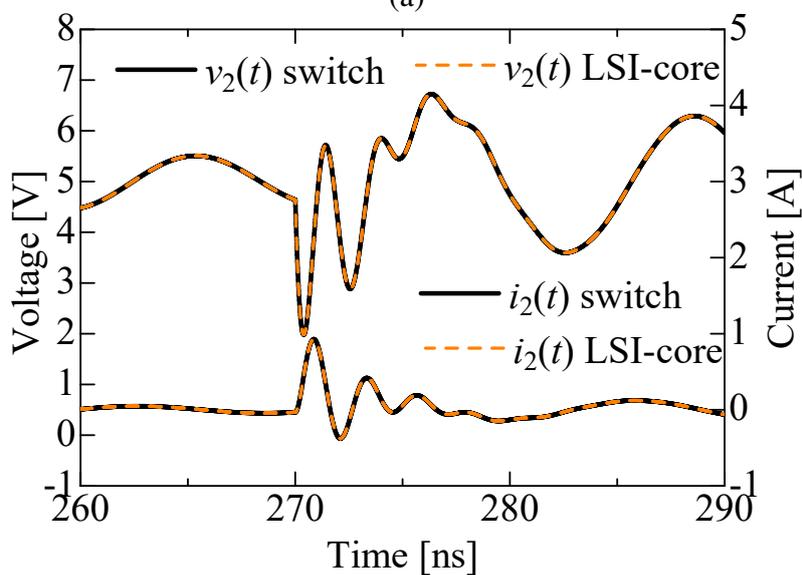


Figure 2.13: $v_{\text{cpLH}}(t) - v_{\text{cpHL}}(t)$ and $i_{\text{sLH}} + i_{\text{HL}}$ with scalings.

電流源のスケーリングを行った場合のスイッチモデルと LSI-core マクロモデルの $v_2(t)$, $i_2(t)$ を Fig. 2.14(a) に示す。また、スイッチングが生じている時刻の拡大図を Fig. 2.14(b) に示す。スイッチモデルと LSI-core マクロモデルの $v_2(t)$, $i_2(t)$ が一致しており、スイッチング直前で定常状態にならない場合でもスケーリングを行うことでスイッチモデルを LSI-core マクロモデルに等価変換してシミュレーション可能であることが示された。



(a)



(b)

Figure 2.14: Comparing $v_2(t)$ between LSI-core macromodel with scalings and switch model.

2.6 第2章のまとめ

本章は本来時変回路である LSI コアブロックの動作がなぜ時不変回路である LSI-core マクロモデルで表現できるかを明らかにすることを目的として検討を行った。

まず LSI コアブロックを表現する線形時変のスイッチモデルを出発点として、過渡領域のノートンの等価回路と重ね合わせの原理を用いることで、スイッチモデルが Low から High へ遷移した後の過渡現象と、High から Low への遷移した後の過渡現象がそれぞれ時不変の線形回路と等価電流源で表現した LECCS-LH モデルと LECCS-HL モデルに等価変換できることを示した。その中で、LSI-core マクロモデルの等価電流源はコアブロックに直接、直流電圧源を接続したときに流れる電流を基準電流源として抽出可能であり、外部の PDN には依存しないことを示した。さらにクロックが入力されるタイミングにおいてオンチップ電源電圧が定常状態となっていない場合、スイッチングの瞬間のオンチップ電源電圧を用いて基準電流源をスケールリングすることで等価電流源を表現可能であることを示した。

次に、LECCS-LH モデルと LECCS-HL モデルを交互に切り替えることでスイッチモデルの Low から High への遷移と High から Low への遷移を表現できることを示した。さらに LSI コアブロック内部には Low から High に遷移するゲートと High から Low に遷移するゲートがマクロ的にほぼ同数あるとみなし、LECCS-LH モデルと LECCS-HL モデルを並列に組み合わせることで、LECCS-LH モデルと LECCS-HL モデルの切り替えによる回路の不連続が無くなり、LSI-core マクロモデルが線形時不変の等価回路で表せることを示した。

最後に、実際にスイッチモデルと LSI-core マクロモデルでそれぞれ計算した電源電圧変動が一致することをシミュレーションによって示した。シミュレーションはスイッチングのタイミングで定常状態となっている場合と、PDN の減衰振動が残存している場合の 2 つの事例で行った。前者では基準電流源をスイッチングのタイミングで用い、後者では基準電流源をオンチップ電源電圧に応じてスケールリングした等価電流源を用いることでスイッチモデルと LSI-core マクロモデルのシミュレーション結果が一致することを示した。これにより、従来より知られている CMOS 動作電流の電源電圧依存性が LSI-core マクロモデルでは等価電流源のスケールリングで表現できることが示された。

本章では LSI コアブロックが理想的なスイッチモデルで表現できることを仮定 (2.3.3 節の仮定 1. 仮定 2.) して LSI-core マクロモデルを導出している。そこで、本章では以下の点について議論していない。

課題 1. 仮定 2. のようにトランジスタのスイッチングを理想化し、抵抗値が ON 抵抗から OFF 抵抗まで瞬時に切り替わるとしたため、等価電流源の立上り時間はゼロである。一方、現実のトランジスタは瞬時には切り替わらないため、遷移時間を考慮した等価電流源の抽出が必要である。

課題 2. 本章では全てのトランジスタがクロックに同期し、同時にスイッチングするものとしている。一方、現実の LSI 内部のトランジスタは一連のパスとして動作するため、前段のゲートの遷移後、ゲート伝搬遅延によってわずかに遅れて次のゲートの

第2章 スイッチモデルの等価変換による LSI-core マクロモデルの導出

遷移が生じる．等価電流源もこの遅延を考慮する必要がある．

課題 3. LSI の動作率やプログラム依存性に関して議論をしていない．現実の LSI コアブロック内のトランジスタは常時全て動作しているのではなく，クロックサイクル毎に動作率が異なるため，動作電流がプログラムに依存して変化する．さらに，メモリなどでは Low から High へ遷移するゲートの数と High から Low の遷移するゲートの数がほぼ同数とみなせない処理を行う場合が想定される．

本論文では課題 1. 課題 2. について，次章以降で実際の LSI の LSI-core マクロモデルを構築する上で考慮していく．課題 3. については LSI-core マクロモデルの適用範囲を詳細に検討するための今後の課題となる．なお，プログラム依存で動作率が変化する場合や，遷移するゲートのバランスが崩れる場合においても動作していないゲートがオンチップキャパシタのように振る舞うことを考慮することでインピーダンスの時不変性を説明できると予想している．

第3章 オンチップ電源電圧変動を考慮した等価電流源補正手法

3.1 まえがき

ICEM-CE に代表される LSI-core マクロモデルは Fig. 3.1 に示すように、コアブロックやコアブロック内部の機能ブロックを複数のサブブロックに分割し、それぞれのブロックを電源-グラウンド間のインピーダンスと等価電流源でモデル化している [28][29]*. サブブロックの電源-グラウンド間のインピーダンスは数個から数十個の集中定数でモデル化され、トランジスタのスイッチングによって生じる動作電流は等価電流源で表現されている. LSI-core マクロモデルは開発当初は LSI からパッケージや PCB に漏出する伝導ノイズをシミュレーションするためのモデルであったが、LSI 内部の電源-グラウンド間のインピーダンスと動作電流を精度よくモデル化すればオンチップの電源-グラウンド間の電圧変動 (Fig. 3.1 の $v_A(t)$, $v_B(t)$, $v_C(t)$) が予測できるため、オンチップ PI シミュレーションへの利用が期待できる.

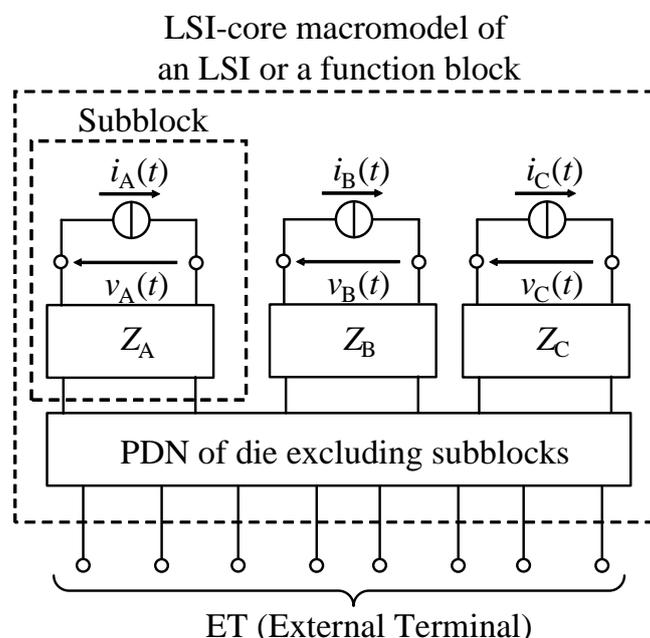


Figure 3.1: Conceptual diagram of LSI-core macromodel.

*IEC 62433-2[28][29] ではサブモデル (sub-model) と呼ばれているが、本論文ではサブブロックと呼ぶ.

第3章 オンチップ電源電圧変動を考慮した等価電流源補正手法

従来、等価電流源はプログラム依存性などは検討されてきたが[34][46]、基本的に回路固有の波形としてモデル化されており、前章で示したようなスイッチング時のオンチップ電源電圧依存性について検討された事例はほぼなく、筆者の研究グループから1例報告されている程度である[57]。ただし、[57]で提案する等価電流源の補正手順は一般性に欠けているため、応用展開ができないものとなっていた。

そこで、本章ではLSI-core マクロモデルをオンチップPIシミュレーションで用いるためのシミュレーション精度向上を目的とし、オンチップ電源電圧変動を考慮した等価電流源の補正手法について検討する。

まず3.2節で、対象とするテストチップの機能ブロックの概要を説明し、3.3節で機能ブロックのLSI-core マクロモデルを前章で説明した過渡領域のノートの等価回路理論を応用して構築する。3.4節で機能ブロック内部に過渡的な電源電圧変動が生じた際の等価電流源の補正手法について提案する。

3.2 対象とするテストチップの機能ブロック

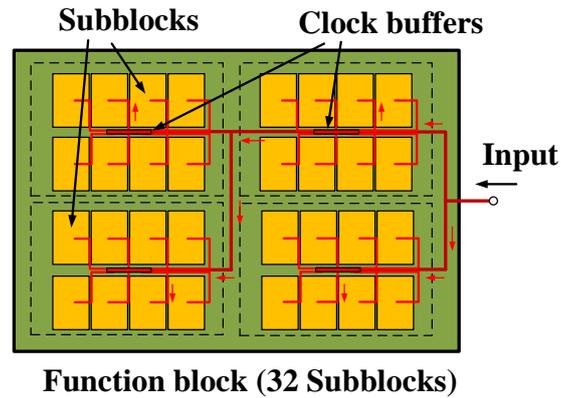
LSI設計者がLSI-core マクロモデルを用いて、高速なPIシミュレーションを行いながらLSI内部のPDN（チップ内部の電源配線、グラウンド配線、オンチップキャパシタなど）の設計を行うには、LSIの設計情報からLSI-core マクロモデルを構築する必要がある。そこで、本研究でもLSIの設計情報からLSI-core マクロモデルを構築していくが、市販のLSIの設計情報を入手することは困難であるため、設計情報が既知であるテストチップを対象とし、LSI-core マクロモデルを構築することでシミュレーション精度の検証を行う。

第1章のFig. 1.3に示す通り、LSIのコアブロックはCPU、DSP、ROM、RAMなどの様々な機能ブロックから構成されるため、本章では機能ブロックに着目してLSI-core マクロモデルの構築を行う[†]。

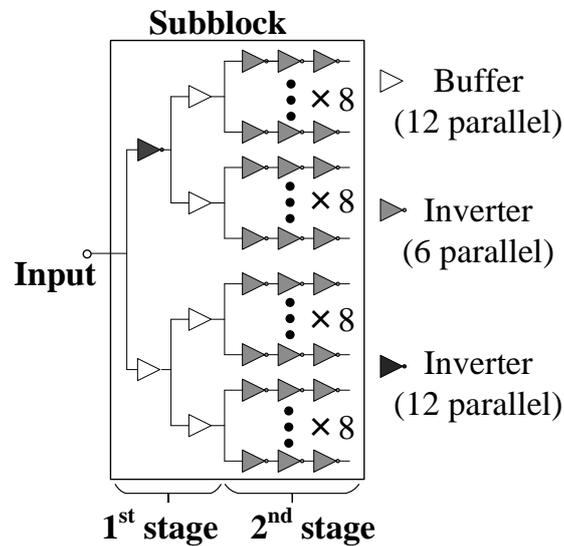
Fig. 3.2に対象とするテストチップの機能ブロックの構成を示す。Fig. 3.2(a)に示す通り、この機能ブロックは32個のサブブロックから構成される。各サブブロックへの入力の配線はほぼ等長となるように設計しているため、各サブブロックは入力の遷移に対してほぼ同時に動作する。32個のサブブロックは全て同じ設計となっており、その構造をFig. 3.2(b)に示す。一般的なLSIのコアブロック内部では出力がHighとLowのゲートがほぼ同数あると想定されることから、サブブロックは出力がHighとLowのゲートがほぼ同数となるようにインバーターとバッファを接続して設計している。図中の1st stageは半数のゲートの位相を反転させたクロック分配回路として機能し、2nd stageはクロックに同期してスイッチングを行うインバータ群となっている。サブブロックは合計で約650ゲートで構成されており、機能ブロック全体は約2万ゲートで構成される。

この機能ブロックはTSMC社の0.18 μm のCMOSプロセスルールで設計しており、推奨電源電圧範囲は1.8 V \pm 10%である。インバータやバッファなどはTSMC社から提供されたスタンダードセルライブラリ[58]とスタンダードI/Oライブラリ[59]を用いてレイアウト設計を行っている。

[†]LSI全体のマクロモデル構築とPIシミュレーションについては第4章で説明する。



(a) Structure of function block.



(b) Structure of subblock.

Figure 3.2: Structure of function block and subblock of test chip.

3.3 サブブロックのマクロモデル化

本節では、前章で示した過渡領域のノートンの等価回路の考え方を応用し、サブブロックをマクロモデル化する手順を説明する。その中で従来手法として参考文献 [60] の内容を一部引用している。

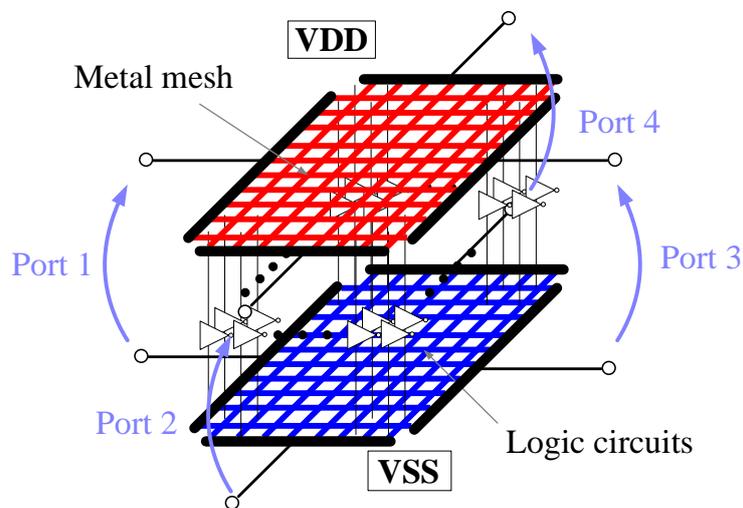
3.3.1 インピーダンスモデルの作成

設計情報からサブブロックのマクロモデルを構築するために、まずはサブブロックの詳細モデル (SPICE モデル) を抽出する必要がある。本論文では電源やグラウンドを含むオンチップ配線の寄生インピーダンスをレイアウト設計ツールである Cadence 社の Virtuoso

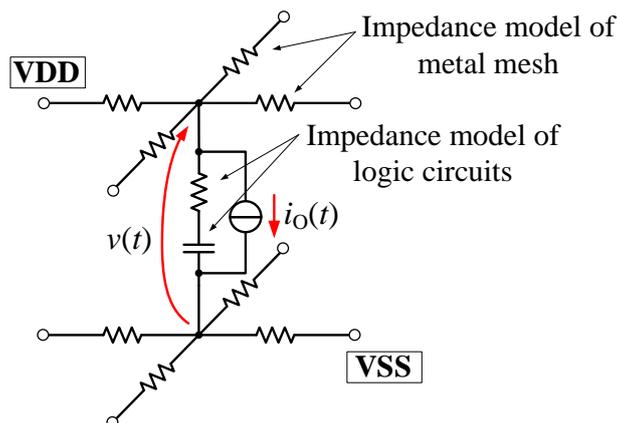
第3章 オンチップ電源電圧変動を考慮した等価電流源補正手法

上で動作するレイアウト検証・寄生素子抽出ツール ASSURA[‡]を用いて抽出し、これを TSMC 社から提供される CMOS の SPICE モデルと統合して配線のインピーダンスも含んだサブブロックの SPICE モデルを構築している [60]. この SPICE モデルのイメージ図を Fig. 3.3(a) に示す. メッシュ状の電源およびグラウンド配線の上にインバータやバッファなどの論理回路が接続されたモデルとなっている.

サブブロックは上下左右4辺の全方向からほぼ均一に電源が供給されると想定し, Fig. 3.3(a) のように電源とグラウンドの上下左右の各辺をそれぞれ短絡した状態で4ポート回路としてインピーダンスを抽出し [61][62], 線形等価回路を構築する. インピーダンスは回路シミュレーターで S パラメータを計算した後, S-Z 変換によって求めることがで



(a) SPICE model including power and ground network.



(b) Linear equivalent circuit model.

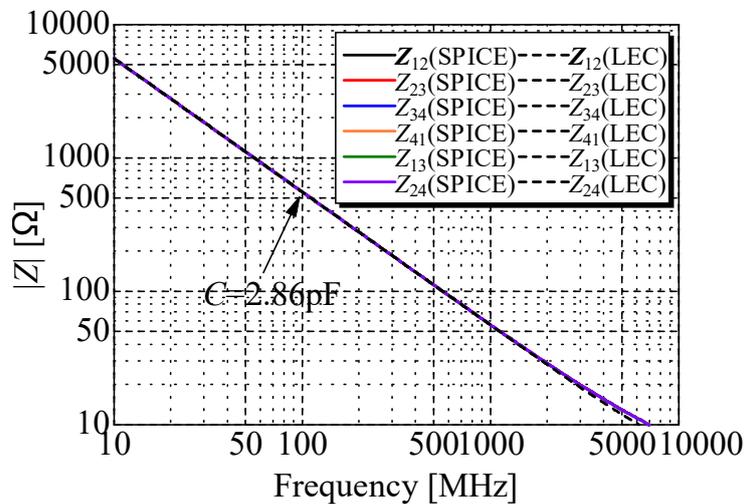
Figure 3.3: Equivalent circuits of subblock.

[‡]https://www.cadence.com/ja_JP/home/tools/digital-design-and-signoff/silicon-signoff/assura-physical-verification.html

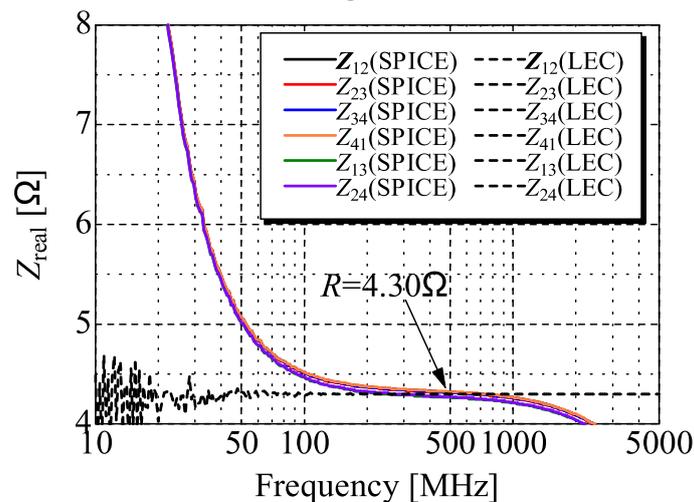
3.3. サブブロックのマクロモデル化

きる。

サブブロックの線形等価回路は、Fig. 3.3(b)に示すようにオンチップの電源およびグラウンド配線の抵抗成分と論理回路部の容量と抵抗で構成する。なお、オンチップ配線のインピーダンスは寄生インダクタンスよりも抵抗の方が支配的であると考え、モデルにインダクタンスは含んでいない。また、第2章では、マクロモデルの物理的意味の考察を行うために LECCS-LH モデルと LECCS-HL モデルでゲートが High になっている回路と Low になっている回路のインピーダンスを個別にモデル化していたが、マクロモデルを利用する上でそれらは同一のインピーダンスとみなされ区別に意味がないため、Fig. 3.3(b)に示すように容量と抵抗がそれぞれ1つのインピーダンスモデルとしている。Fig. 3.3(a)の電源やグラウンドの配線を含むサブブロックの SPICE モデルのインピーダンスから、Fig. 3.3(b)の各素子の値を決定する。



(a) Magnitude.



(b) Real part.

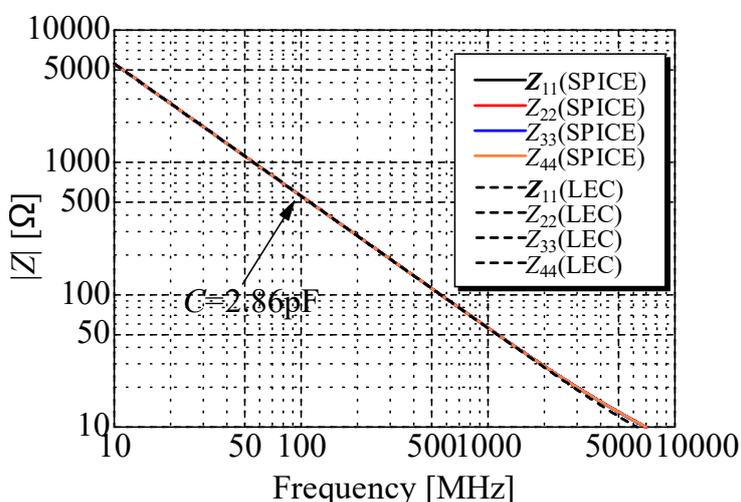
Figure 3.4: Impedance of subblock (off-diagonal components).[60]

第3章 オンチップ電源電圧変動を考慮した等価電流源補正手法

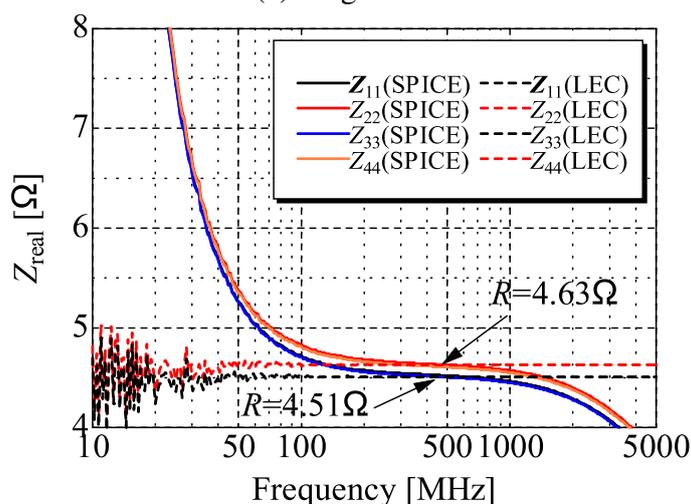
Fig. 3.3(a) の SPICE モデルの 4 ポートの Z 行列の非対角成分の絶対値と実部を Fig. 3.4 に、対角成分の絶対値と実部を Fig. 3.5 に示す [60].

非対角成分は各ポートに対してシャント接続されたインピーダンスを表すため、論理回路部の容量と抵抗の値を求めることができる. Fig. 3.4(a) に示すインピーダンスの絶対値は容量性を示しており、容量値を 2.86 pF と求めた. Fig. 3.4(b) に示す実部のインピーダンスから抵抗値を 4.30 Ω と求めた. なお、インピーダンスの絶対値として容量が支配的に見えており、実部の計算精度が悪化していると考えられる数十 MHz の低周波域や、本テストチップの利用対象外である GHz 帯は考慮せず、実部が一定の値となっている数百 MHz 帯で抵抗値を読み取っている.

次に、対角成分は観測ポート以外の全てのポートを開放にした時のインピーダンスを表現するため、論理回路部のインピーダンスに電源およびグラウンドの抵抗値を加えた値と



(a) Magnitude.



(b) Real part.

Figure 3.5: Impedance of subblock (diagonal components).[60]

3.3. サブブロックのマクロモデル化

なる。ポート 1, 3 から見た抵抗は 4.51Ω ，ポート 2, 4 から見た抵抗は 4.63Ω と読み取れる。論理回路部の抵抗値の 4.30Ω との差を取り，残った抵抗値を電源およびグラウンド配線の抵抗として割り当てる。

上記の通り，SPICE モデルからインピーダンスを抽出し，等価回路の値を求めた結果を Fig. 3.6 に示す。また，Fig. 3.4，Fig. 3.5 には Fig. 3.6 の 4 ポート S パラメータを計算し，S-Z 変換した結果も示しており，等価回路でサブブロックの SPICE モデルのインピーダンスを表現できていることが確認できる。

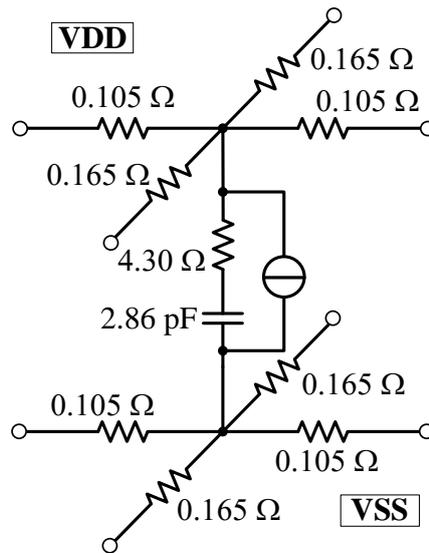
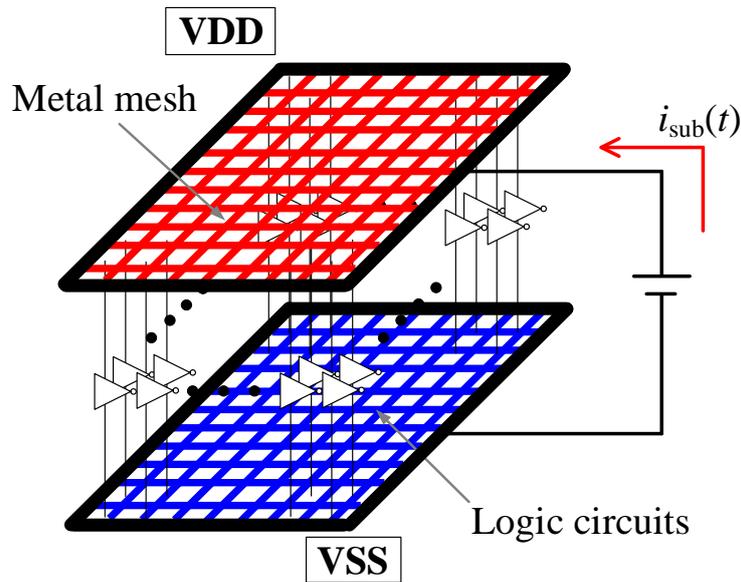


Figure 3.6: Parameters of subblock impedance.

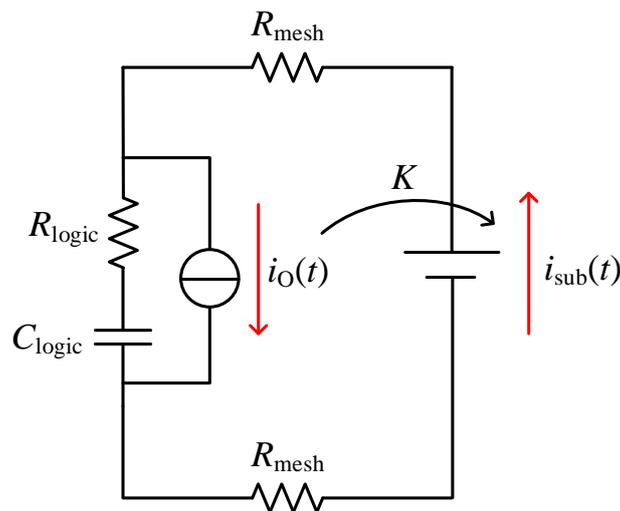
3.3.2 理想電源供給状態における等価電流源の抽出

2.3.5 節に示した通り，スイッチモデルから導出した LSI-core マクロモデルの基準となる等価電流源（基準電流源）は，スイッチモデルの外部に理想直流電圧源を接続し，スイッチモデルが動作した際に理想直流電圧源に流れる電流から求めることができた。本節ではサブブロックの等価電流源についても同様の方針で抽出を行うが，オンチップ PDN 配線のインピーダンスの影響も考慮して等価電流源を計算する手法を示す。なお，第 2 章のまとめで「トランジスタの遷移時間」と「ゲート伝搬遅延」が理想スイッチモデルでは考慮されていないことを課題として挙げたが，本節ではスイッチモデルではなく，CMOS トランジスタの詳細な SPICE モデルから等価電流源を抽出するため，これらが考慮される。

第 2 章の過渡領域のノートンの等価回路で示した通り，等価電流源は論理回路部で発生している動作電流をモデル化したものであるため，Fig. 3.3(b) のように論理回路部に並列に接続することが妥当であると考えられる。一方，実際にはオンチップの電源配線やグラウンド配線が存在するため，各ポートを短絡した際に流れる動作電流は電源配線やグラウンド配線のインピーダンスで変化する。そこで，インピーダンスモデルは 4 ポート回路と



(a) Circuit for extracting operating current of subblock.



(b) Transfer function from $i_O(t)$ to $i_{sub}(t)$.

Figure 3.7: Extraction of equivalent current source.

したが、等価電流源を求める際は、サブブロックを1ポート回路と考慮して動作電流を抽出したのち、論理回路部のインピーダンスモデルに並列に接続する等価電流源に変換する。具体的な方法を以下に示す。

Fig. 3.7(a)に示すように、サブブロックのSPICEモデルの電源とグラウンドのそれぞれで4辺を全て短絡し、内部インピーダンスゼロの理想直流電圧源が接続された回路を考える。この状態でサブブロックにクロックが入力され、各ゲートが遷移する際に直流電圧源に流れる電流がサブブロックの動作電流 $i_{sub}(t)$ を表すノートン等価電流である。この動作電流が Fig. 3.3(b) の論理回路部に並列に接続された等価電流源から発生していると考え

3.3. サブブロックのマクロモデル化

と, Fig. 3.7(b) に示すように, 等価電流源 $i_0(t)$ から直流電圧源に流れる $i_{\text{sub}}(t)$ までの電流伝達関数 $K(\omega)$ を用いることで以下のように計算できる [43][63].

$$\mathcal{F}[i_{\text{sub}}(t)] = K(\omega)\mathcal{F}[i_0(t)] \quad (3.1)$$

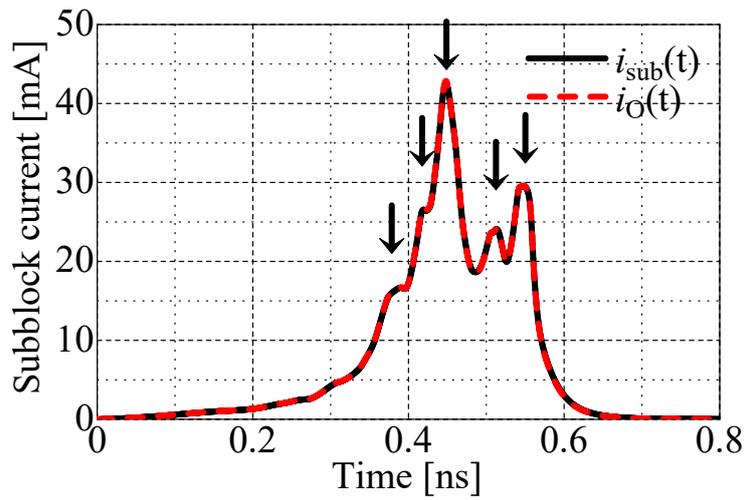
$$i_0(t) = \mathcal{F}^{-1}[\mathcal{F}[i_{\text{sub}}(t)]/K(\omega)] \quad (3.2)$$

なお, \mathcal{F} および \mathcal{F}^{-1} はそれぞれフーリエ変換, 逆フーリエ変換を表す. Fig. 3.7(b) において, 電流伝達関数 $K(\omega)$ は以下の式で表される.

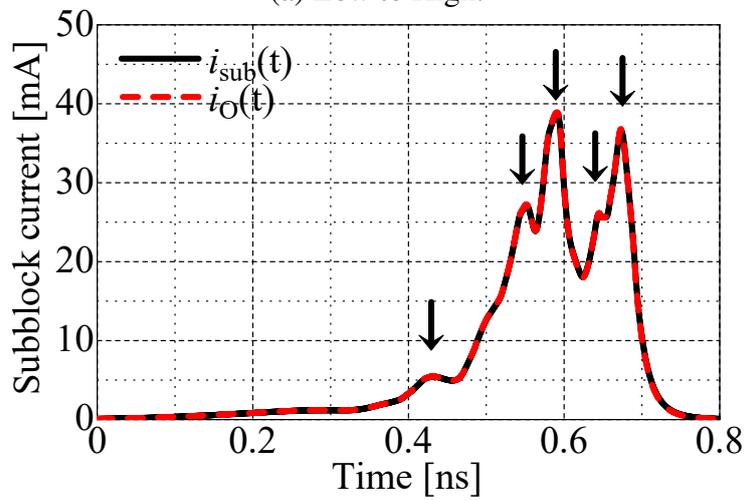
$$K(\omega) = \frac{1 + \omega^2 C_{\text{logic}}^2 R_{\text{logic}}(R_{\text{logic}} + R_{\text{mesh}}) - j\omega C_{\text{logic}} R_{\text{mesh}}}{1 + \omega^2 C_{\text{logic}}^2 (R_{\text{logic}} + R_{\text{mesh}})^2} \quad (3.3)$$

ただし, Fig. 3.7(b) に示す R_{mesh} は Fig. 3.6 において電源とグラウンドのそれぞれで中央から4方向に放射状に接続された抵抗を並列接続した抵抗値を持つ.

Fig. 3.8 にサブブロックの入力を遷移させた時の動作電流 $i_{\text{sub}}(t)$ と, 等価電流源 $i_0(t)$ を示す. Fig. 3.8 では入力が遷移し, 電源電圧の半分の 0.9 V を横切る時刻を遷移開始時刻とし, $t = 0$ としている (本章では以降 $t = 0$ はサブブロックの入力が 0.9 V を横切る時刻とする). 今回用いたサブブロックは論理回路部のインピーダンスに比べ電源およびグラウンド配線のインピーダンスが小さいため, $i_{\text{sub}}(t)$ と $i_0(t)$ がほぼ一致している. サブブロックの入力を Low から High にした時と, High から Low にしたときのいずれも5つの極大値が存在する. これらの極大値は, Fig. 3.2 に示す通りサブブロック内に5段のバッファもしくはインバータが直列に接続されており, ゲート伝搬遅延によって順次動作していることから生じていると考えられる. また, 遷移が開始する時刻から最初の極大値が発生するまでの時刻や極大値の間隔が一定でないことから, トランジスタの遷移時間も等価電流源に反映されていると考えられる.



(a) Low to High.



(b) High to Low.

Figure 3.8: Subblock currents when input transitions Low to High or High to Low.

3.4 振幅補正係数と時間補正係数の導入による等価電流源補正手法

3.4.1 機能ブロック内に生じる電源電圧の差

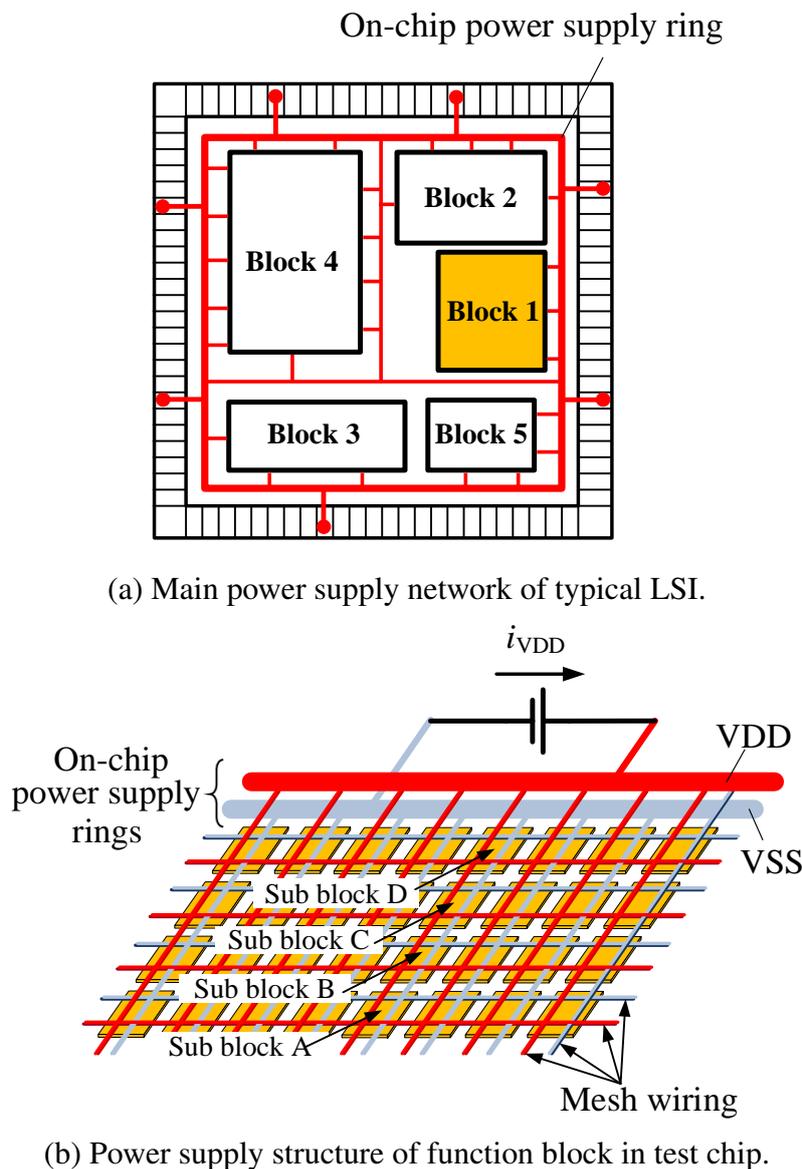


Figure 3.9: Power supply structure of typical LSI and function block of test chip.

Fig. 3.9(a) に一般的な LSI の電源配線の例を示す. Fig. 3.9(a) では 1 つのパワードメインのみ描写し, 他のパワードメインの配線は省略している[§]. 電源供給を低抵抗で行うた

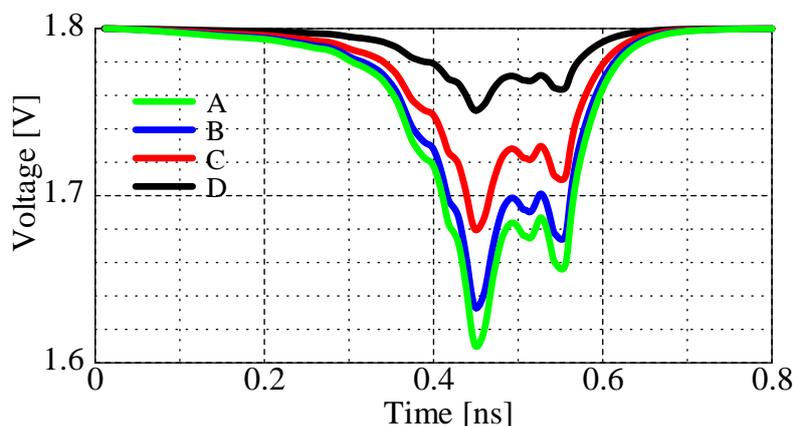
[§]本論文ではチップ内で直流的に接続される電源を 1 つのパワードメインと呼ぶ. 一般の LSI では異なる電圧の複数のパワードメインを持つ場合や, 同じ電圧でもアナログ系とデジタル系でパワードメインを分離している場合もある.

第3章 オンチップ電源電圧変動を考慮した等価電流源補正手法

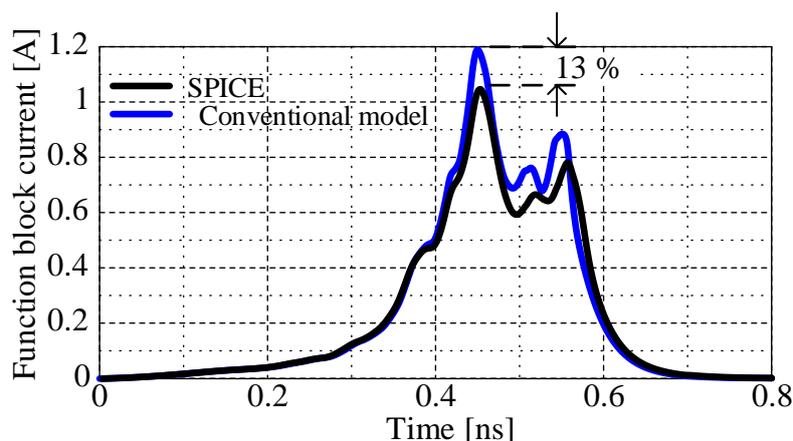
め、LSIの外周には銅による電源配線（パワーサプライリング）が配置され、同じ電源電圧で動作する複数の機能ブロックの電源配線がこのパワーサプライリングに接続される。機能ブロック内の電源配線はFig. 3.9(b)に示すようなメッシュ状の配線が行われることが多く、テストチップの機能ブロック内も電源配線をメッシュ状に設計している（ただし、Fig. 3.9(b)ではメッシュ配線の一部のみ図示している）。このような電源配線を持ったLSIのコアブロック内部の電源電圧変動の大きさはパワーサプライリングからの距離に依存すると考えられる。

そこで、3.3節で構築したサブブロックのマクロモデルを32個接続し、1辺を低抵抗な配線（ここでは理想的なショートとした）で接続した、Fig. 3.9(b)に相当する機能ブロックのマクロモデルでパワーサプライリングからの距離と各サブブロックの電源電圧変動の関係を確認する。

Fig. 3.9(b)において、パワーサプライリングから遠い場所に配置されたサブブロックから順にA~Dとし、全てのサブブロックの入力が時刻 $t = 0$ に遷移する際の各サブブロッ



(a) Supply voltage fluctuation at each subblock.



(b) Entire operating current of function block (i_{VDD}).

Figure 3.10: Simulation results of function block.

3.4. 振幅補正係数と時間補正係数の導入による等価電流源補正手法

クの電圧 (Fig. 3.3 の $v(t)$) をシミュレーションした結果を Fig. 3.10(a) に示す. 機能ブロック内の電源電圧変動はパワーサプライリングから遠い位置に配置されたサブブロックでは大きく, 近い位置に配置されたサブブロックでは小さくなっている様子が分かる. CMOS トランジスタの動作電流はスイッチング時の電源電圧に依存して変化することが知られている. そのため, このように機能ブロック内の各位置で電源電圧変動量が異なっている場合, それぞれのサブブロックで電源電圧変動を考慮した等価電流源を用いなければ PI シミュレーションの精度悪化に繋がると考えられる.

実際に SPICE モデルに比べ, どの程度差が生じているかを確認するため, Fig. 3.10(b) に機能ブロック全体の動作電流 (Fig. 3.9(b) の i_{VDD}) を SPICE モデルと機能ブロックの LSI-core マクロモデルでそれぞれシミュレーションした結果を示す. 両者の間には, ピーク値で 13% の差分がある. 以降, この差を改善するための等価電流源の補正手法を検討する.

3.4.2 電源電圧が変化したときのサブブロックの動作電流と補正係数

Fig. 3.10(a) に示したようにオンチップ電源電圧は過渡的に変化している. そこでまずは直流として電源電圧が変化した際にサブブロックの動作電流がどのように変化するかを考え, その後過渡的な変化が生じた際の動作電流を考える.

Fig. 3.7(a) において理想電圧源の値を 1.6 V から 2.0 V まで変化させた際のサブブロックの動作電流の変化を Fig. 3.11 に示す[¶]. Fig. 3.11 から, CMOS 動作が電源電圧によって変化している様子が確認できる. 電源電圧が低下すると動作電流の振幅は小さくなり, 動作電流のピークが生じる時刻はトランジスタの遷移時間とゲート伝搬時間の遅延が発生するため遅れている.

第 2 章のスイッチモデルでは 2.6 節の課題 1., 課題 2. に示したように, トランジスタの

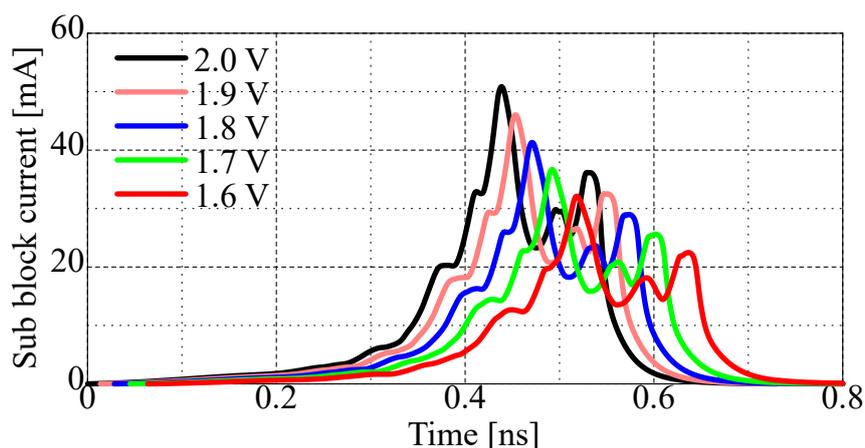


Figure 3.11: Supply voltage dependence of the equivalent current source.

[¶]テストチップの推奨電源電圧範囲は $1.8\text{ V} \pm 10\%$ であるがオンチップの過渡的な電源電圧変動は瞬時値としてこの範囲を外れる場合もあるため, より広い電圧範囲における動作電流の検証を行っている.

第3章 オンチップ電源電圧変動を考慮した等価電流源補正手法

遷移時間やゲート伝搬遅延を考慮していなかったため、電源電圧変動による動作電流の補正は振幅方向のみ考慮すれば十分であった。しかし、実際のLSIではFig. 3.11に示す通り、電源電圧変動によって時間方向にも変化が生じる。そこで、振幅方向と時間方向で等価電流源を補正する方法を考える。

Fig. 3.11より、供給する直流電圧が変化した際のサブブロックの動作電流は振幅方向と時間方向にそれぞれ伸縮した波形になっているように見える。そこで、等価電流源も同様に振幅方向と時間方向にそれぞれ伸縮した波形に補正することが適切であると考えられる。

等価電流源を振幅方向と時間方向に伸縮させる係数を供給する直流電圧が変化したときの動作電流の変化から抽出する。電源電圧が基準電圧の1.8 Vから Δv 変化したときの動作電流の振幅の伸縮率を $\alpha(\Delta v)$ 、時間方向の伸縮率を $\beta(\Delta v)$ とする。伸縮率は動作電流の最大ピークの振幅と時刻から計算する。Fig. 3.12に $\Delta v = -0.2$ V (電源電圧が1.6 V)のときの $\alpha(\Delta v)$ と $\beta(\Delta v)$ の計算例を示す。電源電圧が1.8 Vの時、ピーク値は41.3 mAで、1.6 Vの時は32.1 mAであるため、

$$\alpha(-0.2) = 32.1\text{mA}/41.3\text{mA} \quad (3.4)$$

$$\approx 0.78 \quad (3.5)$$

となり、電源電圧が1.8 Vの時、ピークが生じている時刻は0.47 nsで、1.6 Vの時は0.52 nsであるため、

$$\beta(-0.2) = 0.52\text{ns}/0.47\text{ns} \quad (3.6)$$

$$\approx 1.1 \quad (3.7)$$

と計算できる。

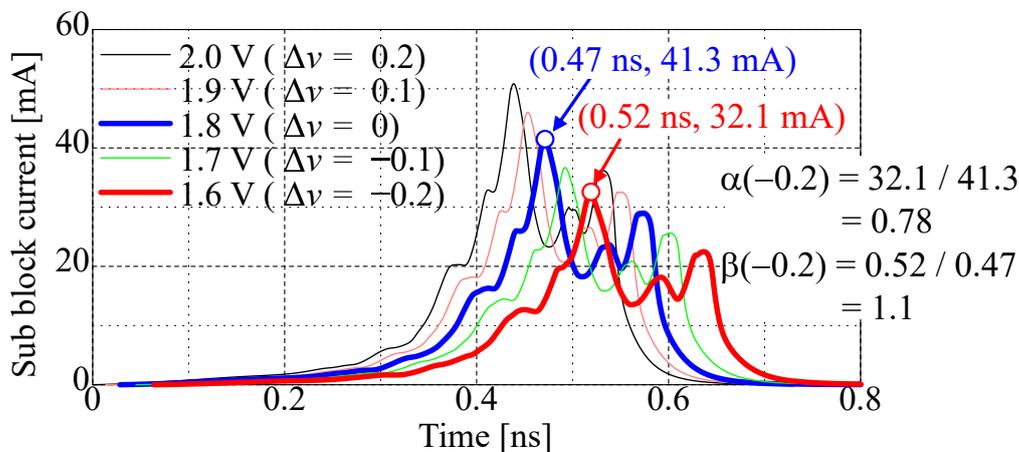
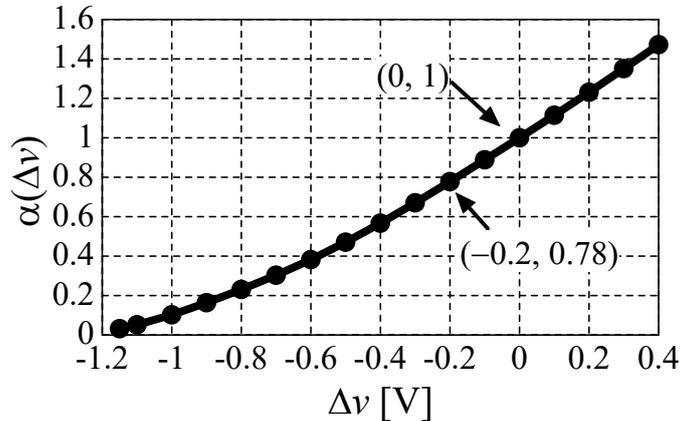


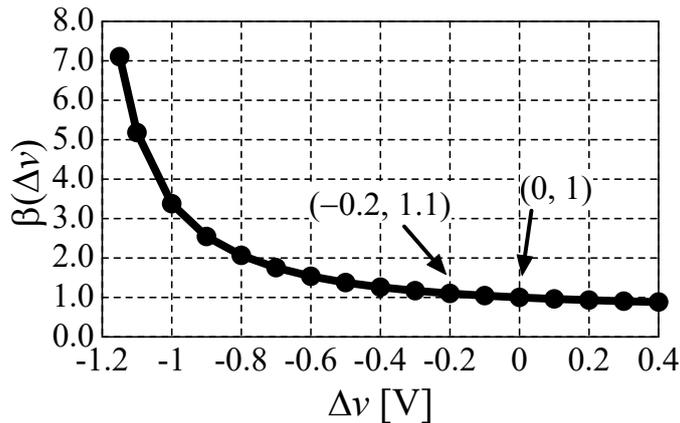
Figure 3.12: Examples of deriving correction factors $\alpha(-0.2)$ and $\beta(-0.2)$.

3.4. 振幅補正係数と時間補正係数の導入による等価電流源補正手法

この計算方法で $\alpha(\Delta v)$ と $\beta(\Delta v)$ を求めた結果を Fig. 3.13 に示す。電源電圧が大きくなると、電流の振幅が大きくなることから $\alpha(\Delta v)$ は $\alpha(0) = 1$ を通る単調増加の関数となっている。逆に、電源電圧が大きくなると遅延時間は短くなるため、 $\beta(\Delta v)$ は $\beta(0) = 1$ を通る単調減少の関数となっている。



(a) Amplitude correction factor $\alpha(\Delta v)$.



(b) Time correction factor $\beta(\Delta v)$.

Figure 3.13: Correction factors.

$\alpha(\Delta v)$ と $\beta(\Delta v)$ をそれぞれ振幅補正係数，時間補正係数とし，基準電圧 1.8 V の時の等価電流源（基準電流源） $i_0(t)$ の波形を振幅方向と時間方向に補正した等価電流源を用いて，実際に電源電圧が変化したときのサブブロックの動作電流を再現可能か検証する。SPICE モデルで計算したサブブロックの動作電流と，基準電流源 $i_0(t)$ を $\alpha(0.2)$ ， $\beta(0.2)$ および $\alpha(-0.2)$ ， $\beta(-0.2)$ の補正係数を用いて，供給する直流電圧が 2.0 V と 1.6 V の時の等価電流源にそれぞれ補正する。サブブロックの動作電流を SPICE モデルとマクロモデルでそれぞれ計算した結果を Fig. 3.14 に示す。補正は振幅を全体的に $\alpha(\Delta v)$ 倍し，時刻も全体的に $\beta(\Delta v)$ 倍して，振幅方向と時間方向に伸縮させている。Fig. 3.14 において，実線は SPICE モデルでサブブロックの動作電流を計算した結果であり，点線がマクロモデルの計算結果である。電源電圧が基準電圧よりも大きくなる場合，小さくなる場合のいずれも SPICE モデルで計算した動作電流の波形と補正係数を用いて基準電流源を補正し，サブブロック

第3章 オンチップ電源電圧変動を考慮した等価電流源補正手法

のマクロモデルで動作電流を計算した波形がよく一致していることが確認できる。なお、サブブロックのマクロモデルで動作電流を抽出する際は、SPICEモデルで抽出する時と同様に Fig. 3.3(b) に示す4つのポートを1つにまとめ、1ポート回路として電源-グラウンド間に理想電圧源を接続したときに流れる電流を計算している。

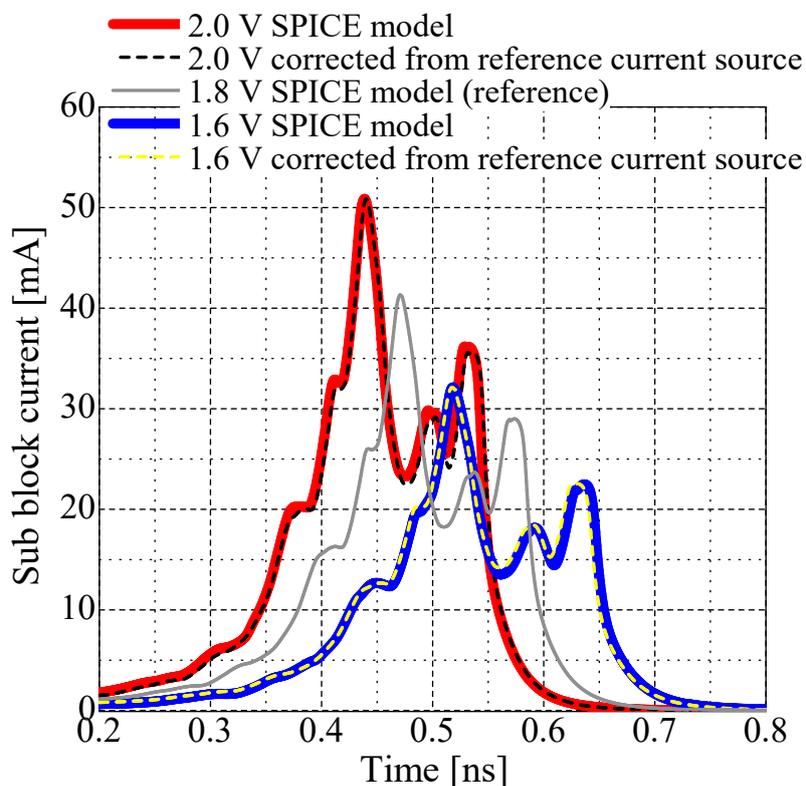


Figure 3.14: Comparison of subblock operating current extracted by SPICE model and that derived by LSI-core macromodel with corrected equivalent current source.

3.4.3 振幅補正係数と時間補正係数の導入による微小時間ごとの補正

第2章ではトランジスタの遷移時間やゲート伝搬遅延を考慮しないスイッチモデルから LSI-core マクロモデルを導出したため、等価電流源の振幅は遷移する直前のコアブロック内部の電圧のみに依存した。

一方、実際の LSI では遷移時間はゼロではないため、遷移中の電源電圧変動も動作電流の振幅に影響を与え、さらに直列に接続された各ゲートは同時には動かないため、後段のゲートが動作する際は前段のゲートの動作によって生じる電源電圧変動の影響を受けることになる。

そこで本節は、供給する直流電圧が変化した際のサブブロックの動作電流の変化から導出した振幅補正係数 $\alpha(\Delta v)$ と時間補正係数 $\beta(\Delta v)$ を用いて、機能ブロック内の過渡的な電

3.4. 振幅補正係数と時間補正係数の導入による等価電流源補正手法

源電圧変動に対する等価電流源の補正手法を提案する。後に第4章で提案する補正手法と区別するため、本章の補正手法を「逐次補正手法」と呼ぶ。

Fig. 3.15 に示す概念図を用いて等価電流源の逐次補正手法を説明する。上側の赤×は等価電流源が接続される電源—グラウンド端子間の電源電圧変動を示す。下側の青○と緑□は補正前と補正後の等価電流源をそれぞれ示す。この図では電源電圧変動と補正前後の電流の関係を分かりやすくするために時間のサンプリング間隔を実際よりも広く図示している。

時刻 t_0 において機能ブロックの動作が開始し、時刻 t_1 以降で動作電流が流れ始める。時刻 t_0 では電源電圧変動はまだ生じていないため、時刻 t_1 の等価電流源は補正不要である。時刻 t_1 において動作電流によって電圧降下が生じていることをふまえると、等価電流源は振幅を小さくし、時間を遅らせる補正が必要である。そこで時刻 t_2 の振幅を小さくし、時刻を遅らせ、 t'_2 とする。時刻 $t_3, t_4, t_5 \dots$ においても同様に電源電圧変動の大きさによって振幅と時間の補正を行う。

$i_S(t)$ を補正後の等価電流源、 $i_O(t)$ を電源電圧変動がない理想電圧源で抽出された基準電流源とすると、上記の手順は次の式で表現できる。

$$i_S(t'_n) = \alpha(\Delta v(t_{n-1}))i_O(t_n) \quad (3.8)$$

$$t'_n - t'_{n-1} = \beta(\Delta v(t_{n-1}))(t_n - t_{n-1}) \quad (3.9)$$

$$\Delta v(t) = v(t) - v_n \quad (3.10)$$

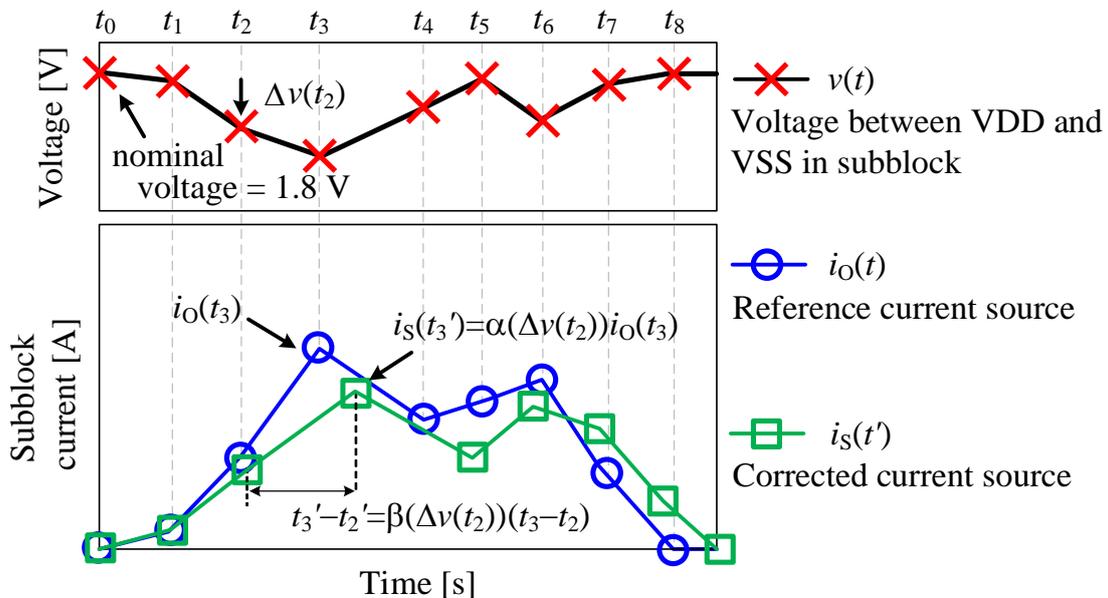


Figure 3.15: Conceptual diagram of sequential correction of amplitude and time for each small section.

第3章 オンチップ電源電圧変動を考慮した等価電流源補正手法

t'_n は補正後のサンプル点の時刻を表現しており、初期値は $t'_0 = t_0$ である。 v_n は基準電圧 (1.8 V) であり、 $\Delta v(t)$ は基準電圧からの電圧変動量である。

式 (3.8) は時刻 t'_n の等価電流源の振幅が時刻 t_{n-1} の電源電圧変動量を代入した振幅補正係数 $\alpha(\Delta v(t_{n-1}))$ で補正されることを示している。式 (3.9) は補正後の時間間隔 $t'_n - t'_{n-1}$ が時刻 t_{n-1} の電源電圧変動量を代入した時間補正係数 $\beta(\Delta v(t_{n-1}))$ で補正されることを示している。

式 (3.8) および式 (3.9) は、サブブロックに理想電圧源が供給された状態で抽出した基準電流源 $i_0(t)$ 、振幅補正係数 $\alpha(\Delta v)$ 、振幅補正係数 $\beta(\Delta v)$ 、サブブロックの電源－グラウンド間の電圧 $v(t)$ を入力とし、出力が補正後の等価電流源 $i_s(t)$ となる関数と考えることができる。そこで、式 (3.8) および式 (3.9) を 1 つにまとめて補正関数 g を次のように定義する。

$$i_s(t) = g[v(t), i_0(t), \alpha(\Delta v), \beta(\Delta v)] \quad (3.11)$$

一方、サブブロックの電源－グラウンド間の電圧 $v(t)$ は等価電流源の大きさによって変化する。つまり、式 (3.11) において、未知数は $i_s(t)$ と $v(t)$ があるため、これらを一意に求めるためには、 $i_s(t)$ と $v(t)$ の関係式がもう 1 つ必要である。次にその関係式を回路のインピーダンスから求めて逐次補正を行う手法を説明する。

3.4.4 微小時間ごとの畳み込みと補正による逐次補正手法

Fig. 3.9(b) に示す機能ブロック内の過渡的な電源電圧変動は Fig. 3.10(a) に示す通り各サブブロックで異なっている。そこで、各サブブロックで電源電圧変動を考慮した等価電流源の補正を行う必要がある。

各サブブロックの等価電流源と、等価電流源が接続される電源端子とグラウンド端子間の電圧を 32 個の要素を持つベクトルとして次のように定義する。

$$i_s(t) = [i_{s1}(t) \ i_{s2}(t) \ \cdots \ i_{s32}(t)]^T \quad (3.12)$$

$$v(t) = [v_1(t) \ v_2(t) \ \cdots \ v_{32}(t)]^T \quad (3.13)$$

ここで、 T は転置を表す。各サブブロックに理想的な直流電圧源を接続して抽出した基準電流源 $i_0(t)$ を

$$i_0(t) = [i_{01}(t) \ i_{02}(t) \ \cdots \ i_{032}(t)]^T \quad (3.14)$$

とする。

式 (3.12),(3.13) は周波数領域で以下のように記述できる。

$$I_s(f) = [I_{s1}(f) \ I_{s2}(f) \ \cdots \ I_{s32}(f)]^T \quad (3.15)$$

$$V(f) = [V_1(f) \ V_2(f) \ \cdots \ V_{32}(f)]^T \quad (3.16)$$

3.4. 振幅補正係数と時間補正係数の導入による等価電流源補正手法

各等価電流源が接続されるポートから機能ブロック全体を見た時の 32×32 の要素を持つインピーダンス行列を $\mathbf{Z}(f)$ と定義すると、 $\mathbf{I}_s(f)$ と $\mathbf{V}(f)$ は以下の関係にある。

$$\mathbf{V}(f) = \mathbf{Z}(f)\mathbf{I}_s(f) \quad (3.17)$$

この式は時間領域では以下のように記述できる。

$$\begin{aligned} v(t) &= \mathcal{F}^{-1}[\mathbf{V}(f)] \\ &= \mathcal{F}^{-1}[\mathbf{Z}(f)\mathbf{I}_s(f)] \\ &= \mathcal{F}^{-1}[\mathbf{Z}(f)] * \mathcal{F}^{-1}[\mathbf{I}_s(f)] \\ &= \mathcal{F}^{-1}[\mathbf{Z}(f)] * i_s(t) \end{aligned} \quad (3.18)$$

ここで、 \mathcal{F}^{-1} は逆フーリエ変換、 $*$ は畳み込み積分を表す。周波数領域の伝達関数の逆フーリエ変換は時間領域の単位インパルス応答とみなせることから、 $\mathcal{F}^{-1}[\mathbf{Z}(f)]$ は回路シミュレータを用いて過渡解析を行うことで計算することも可能である。なお、逆フーリエ変換と単位インパルス応答の関係については参考文献 [64] を引用し付録 A で説明している。

$i_s(t)$ と $v(t)$ は式 (3.18) と式 (3.11) の連立方程式の解となる。この連立方程式を解析的に解くことは困難であるため、微小区間で畳み込み積分と補正を交互に数値計算し、解を求める手法を考える。

Fig. 3.16 に計算手法の概念図を示す。時刻 t_{i-1} と時刻 t_i の微小区間の電流を矩形近似し、そのインパルス応答を式 (3.18) に従い畳み込み演算することで $v(t_i)$ が求まる。次に、 $v(t_i)$ を式 (3.11) に代入し、得られた結果を $i_s(t_{i+1})$ とする。このように式 (3.18) と式 (3.11) を微小区間で交互に繰り返すことで連立方程式の解を求める逐次補正手法の計算が可能である。

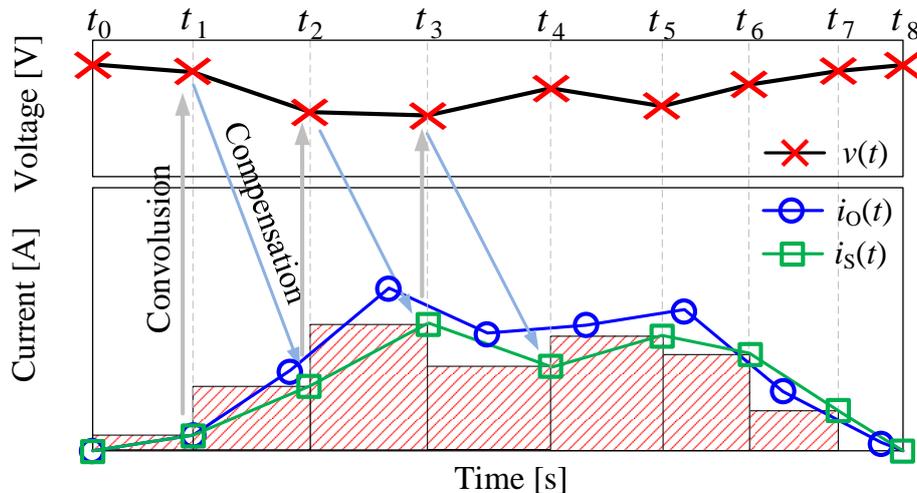
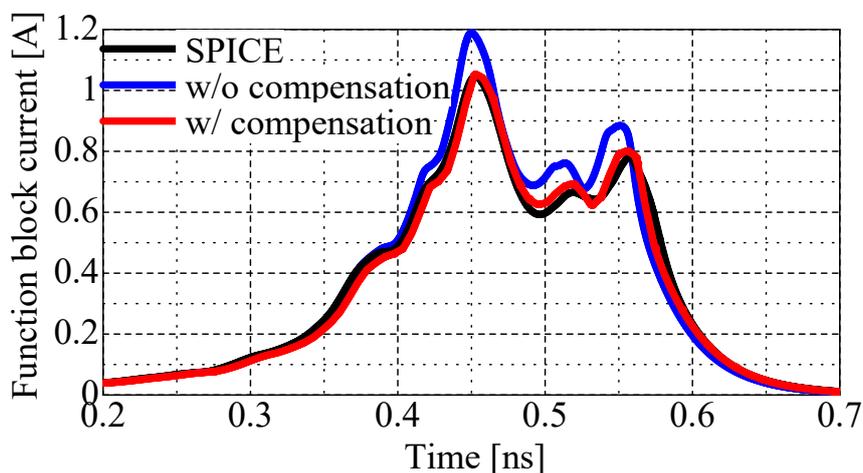


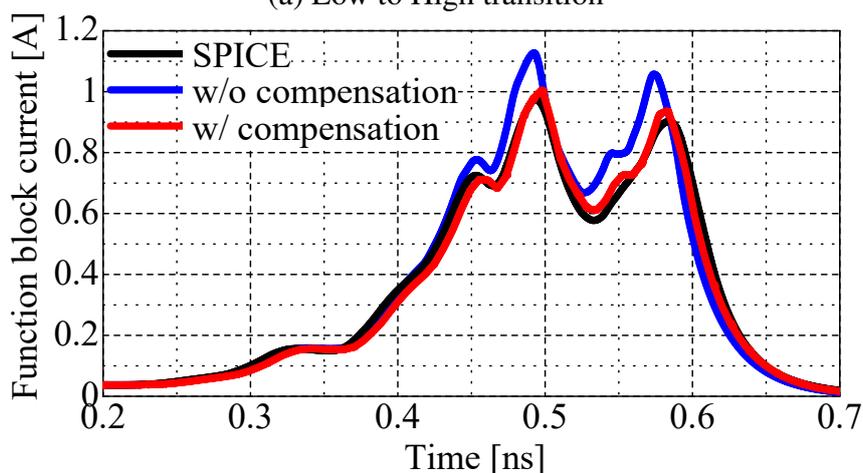
Figure 3.16: Sequential computing of convolution integrals and compensations in small time intervals.

第3章 オンチップ電源電圧変動を考慮した等価電流源補正手法

Fig. 3.17 に各サブブロックの等価電流源の補正を行う前後の機能ブロック全体の動作電流 i_{VDD} と、SPICE モデルで i_{VDD} を計算した結果との比較を示す. Fig. 3.17(a) は入力 Low から High に遷移した際の機能ブロック全体の動作電流で, Fig. 3.17(b) は入力 High から Low に遷移した際の機能ブロック全体の動作電流である.



(a) Low to High transition



(b) High to Low transition

Figure 3.17: Operating current of function block i_{VDD} .

SPICE モデルとマクロモデルの電流波形の差分が補正前後でどのように変化したかを Table 3.1 に示す. 補正を行わない従来のマクロモデルは, オンチップ電源電圧変動の影響を考慮することができず, SPICE モデルよりも大きなピークが生じる. 機能ブロックの入力が Low から High への遷移した場合と, High から Low へ遷移した場合のそれぞれで最大ピーク部の差はそれぞれ 13 %, 15 % である. 一方, 本章で提案した逐次補正手法を用いた場合, その差はそれぞれ 0.7 %, 3.0 % まで低減する. さらに, 最後段のゲートが動作した際に生じる 2 番目に大きいピークの時刻の差については, 補正を行わない従来のマクロモデルの場合, Low から High への遷移と, High から Low への遷移でそれぞれ -6.5 ps,

3.4. 振幅補正係数と時間補正係数の導入による等価電流源補正手法

-10.4 ps となるが, 補正を行うことで -1.6 ps に低減する.

以上より, 機能ブロック内に過渡的な電源電圧変動が生じた際の CMOS 動作の変化を考慮した等価電流源の補正を行うことで PI シミュレーションの精度が向上することが示された.

Table 3.1: Comparison of amplitude and time difference between the conventional method and the proposed method.

	Amplitude difference		Time difference	
	Low to High	High to Low	Low to High	High to Low
Conventional method	13 %	15 %	-6.5 ps	-10.4 ps
Proposed method	0.7 %	3.0 %	-1.6 ps	-1.6 ps

3.5 第3章のまとめ

本章では LSI-core マクロモデルを用いたオンチップ PI シミュレーションの精度向上を目的とし、オンチップ電源電圧変動を考慮した等価電流源の補正手法を提案した。

3.2 節で本章の対象回路とするテストチップの機能ブロックについて、実際の LSI と同様に出力が Low のゲートと High のゲートがほぼ同数となるように設計されていることを説明した。

3.3 節でテストチップの機能ブロックの LSI-core マクロモデル構築を行った。CMOS トランジスタや電源配線などの詳細な設計情報から抽出した SPICE モデルを用いて、従来手法と同様に電源－グラウンド間のインピーダンスから線形等価回路を作成し、理想電圧源で電圧が供給された状態の動作電流から等価電流源を作成した。なお、第2章では理想的なスイッチモデルからの等価変換で LSI-core マクロモデルを導出したため、CMOS トランジスタの遷移時間やゲート伝搬遅延が考慮されない等価電流源であったが、本章ではサブブロックの一連の動作をまとめて、SPICE モデルから動作電流を抽出することで、遷移時間やゲート伝搬遅延を考慮した等価電流源が得られていることを説明した。

3.4 節で振幅補正係数と時間補正係数の導入による等価電流源の補正手法を提案した。

まず、オンチップ PI シミュレーションを行う際の SPICE モデルと従来手法で構築した LSI-core マクロモデルの差について検証した。機能ブロック全体の動作電流のシミュレーションを行った場合、両者の結果に十数 % の差が生じることを示した。機能ブロック内には過渡的な電源電圧変動が生じているが、従来手法では理想電圧源で電圧が供給された状態で等価電流源を作成しているため、CMOS トランジスタの動作電流の電源電圧依存性を考慮できていないことが原因でこの差が生じることを説明した。

次に CMOS トランジスタの動作電流の電源電圧依存性を考慮し、等価電流源を補正するための振幅補正係数と時間補正係数を導入することを提案した。供給する直流電圧が変化したときの CMOS の動作電流の波形の変化が振幅方向と時間方向に伸縮した形であることに着目し、その変化率を振幅補正係数と時間補正係数として抽出した。

続いて、機能ブロック内の過渡的な電源電圧変動に対して、振幅補正係数と時間補正係数を適用し、等価電流源を補正する手法を検討した。理想電圧源で電圧が供給された状態で作成した等価電流源を基準電流源とし、微小時間ごとに機能ブロック内の電源電圧変動に対応する振幅補正係数と時間補正係数を用いて等価電流源の振幅と時刻を補正する概念を示した。

最後に、補正された等価電流源による電源電圧変動計算と電源電圧変動による等価電流源の補正を微小時間ごとに交互に行う逐次補正手法を提案した。提案した逐次補正手法をテストチップの機能ブロックに適用し、SPICE モデルと LSI-core マクロモデルのシミュレーションの比較を行った。機能ブロック全体の動作電流は補正前は SPICE モデルと LSI-core マクロモデルで最大ピーク値に十数 % の差があり、最後段のゲート遷移で生じるピークの時刻に 6～10 ps 程度の差があったが、提案手法を適用することで、振幅は数 %、最後段のピークが生じる時刻は 2 ps 以下の差に改善し、提案手法によるシミュレーション精度向上が示された。

本章では 1 つの機能ブロックに着目してマクロモデル化を行い、LSI-core マクロモデル

3.5. 第3章のまとめ

の動作電流が SPICE モデルの動作電流とほぼ同等の精度でシミュレーションできることを示したが、PI シミュレーションでは電源電圧変動が精度よくシミュレーションできることが求められる。そこで次章では LSI コアブロック全体をマクロモデル化し、電源電圧変動でシミュレーション精度の評価を行っていく。

なお、以下の2点については本論文では議論しておらず、提案手法を商用 LSI などへ適用していく上での今後の検討課題である。

課題 1. インバータとバッファのみで構成されたテストチップのサブブロックの動作電流は供給する直流電圧が変化した際に振幅方向と時間方向に伸縮した形であったため、その伸縮率で振幅補正係数と時間補正係数を抽出できた。異なる複数の論理ゲートの組み合わせで構築されている一般的な LSI でも同様の考え方で抽出が可能と予想しているが、検証が必要である。

課題 2. テストチップでは同じサブブロックを並べてレイアウトされているため、サブブロックの境界が明確であったが、境界が明確でない回路の場合にどのようにサブブロックを定義するかの検討が必要である。

第4章 機能ブロック間干渉を考慮したPIシミュレーション手法

4.1 まえがき

第3章ではLSI-core マクロモデルをオンチップPIシミュレーションに用いる際のシミュレーション精度の向上を目的として、LSIの構成要素である機能ブロックの内部で生じる過渡的な電源電圧変動を考慮した等価電流源の補正手法を提案した。その続きとして本章では、機能ブロック単体ではなく、LSIのコアブロック全体のPIシミュレーション精度向上を目的としたシミュレーション手法の検討を行う。

LSIのコアブロックはFig. 4.1(a)に示すように、複数の機能ブロックが同一パワードメインに存在する。機能ブロックはCPUやメモリなどの特定の機能を持った回路ブロックである。LSIのコアブロック全体のLSI-core マクロモデルはFig. 4.1(b)に示すように、機能ブロックや、機能ブロックよりもさらに小さな回路ブロックであるサブブロック単位で抽出されたマクロモデルを接続して構築される[28][29]。Fig. 4.1(b)における Z_{sub} は各サブブロックの電源-グラウンド間のインピーダンスを示しており、数個から十数個の集中定数で表現される。 I はサブブロックのスイッチングによって生じる動作電流を表現する等価電流源である。[28][29][44]では、機能ブロック間の結合 Z_{IBC} の考慮が必要であることが提案されている。したがって、個々の機能ブロック内の電源電圧変動は、周囲の機能ブロックの動作によって変化すると考えられる。

本章では個々の機能ブロック内の電源電圧変動が、周囲の機能ブロックの動作の影響を受け、単体で動作する時よりも大きくなり、その結果動作電流に影響を及ぼす現象（以降この現象を「機能ブロック間干渉」と呼ぶ）に着目する。

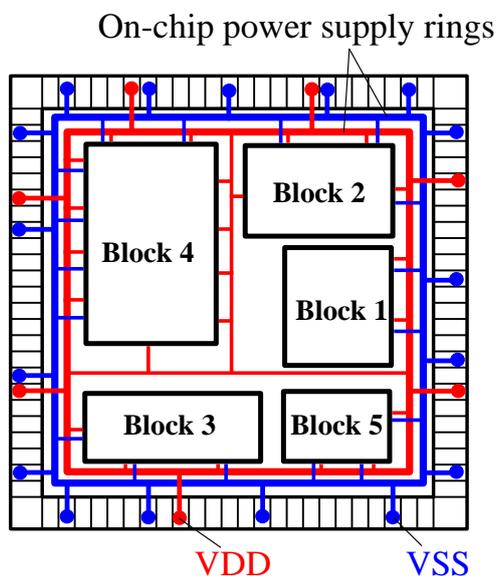
まず、4.2節ではLSI設計フローのどの段階でLSI-core マクロモデルを用いたPIシミュレーションを実施するかについて説明する。また、オンチップ電源電圧変動を考慮した等価電流源の補正を行わない場合、LSI-core マクロモデルとSPICEモデルのPIシミュレーションの結果に差が生じることをテストチップを用いて示す。この際、第3章で提案した個々の機能ブロックの電源電圧変動を考慮した等価電流源の補正手法を適用しても差は十分に改善せず、LSI全体で生じる「機能ブロック間干渉」の考慮が必要であることを説明する。

次に4.3節では、機能ブロック間干渉を考慮し、LSIのコアブロック全体でPIシミュレーションを行う手法を提案する。第3章で示した畳み込み積分と補正を微小時間で交互に行う逐次補正手法をコアブロック全体に拡張した場合、等価電流源の数が多くなり、計算時間が長くなる。そこで、より簡単な計算で短時間に機能ブロック間干渉を考慮可能なシ

第4章 機能ブロック間干渉を考慮したPIシミュレーション手法

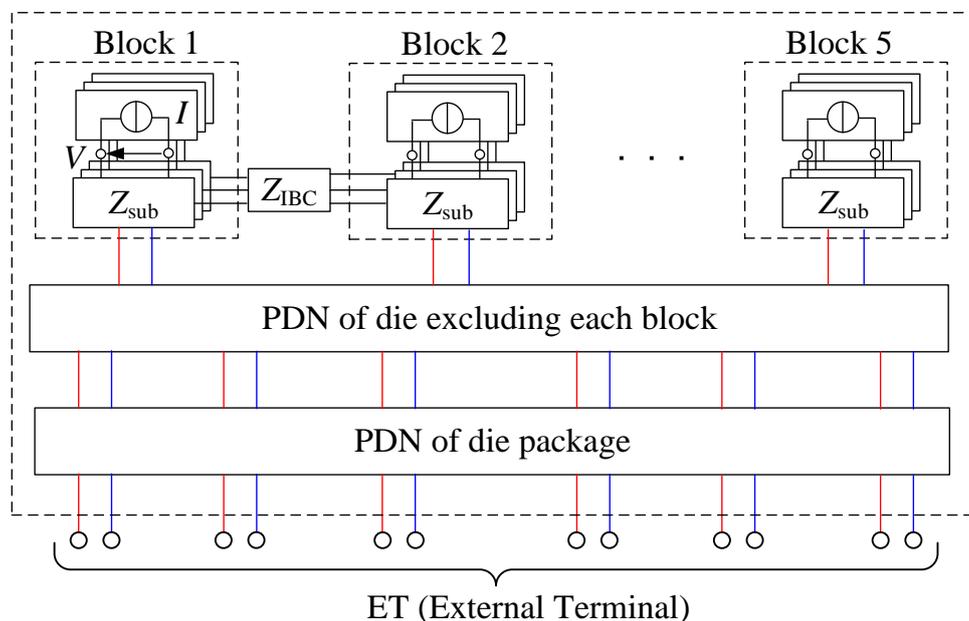
シミュレーション手法を新たに提案している。

最後に4.4節では、実測とシミュレーションを比較し、本論文で提案する等価電流源を補正するシミュレーション手法で実際にシミュレーション精度が向上することを実証している。



(a) LSI with several function blocks.

LSI-core macromodel of an LSI



(b) Block-based ICEM-CE.

Figure 4.1: Conceptual diagram of LSI and ICEM-CE.

4.2. LSI 設計フローにおける LSI-core マクロモデル利用と機能ブロック間干渉の課題

4.2 LSI 設計フローにおける LSI-core マクロモデル利用と機能ブロック間干渉の課題

4.2.1 LSI 設計フローと LSI-core マクロモデルの利用

LSI 設計の現場では分業が進んでおり、機能ブロックごとに異なる設計者が開発を進める。LSI 設計フローの中でどのように LSI-core マクロモデルを構築し、PI シミュレーションに利用するかを Fig. 4.2 を用いて説明する。まず、各機能ブロックの設計者が担当の機能ブロックを設計する。その後、各機能ブロック設計者は詳細な設計情報を用いてインピーダンスモデルと等価電流源を抽出することで担当する機能ブロックのマクロモデルを構築する。オンチップ PDN 設計者は各機能ブロック設計者が構築したマクロモデルを引き継いで、チップ全体の PI をシミュレーションで確認しながら PDN 設計を進める。つまり、Fig. 4.2 のフローでは、オンチップ PDN 設計者は各機能ブロックの詳細な設計情報の代わりにマクロモデルを用いて高速な PI シミュレーションを行うことができるため、開発効率が高くなると考えられる。ただし、この設計フローでは各機能ブロックの設計者は周囲の機能ブロックの動作が不明であるため、機能ブロックに理想的な電源供給が行われる条件でインピーダンスモデルと等価電流源を抽出することになる。

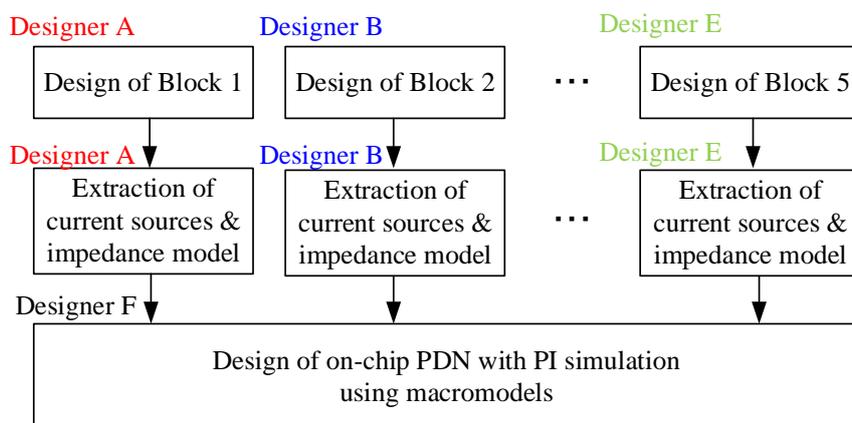


Figure 4.2: On-chip PDN design flow using LSI-core macromodel.

実際の LSI 内部では個々の機能ブロックの動作による電源電圧変動だけでなく、周囲の機能ブロックの動作による電源電圧変動が生じる可能性がある。例えば、Fig. 4.1(a) に示す Block 1 は、同じパワードメインの周囲の機能ブロック (Block 2 や Block 5) の動作で電源電圧変動が生じることが想定される。第 3 章で示したようにオンチップ電源電圧変動によって機能ブロックの動作電流は変化する。したがって、ある機能ブロックの動作電流は周囲の機能ブロックの動作によって引き起こされる電源電圧変動の影響を受け変化する。前節で定義した通りこの現象を機能ブロック間干渉と呼ぶ。

機能ブロック間干渉が生じるため、LSI 全体の PI シミュレーションを行う際には、個々の機能ブロックが単体で動作することで生じる電源電圧変動を考慮した等価電流源の補正だけでなく、コアブロック内の全ての機能ブロックの動作による電源電圧変動を考慮し

第4章 機能ブロック間干渉を考慮したPIシミュレーション手法

て等価電流源の補正を行わなければシミュレーション精度が劣化すると考えられる。したがって、Fig. 4.2に示す設計フローではオンチップPDN設計者は機能ブロック間干渉を考慮しない精度の悪いPIシミュレーションを実行することになる。

そこで、Fig. 4.3のようにオンチップPDN設計者が各機能ブロック設計者が抽出した各機能ブロックのマクロモデルだけでなく、補正係数（第3章で提案した振幅補正係数と時間補正係数）も併せて引き継ぐことで、機能ブロック間干渉も考慮したPIシミュレーションを行う手法を検討する。

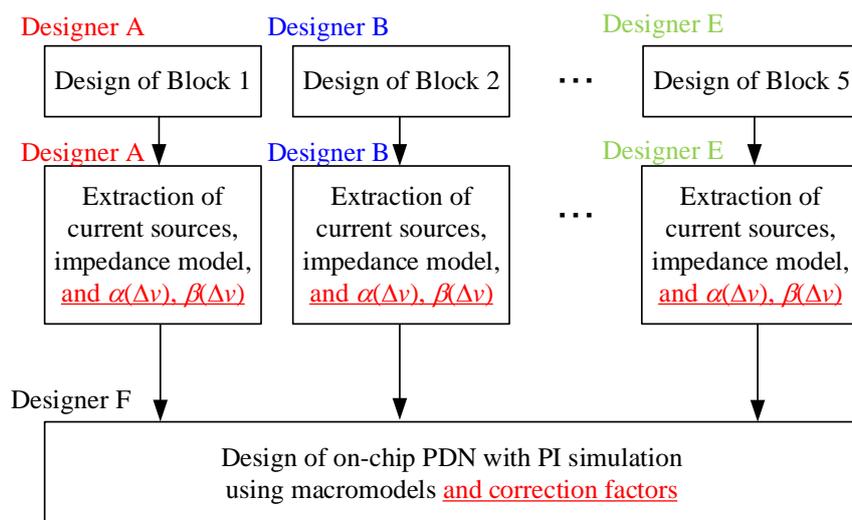


Figure 4.3: On-chip PDN design flow using LSI-core macromodel considering “inter-function-block interference”.

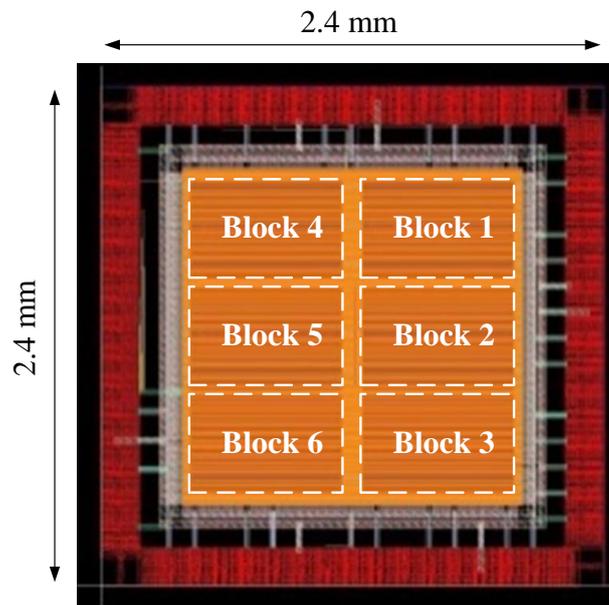
4.2.2 テストチップの概要

機能ブロック間干渉でシミュレーション精度がどのように劣化するか確認するためにFig. 4.4に示すテストチップを用いる。Fig. 4.4(a)に示す通り、テストチップの寸法は2.4 mm × 2.4 mmで、厚さは0.3 mmである。第3章と同様、TSMC社の0.18 μmのCMOSプロセスルールに従い、TSMC社から提供されたスタンダードセルライブラリ [58] とスタンダードI/Oライブラリ [59] を用いてレイアウト設計を行っている。

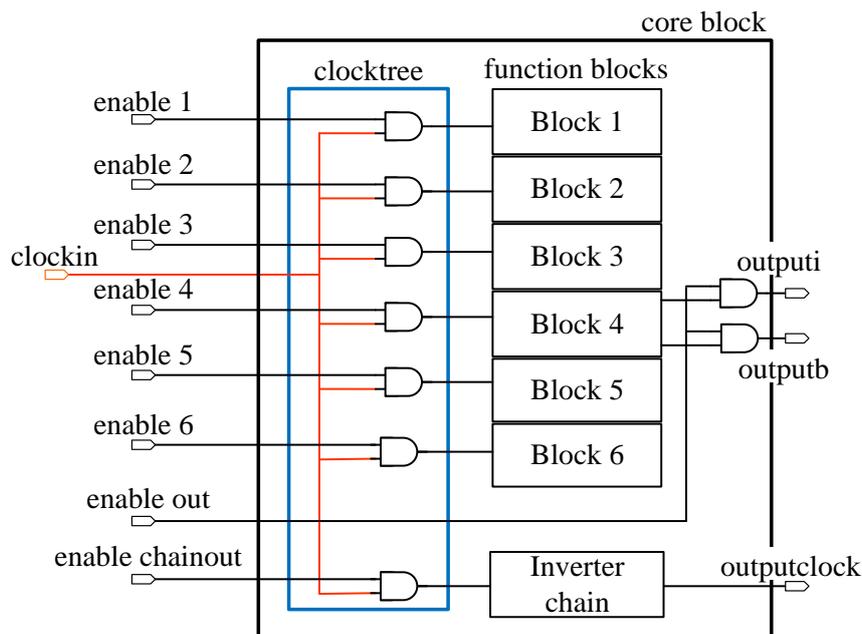
Fig. 4.4(b)にテストチップのコアブロックの構成を示す。テストチップは6つの機能ブロックを持ち、それぞれ同じクロック入力でほぼ同時に動作する。各機能ブロックの動作はクロックの供給を止めることで個別にON/OFFを設定可能である。各機能ブロックは第3章のFig. 3.2と同じ設計であるが、Block 4のみインバータの最終段の波形が観測できるようにI/Oブロックに接続されている。インバータチェーンは本論文で用いていないため、説明を割愛する。

テストチップの電源構成をFig. 4.5に示す。このテストチップはI/O系にVD33(3.3 V)が供給される。クロック入力、enable端子、Block 4からの出力部の電源にはVD33が用

4.2. LSI 設計フローにおける LSI-core マクロモデル利用と機能ブロック間干渉の課題



(a) Layout of test chip.



(b) Structure of core block.

Figure 4.4: Test chip.

いられている。VD33 は上下の 2 箇所から給電される。コアブロックに供給される電源の VDD(1.8 V) は、外周には中央部に比べて太く、低抵抗な金属配線 (power supply rings) があり、中央部のメッシュ状の配線で各機能ブロックに接続される。パッケージに接続される電源端子は複数あり、多ポート給電が可能であるが、本論文ではチップ全体の動作電流と電源電圧変動を観測する目的から、直流電源の供給は上部の 1 箇所から行い、反対側の VDD 端子と直近グラウンド端子間をオンチップ電源電圧変動の観測ポートとする。

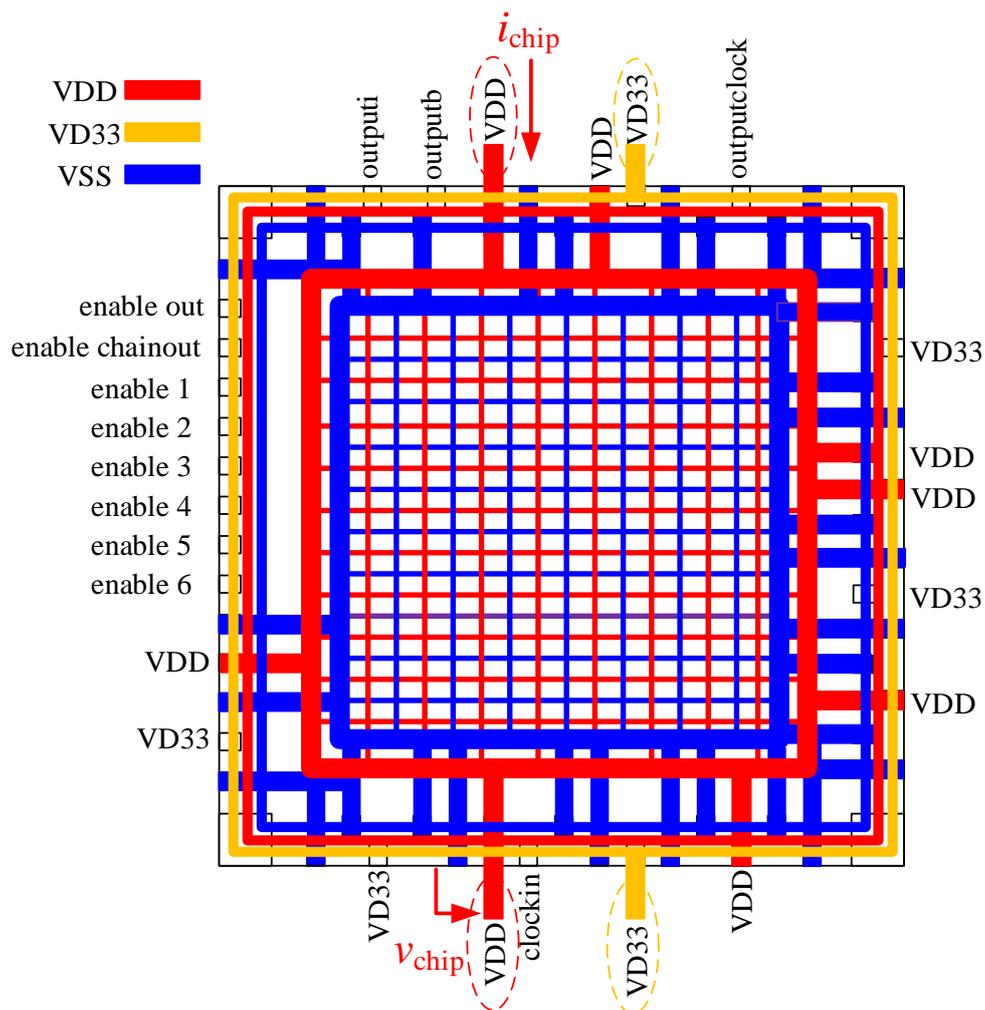


Figure 4.5: PDN structure of test chip.

4.2. LSI 設計フローにおける LSI-core マクロモデル利用と機能ブロック間干渉の課題

4.2.3 PI シミュレーションに対する機能ブロック間干渉の影響度

機能ブロック間干渉の影響を確認するため、機能ブロック間干渉が考慮される SPICE モデルによるシミュレーションと、機能ブロック間干渉が考慮されない従来の LSI-core マクロモデルによるシミュレーションを比較する。比較するパラメータは機能ブロックを複数動作させた際の Fig 4.5 の VDD 観測点の電源電圧変動 v_{chip} と直流電圧源から供給するテストチップ全体の動作電流 i_{chip} とする。

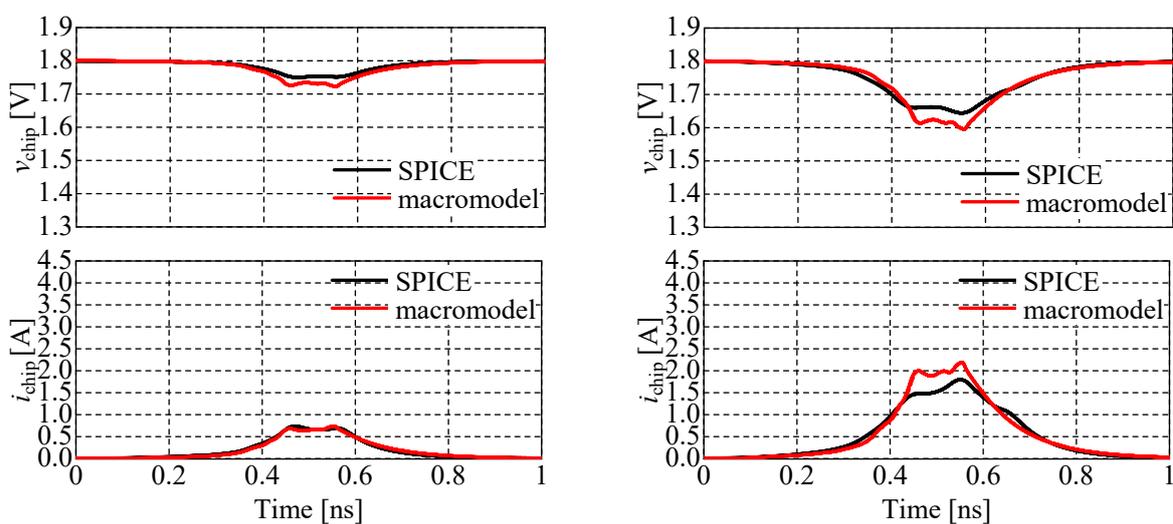
テストチップ全体の SPICE モデルは TSMC 社から提供されたスタンダードセルライブラリ [58] から作成し、スタンダードセルライブラリに含まれないオンチップ配線の寄生インピーダンスは Cadence 社の Virtuoso 上で動作する寄生素子抽出ツール ASSURA でレイアウト情報から抽出している。

LSI-core マクロモデルは、第 3 章で構築した機能ブロックのマクロモデルを用いる。このマクロモデルを 6 個並べ、レイアウト情報とシート抵抗から計算した VDD と VSS のパワーサプライリングのインピーダンスモデルと接続している。

SPICE モデルと、LSI-core マクロモデルのそれぞれで、観測点の電源電圧変動 v_{chip} と直流電圧源から供給するチップ全体の動作電流 i_{chip} をシミュレーションした結果を Fig. 4.6 に示す。Fig. 4.6(a) は機能ブロックを 1 つ動作させた場合のシミュレーション結果であり、Block 6 を動作させている。Fig. 4.6(b) は機能ブロックを 3 つ動作させた場合で、Block 2, 4, 6 を動作させている。Fig. 4.6(c) は全ての機能ブロックが動作している。Fig. 4.6 の黒線と赤線はそれぞれ SPICE モデルと等価電流源の補正を考慮していない従来の LSI-core マクロモデルでシミュレーションした結果を示している。LSI-core マクロモデルの結果は、動作する機能ブロック数にほぼ比例して、動作電流が増加している。一方、SPICE モデルでは動作する機能ブロックが増加しても LSI-core マクロモデルの結果ほど動作電流が増加していない。マクロモデルのシミュレーションでは複数の機能ブロックが動作した際のオンチップ電源電圧変動による動作電流の変化が考慮されていないためこの差が生じている。結果として、6 機能ブロック動作時の電圧降下の最大値はマクロモデルと SPICE モデルで 9.5 % の差が生じている。

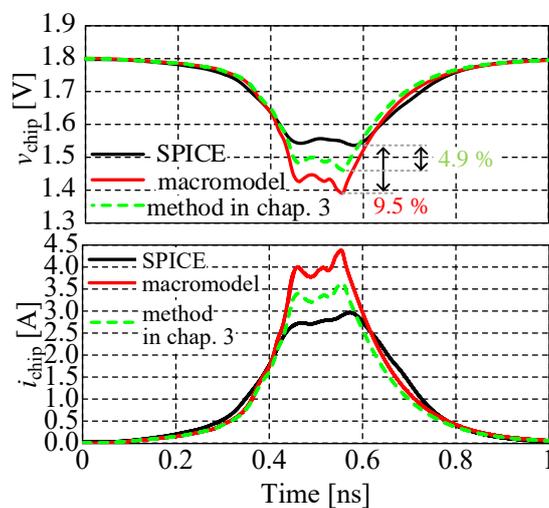
Fig. 4.6(c) には第 3 章の補正手法を取り入れ、個々の機能ブロックの動作で生じる電源電圧変動を考慮して等価電流源を補正した場合のシミュレーション結果を緑破線で示している。SPICE モデルとの差は改善するものの約 5 % の差が残っている。この差が「機能ブロック間干渉」によって生じていると考えられ、LSI 全体の PI シミュレーションを行うには、「機能ブロック間干渉」を考慮した等価電流源の補正が必要であることを示している。

第4章 機能ブロック間干渉を考慮したPIシミュレーション手法



(a) 1 block.

(b) 3 blocks.



(c) 6 blocks.

Figure 4.6: On-chip supply voltage fluctuations and operating currents when varying number of operating function blocks.

4.3 機能ブロック間干渉の補正手法

4.3.1 逐次補正手法

Fig. 4.3 のように機能ブロック設計者からオンチップ PDN 設計者に対して、振幅補正係数と時間補正係数を機能ブロックのマクロモデルと併せて引き継ぐことでオンチップ PDN 設計者が機能ブロック間干渉を考慮した補正を行いながら PI シミュレーションを行う場合を考える。

本節では具体的な計算手法として、まずは 3.4 節で示した逐次補正手法を用いる。

テストチップ全体の LSI-core マクロモデル内部の各サブブロックの各等価電流源と電源電圧変動は式 (3.18) と同様、以下の式で表される。

$$\mathbf{v}(t) = \mathcal{F}^{-1}[\mathbf{Z}(f)] * \mathbf{i}_S(t) \quad (4.1)$$

ただし、 $\mathbf{v}(t)$ は、各サブブロックの電源－グラウンド間の電源電圧変動を示すベクトルで、1つの機能ブロックに 32 個のサブブロックが含まれるため、テストチップ全体で 192 個の要素を持つ。 $\mathbf{i}_S(t)$ も 192 個の要素を持つベクトルで、各サブブロックに接続される等価電流源を表している。 $\mathbf{Z}(f)$ は各サブブロックの等価電流源が接続される電源－グラウンド間のポートからテストチップ全体を見た時のインピーダンス行列であり、 192×192 個の要素を持つ。

各サブブロックの電源電圧変動を考慮した等価電流源の補正は式 (3.11) と同様、以下の式で表される。

$$\mathbf{i}_S(t) = g[\mathbf{v}(t), \mathbf{i}_O(t), \alpha(\Delta v), \beta(\Delta v)] \quad (4.2)$$

g は式 (3.8), (3.9), (3.10) で示したように、チップ内部の過渡的な電源電圧変動 $\mathbf{v}(t)$ に応じて、基準電流源 $\mathbf{i}_O(t)$ を振幅補正係数 $\alpha(\Delta v)$ と時間補正係数 $\beta(\Delta v)$ を用いて補正する関数である。なお、基準電流源 $\mathbf{i}_O(t)$ は各サブブロックを理想給電状態としたときに抽出される動作電流から求めた等価電流源である (3.3.2 節参照)。

3.4 節で示した逐次補正手法で式 (4.1) と式 (4.2) の連立方程式を解き、全ての機能ブロックを動作させた場合の $\mathbf{i}_S(t)$ と $\mathbf{v}(t)$ を得る。その $\mathbf{i}_S(t)$ を用いて Fig. 4.4(a) に示す観測点の電源電圧変動 $v_{\text{chip}}(t)$ とテストチップ全体の動作電流 $i_{\text{chip}}(t)$ をシミュレーションした結果を Fig. 4.7 に示す。補正を考慮しない LSI-core マクロモデルを用いた場合は最も電圧降下が大きい点で SPICE モデルとの差が 9.5% 生じ、個々の機能ブロックの動作のみを考慮した補正を行った場合は 4.9% の差であったが、テストチップ全体で補正を行い、機能ブロック間干渉も考慮することで SPICE モデルとの差が 1.1% まで改善している。

4.3.2 繰り返し補正手法

逐次補正手法は式 (4.1) と式 (4.2) の連立方程式を解くことで等価電流源を導出している。この計算手法は複雑であり、等価電流源の数 n が大きい場合は $n \times n$ 行列のインパルス応

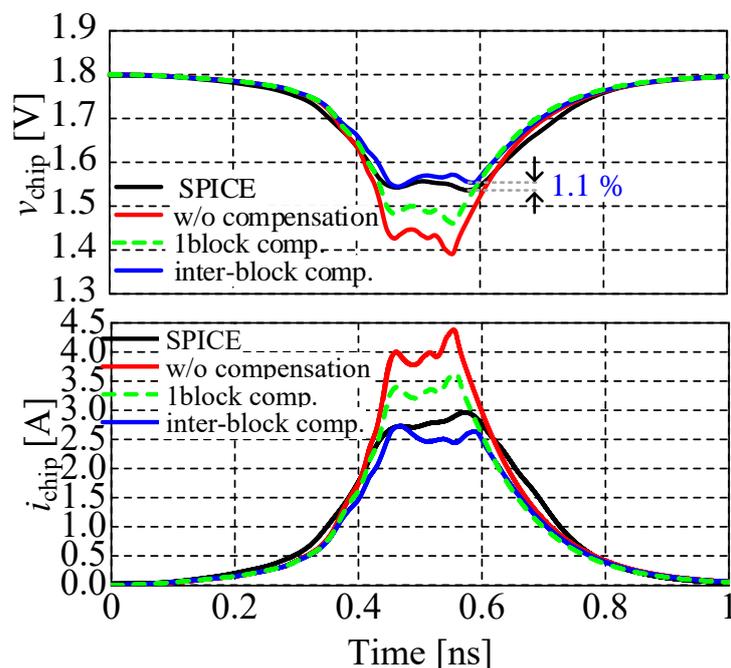


Figure 4.7: Effect of compensation by solving simultaneous equations.

答の計算や、畳み込み演算で計算時間がかかる。今回のテストチップは約12万ゲートの規模に対して $n = 192$ のサブブロックを用いてモデル化しており、計算時間は約10分であった。

そこで逐次補正手法よりも簡単な手順で短時間にシミュレーションを行う「繰り返し補正手法」を新たに提案する。

Fig. 4.8に繰り返し補正手法のフローチャートを示す。まず、等価電流源 $i_S(t)$ の初期値を各サブブロックに理想電圧源を接続して抽出した動作電流から求められる基準電流源 $i_O(t)$ とする。HSPICEやPSPICEのような一般的な回路シミュレータを用いることで式(4.1)を解き $v(t)$ が得られる。次に、得られた $v(t)$ を用いて式(4.2)の補正を行うことで、 $i_S(t)$ が更新される。更新された $i_S(t)$ を用いて再度回路シミュレータで $v(t)$ を計算する。このように式(4.1)と式(4.2)の処理を繰り返す過程で $v(t)$ が収束する。収束した $v(t)$ と $i_S(t)$ は式(4.1)と式(4.2)を満たすため、逐次補正手法で解いた連立方程式の解と一致する。本論文では収束判定の例として観測点 ($v_{\text{chip}}(t)$) の最大の電圧降下が生じているポイントで電圧の差が1%未満となるように設定している。

この計算手法で $v(t)$ と $i_S(t)$ が収束する理由は以下のように説明できる。振幅補正係数 $\alpha(\Delta v)$ は Fig. 3.13(a)に示す通り単調増加の関数となっているため、電圧降下が大きくなれば小さくなる。つまり、大きな電圧降下が生じている $v(t)$ で補正をかけると $i_S(t)$ は小さくなり、その $i_S(t)$ を用いて回路シミュレーションを行うと結果として $v(t)$ の電圧降下は小さくなる。逆に、電圧降下が小さいときは振幅補正係数 $\alpha(\Delta v)$ は大きくなるため、 $i_S(t)$ も大きくなり、回路シミュレーションの結果 $v(t)$ は小さくなる。時間の補正に関して同様の説明が可能である。

4.3. 機能ブロック間干渉の補正手法

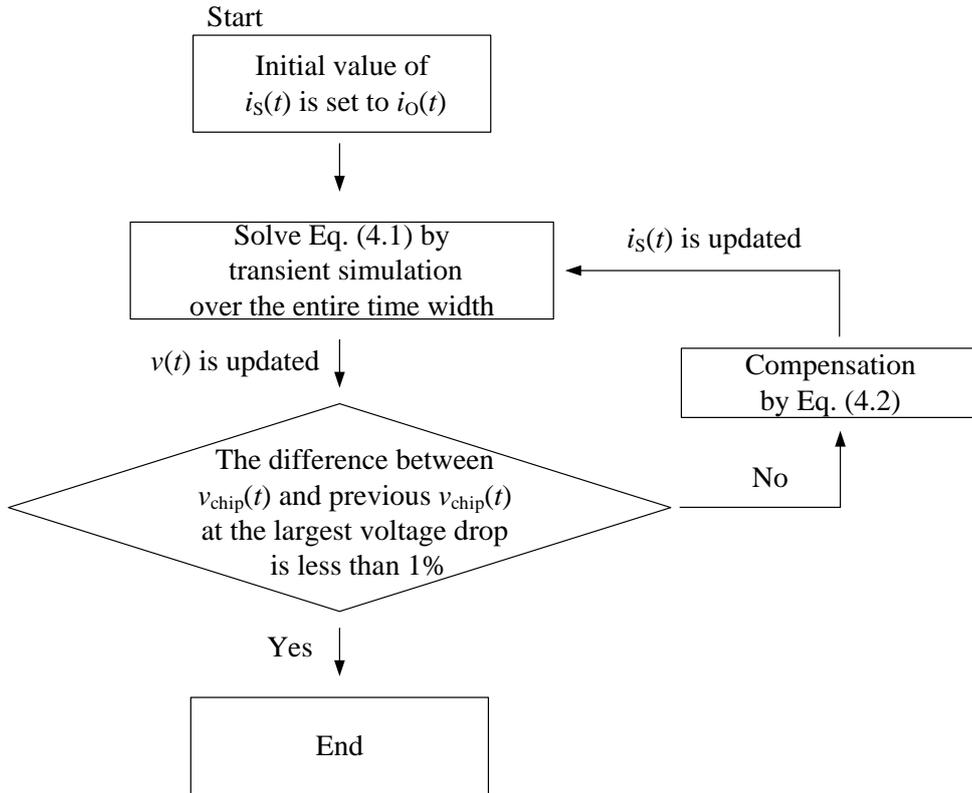


Figure 4.8: Flow chart of iterative compensation method.

Fig. 4.8 のフローチャートは式で表現すると以下のように記述できる。

$$\mathbf{v}^{(0)}(t) = \mathcal{F}^{-1}[\mathbf{Z}(f)] * \mathbf{i}_O(t) \quad (4.3)$$

$$\mathbf{i}_S^{(1)}(t) = g[\mathbf{v}^{(0)}(t), \mathbf{i}_O(t), \alpha(\Delta v), \beta(\Delta v)] \quad (4.4)$$

$$\mathbf{v}^{(1)}(t) = \mathcal{F}^{-1}[\mathbf{Z}(f)] * \mathbf{i}_S^{(1)}(t) \quad (4.5)$$

$$\mathbf{i}_S^{(2)}(t) = g[\mathbf{v}^{(1)}(t), \mathbf{i}_O(t), \alpha(\Delta v), \beta(\Delta v)] \quad (4.6)$$

$$\mathbf{v}^{(2)}(t) = \mathcal{F}^{-1}[\mathbf{Z}(f)] * \mathbf{i}_S^{(2)}(t) \quad (4.7)$$

⋮

$$\mathbf{i}_S^{(k)}(t) = g[\mathbf{v}^{(k-1)}(t), \mathbf{i}_O(t), \alpha(\Delta v), \beta(\Delta v)] \quad (4.8)$$

$$\mathbf{v}^{(k)}(t) = \mathcal{F}^{-1}[\mathbf{Z}(f)] * \mathbf{i}_S^{(k)}(t) \quad (4.9)$$

ここで、 $\mathbf{i}_S^{(k)}(t)$ 及び $\mathbf{v}^{(k)}(t)$ はそれぞれ k 回目の補正を行った際の等価電流源と電源電圧変動を示す。

式 (4.3) は電源電圧変動がない条件下で抽出された基準電流源 $\mathbf{i}_O(t)$ を用いて各サブブ

第4章 機能ブロック間干渉を考慮したPIシミュレーション手法

ロックの電源電圧変動を計算している。本来よりも大きな動作電流が流れるため、機能ブロック間干渉による電流の変化を考慮しておらず、 $v^{(0)}(t)$ は本来よりも大きな電源電圧変動となる。次に式(4.4)は本来よりも大きな電源電圧変動 $v^{(0)}(t)$ で等価電流源の補正を行っているため、 $i_s^{(1)}(t)$ は本来よりも小さな電流値になる。式(4.5)で $v^{(1)}(t)$ は $i_s^{(1)}(t)$ を用いて計算されるため、本来よりも小さな電源電圧変動となる。このように回路シミュレーションと補正を交互に行うことで、 $v(t)$ と $i_s(t)$ は互いに式(4.1)と式(4.2)の連立方程式の解に収束していく。

実際に全ての機能ブロックを動作させた際の $v_{\text{chip}}(t)$ と $i_{\text{chip}}(t)$ を繰り返し補正手法を用いて計算した結果をFig. 4.9に示す。繰り返し補正を行うことで、 $v_{\text{chip}}(t)$ と $i_{\text{chip}}(t)$ が逐次補正手法による式(4.1)と式(4.2)の連立方程式の解に収束していることが分かる。

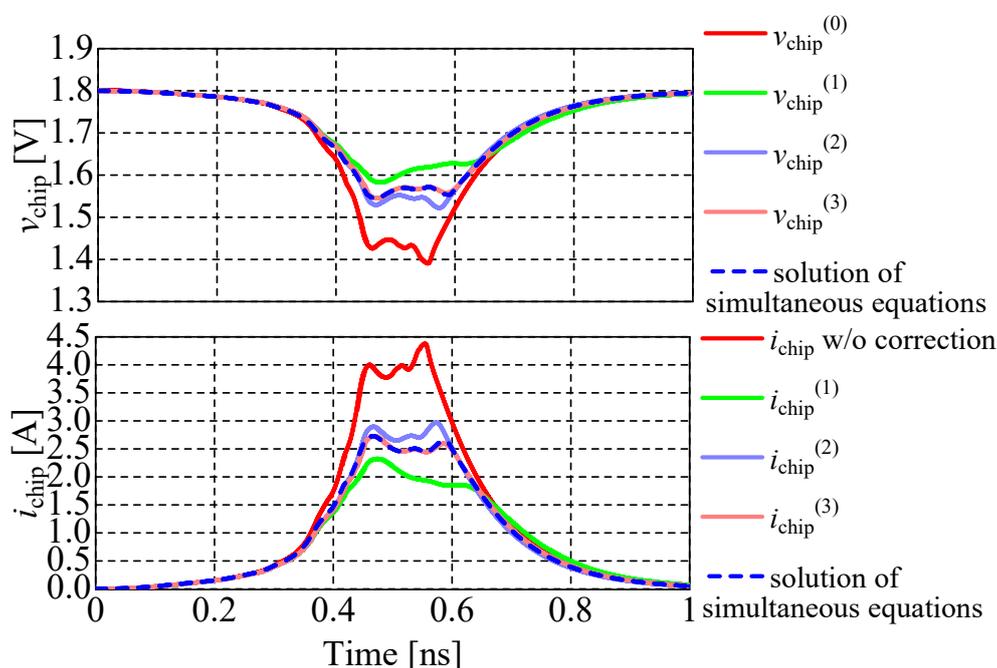


Figure 4.9: Convergence of iterative compensation to solution of simultaneous equations.

Table 4.1に各計算手法の計算時間を示す。前述の通り、逐次補正手法はインパルス応答行列の抽出と畳み込み積分の計算時間が長く、10分以上を要する。一方、繰り返し補正手法では1回の回路シミュレーションと補正を合わせた計算時間は15秒程度である。4回の繰り返して3回目の繰り返しに対し $v_{\text{chip}}(t)$ の電源電圧降下の最大値の差が1%未満に収束したため、繰り返し補正が収束するまでの計算時間は1分となった。2.4mm角で約12万ゲートを持つ今回のテストチップでは2つの手法の差は10分以下であるが、チップの規模が大きくなるとその差が大きくなると考えられる。さらに、オンチップPDNの設計者はPIシミュレーションをしながらオンチップ配線やオンチップ容量の最適化を行うため、この差は何度も繰り返される開発期間中のシミュレーション合計時間に大きな影響を与えると考えられる。

Fig. 4.10に動作する機能ブロック数を変化させた時の $v_{\text{chip}}(t)$ と $i_{\text{chip}}(t)$ を繰り返し補正手法を用いて計算した結果を示す。補正を行わない場合、動作ブロック数が多くなるにつれ

4.3. 機能ブロック間干渉の補正手法

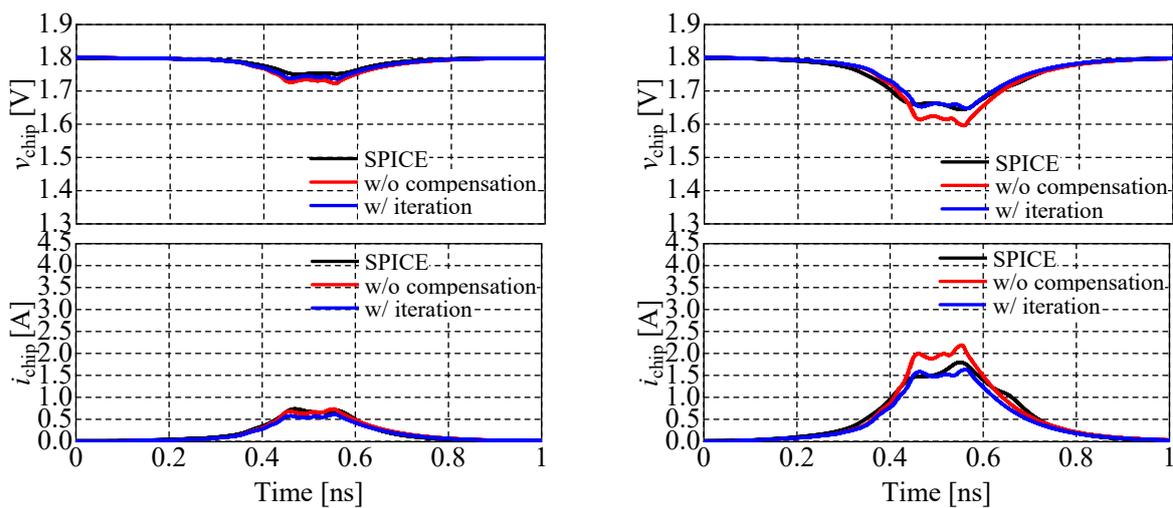
Table 4.1: Computation time of each calculating method.

計算手法	計算時間
テストチップ全体 SPICE モデル	10 時間 30 分
マクロモデル（畳み込みと補正の逐次計算）	10 分 30 秒
マクロモデル（繰り返し補正）	1 分

シミュレーション条件
CPU:Ryzen threadripper 2990WX(3.0 GHz)
回路シミュレータ：HSPICE ver. 2019 for linux 64
プログラミング言語：Matlab R2020a（補正と畳み込み積分に使用）

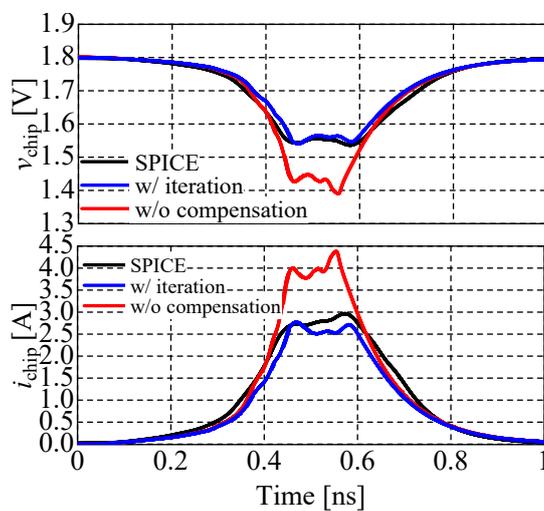
て SPICE モデルと LSI-core マクロモデルのシミュレーション結果の差が大きくなっていたが、繰り返し補正手法で機能ブロック間干渉を考慮することで SPICE モデルと同等の PI シミュレーションが可能であることが示された。

第4章 機能ブロック間干渉を考慮したPIシミュレーション手法



(a) 1 block.

(b) 3 blocks.



(c) 6 blocks.

Figure 4.10: Comparison of using SPICE model and iterative compensation method.

4.4 実測による提案手法の精度検証

4.3 節までは SPICE モデルと LSI-core マクロモデルを比較することで、シミュレーション精度を検討してきた。本節では実測と LSI-core マクロモデルを用いたシミュレーションの比較を行い、提案した等価電流源の補正手法によるシミュレーション精度の向上を実証する。

LSI-core マクロモデルと実測の比較を行う上で、SPICE モデルとの比較では考慮してこなかった 1. ワイヤボンディング、2. PCB、3. サブストレート*のインピーダンスをそれぞれ追加するため、それらの説明を行ったのちに実測との比較を示す。なお、これらのインピーダンスは参考文献 [60] で抽出した値を一部用いているため、その箇所については [60] を引用して説明する。

4.4.1 ワイヤボンディングおよび PCB のインピーダンスのモデル化

ワイヤボンディングと PCB のインピーダンスのモデル化について説明する。テストチップを PCB に実装した写真と断面の概略図をそれぞれ Fig. 4.11, Fig. 4.12 に示す。

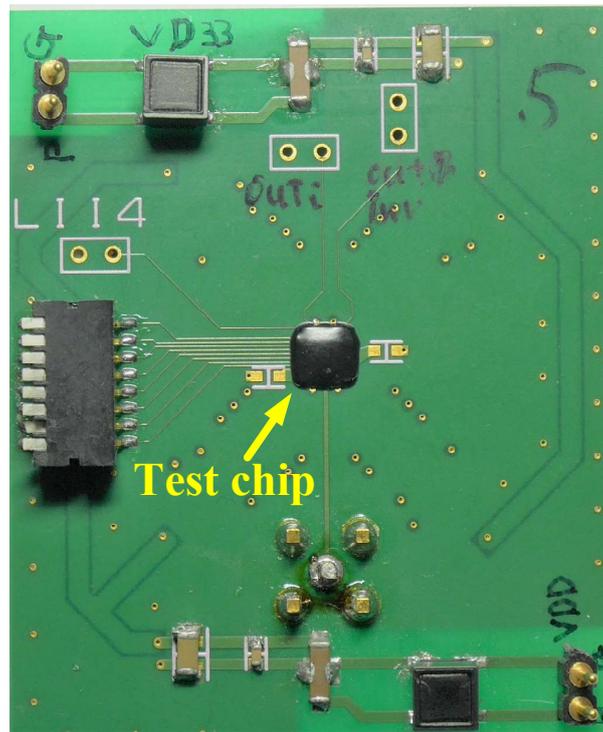


Figure 4.11: Picture of PCB with test chip.

*本論文では CMOS 回路が形成される半導体基板をサブストレートと呼んでいる。

第4章 機能ブロック間干渉を考慮したPIシミュレーション手法

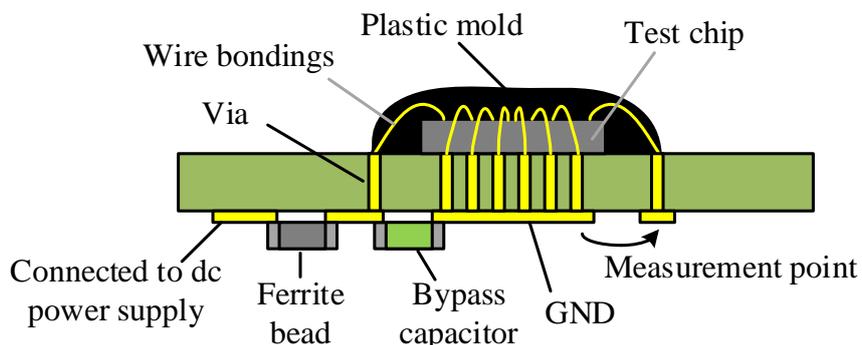


Figure 4.12: Cross section image of PCB.

ワイヤボンディング部 [60]

Fig. 4.12 に示す通り，テストチップはPCB上に直接実装され，チップ上の各端子はワイヤボンディングでPCBに接続されている．ワイヤボンディングはFig. 4.13に示すように放射状に設計されており，配線長は $690\ \mu\text{m}$ である．ワイヤボンディングのインピーダンスをANSYS社の3次元電磁界解析ツールであるQ3Dを用いて集中定数で抽出した結果，1本あたりのインダクタンスは約 $0.57\ \text{nH}$ であった．Q3Dでは，各導体間の相互インダクタンスも計算可能であるため，各ワイヤ間の結合係数も考慮したL行列として抽出し，テストチップのマクロモデルに接続する．

1本あたりの抵抗値 R は配線の抵抗率 ρ ，断面積 S ，長さ l を用いて

$$R = \rho \frac{l}{S} \quad (4.10)$$

と求めることができる．金の抵抗率 $\rho = 2.21 \times 10^{-8}\ \Omega\cdot\text{m}$ と，ワイヤボンディングの直径 $25\ \mu\text{m}$ から $R = 31.1\ \text{m}\Omega$ と計算でき，インダクタンスとあわせてテストチップのマクロモデルに接続する．

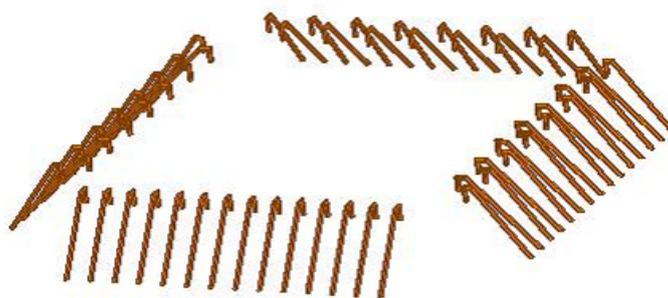


Figure 4.13: Wire bondings.[60]

PCB 部

PCB は 4 層基板になっており、1 層目は信号配線・制御配線、2 層目は GND 層、3 層目は無配線、4 層目が電源配線層となっている。テストチップ周辺のレイアウト拡大図を Fig. 4.14 に示す。

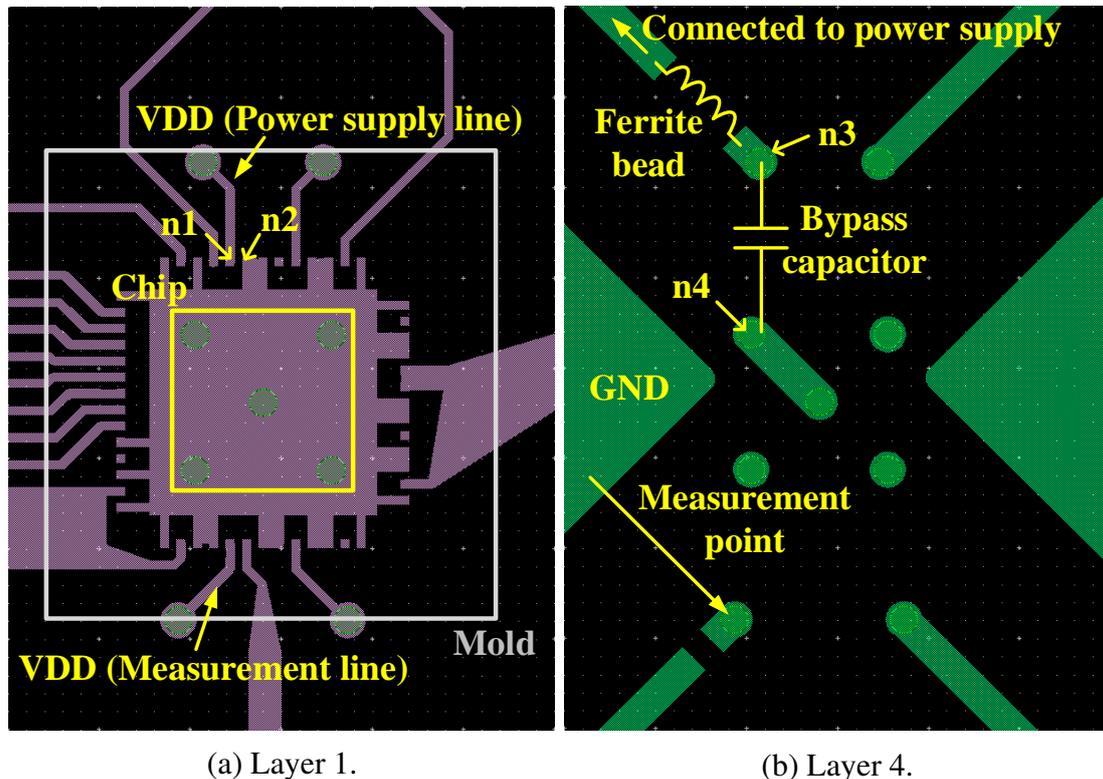


Figure 4.14: Layout of PCB.

コアブロック用の電源 ($VDD=1.8\text{ V}$) はテストチップの上側と下側に 1 本ずつ配線があり、上側を電源供給、下側は電源電圧変動の観測に用いる。各電源配線はワイヤボンディングでテストチップの端子から PCB に接続されたのち、PCB 上の配線とビアによって 4 層目に引き回されている。電源供給側のワイヤボンディング用のパッドは Fig. 4.14(a) の n1 で直近のグラウンドのワイヤボンディングのパッドが n2 である。電源供給側は 4 層目のビア直近で $10\ \mu\text{F}$ のバイパスコンデンサ (村田製作所 GRM188B31A106ME69) と、フェライトビーズ (村田製作所 BLM18AG102SN1) を用いてバイパスとデカップリングを行い、直流電源側のインピーダンスが影響しないようにしている。これらの部品のモデルはメーカーが提供する集中定数回路のモデルを用いる。

テストチップ周辺配線のインピーダンス抽出には Keysight 社の 2.5 次元電磁界解析ツールである Momentum を用いた。まず、電源および電源直近のグラウンドのワイヤボンディングのパッド位置 (Fig. 4.14(a) の n1 および n2) にポートを設定し、バイパスコンデンサの実装位置 (Fig. 4.14(b) の n3 および n4) をショートしたときの S パラメータを抽出する。その後、求めた S パラメータをインピーダンスに変換し、インダクタンス値を計算する。

第4章 機能ブロック間干渉を考慮したPIシミュレーション手法

Fig. 4.15 に示す配線インピーダンスの計算結果から、ワイヤボンディングのパッド部からバイパスコンデンサ実装部までのインダクタンス値を 1.49 nH とする。

LSI-core マクロモデルにワイヤボンディングと PCB 配線のインピーダンスを追加した回路図を Fig. 4.16 に示す。ワイヤボンディングや PCB の配線はインダクタンスだけでなく、抵抗も抽出しているが Fig. 4.16 では省略している。

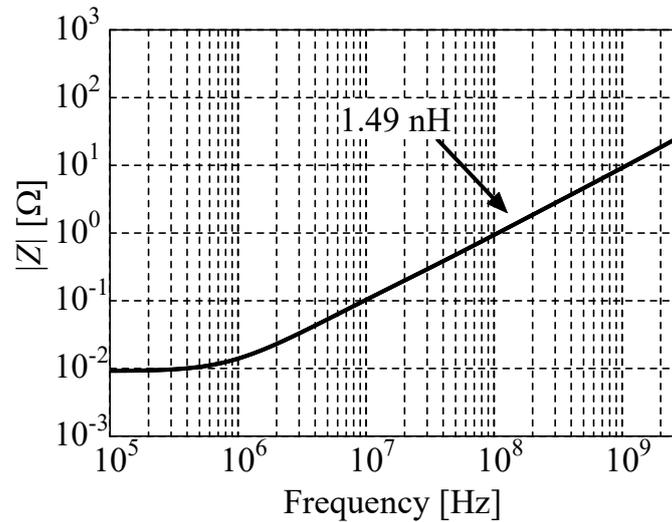


Figure 4.15: Impedance of PCB from wirebonding pads to capacitor.

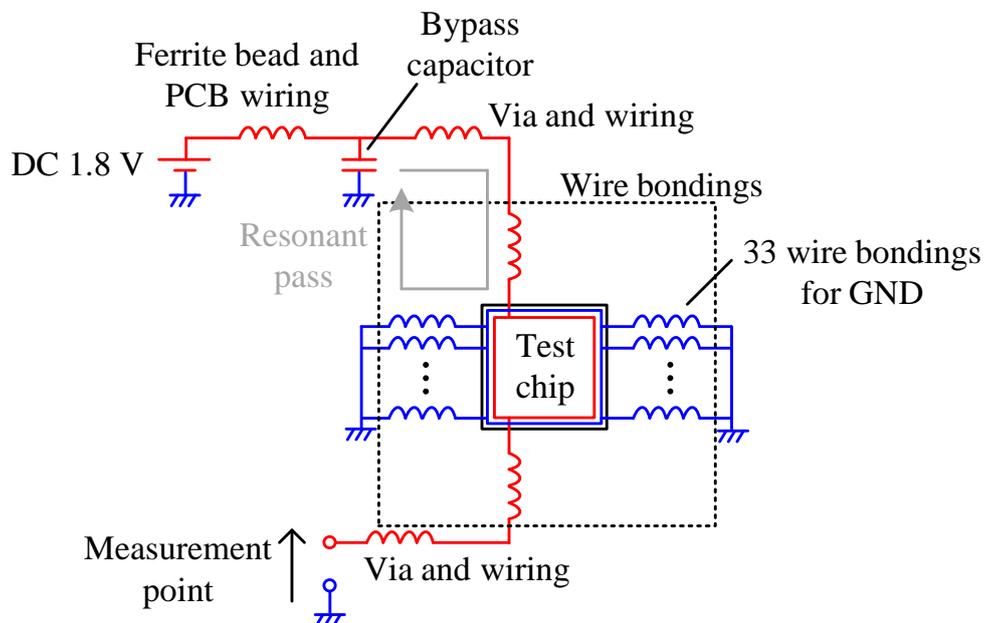


Figure 4.16: Circuit diagram of PCB.

4.4.2 サブストレートインピーダンスのモデル化

LSI を設計する際、電源ーグラウンド間には意図して設計した配線や CMOS 回路に存在する寄生インピーダンスの他に、意図せず発生するサブストレートの寄生インピーダンスが存在する [26][65][66][67]。前者は設計情報から抽出した SPICE モデルで考慮されるため、SPICE モデルから構築した LSI-core マクロモデルでも考慮されているが、後者は別途抽出する必要がある。

PN 接合における寄生容量 [60]

サブストレートを含む MOSFET は Fig. 4.17 のような構造になっており、電源側の N-well と P-substrate の間には寄生接合ダイオードが存在している。N-well には逆バイアスを印加することで寄生のトランジスタの動作を防いでいるが、寄生接合ダイオードにより N-well と P-substrate の間に容量が発生する [67]。この寄生容量を、N-well の底面・P-substrate 間に存在する底面接合容量 C_{BW} と N-well の側面・P-substrate 間に存在する側壁周辺接合容量 C_{BWSW} の 2 種類に分けて求める。

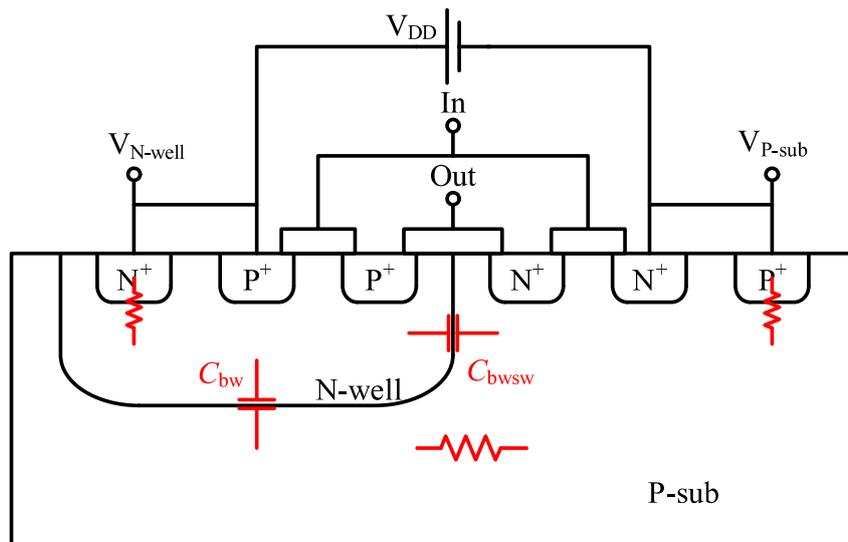


Figure 4.17: Structure of substrate.[60]

まず、底面接合容量 C_{BW} について述べる。底面接合容量は以下の式で計算される。

$$C_{BW} = A_w C_{JBW} \quad (4.11)$$

A_w は N-well と P-substrate が接合している面積であり、 C_{JBW} は単位面積あたりの底面接合

第4章 機能ブロック間干渉を考慮したPIシミュレーション手法

容量である。これらは、それぞれ以下の式で計算される。

$$C_{JBW} = C_J \left(1 - \frac{V_{BS}}{P_B}\right)^{-M_J} \quad V_{BW} < 0 \quad (4.12)$$

$$C_{JBW} = C_J \left(1 + M_J \frac{V_{BS}}{P_B}\right) \quad V_{BW} \geq 0 \quad (4.13)$$

C_J はバイアスなしでの単位面積当たりの底面接合容量、 P_B は底面接合でのビルトイン電位、 M_J は底面接合の容量傾斜係数である。

次に、側壁周辺接合容量 C_{BWSW} について述べる。側壁周辺接合容量は以下の式で計算される。

$$C_{BWSW} = P_W C_{JBWSW} \quad (4.14)$$

P_W は N-well・P-substrate 基板接合の周辺長、 C_{JBWSW} は単位長あたりの周辺接合容量である。また、単位長あたりの周辺接合容量 C_{JBWSW} は以下の式で表される。

$$C_{JBWSW} = C_{JSW} \left(1 - \frac{V_{BS}}{P_{BSW}}\right)^{-M_{JSW}} \quad V_{BW} < 0 \quad (4.15)$$

$$C_{JBWSW} = C_{JSW} \left(1 + M_{JSW} \frac{V_{BS}}{P_{BSW}}\right) \quad V_{BW} \geq 0 \quad (4.16)$$

C_{JSW} はバイアスなしでの単位長当たりの周辺容量、 P_{BSW} は側壁接合でのビルトイン電位、 M_{JSW} は側壁接合の容量傾斜係数である。

求めた底面接合キャパシタンス C_{BW} と側壁周辺接合容量 C_{BWSW} の総量が N-well と P-substrate の間に存在する容量であるため、 C_{APBW} は、

$$C_{APBW} = C_{BW} + C_{BWSW} \quad (4.17)$$

である。

本論文のテストチップにおいては、TSMC 社から提供されたデザインルール [68] の値 (C_J , P_B , M_J) から、テストチップの N-well・P-substrate の 1.8 V バイアス時における底面容量の合計は、86.7 pF と求まる。また同様にして、1.8 V バイアス時における周辺容量の合計は 368 pF と求められる。

このサブストレートの PN 接合に起因する電源・グラウンド間の容量を 192 個あるサブブロックに均等に分配する。分配したサブブロック単位の PN 接合の容量、2.37 pF を、Fig. 3.6 に示すサブブロックの線形等価回路における論理回路部のインピーダンスに並列になる位置に接続する。その図を Fig. 4.18 に示す。

P-substrate と N-well の抵抗

Fig. 4.17 の $V_{N\text{-well}}-V_{P\text{-sub}}$ 間は容量のみではなく、N-well と P-substrate の抵抗を介して繋がっている。したがって、サブストレートの等価回路は Fig. 4.18 に示す通り、寄生容量に直列に抵抗を接続したものを考える必要がある。

4.4. 実測による提案手法の精度検証

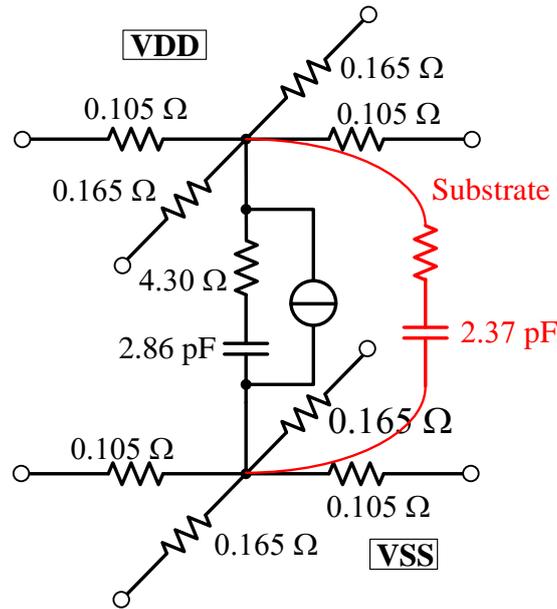


Figure 4.18: Impedance of subblock considering substrate.

設計情報からこの抵抗を求める際は P-substrate の導電率とレイアウト情報から電磁界シミュレーションなどで抽出可能であるが，データシートから導電率を入手することができなかつたため，本論文では実測から推定する。

Fig. 4.14(b) に示すフェライトビーズとバイパスコンデンサを除去した状態で n3 と n4 の間にポートを立てて S パラメータを測定し，S-Z 変換することでパッケージや PCB 配線を含むテストチップの電源-グラウンド間のインピーダンスを得ることができる。

測定には Table 4.2 に示すネットワークアナライザと同軸プローブを用い，同軸プローブの先端で校正を行っている[†]。

Table 4.2: Measurement equipments for test chip impedance.

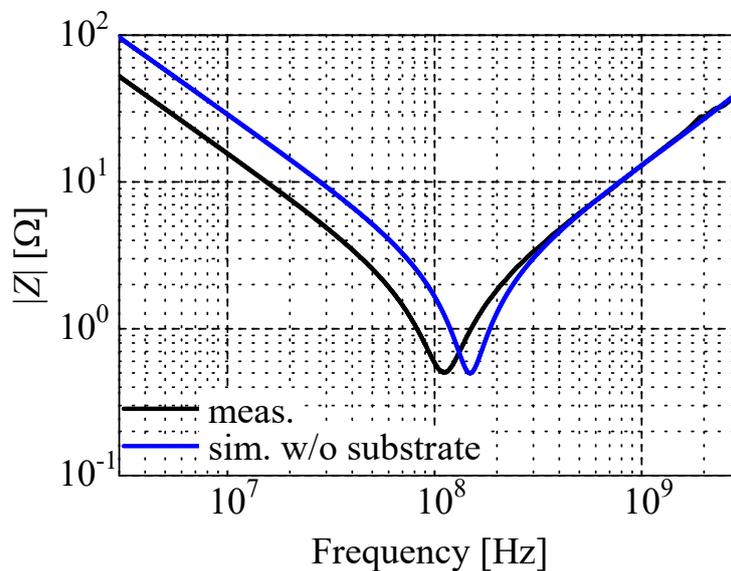
機器名	メーカー	品番
ネットワークアナライザ	Keysight	E5071C
同軸プローブ	yokowo	CPHF-C-3
校正用アダプタ	yokowo	CPHF-CA0.5

ネットワークアナライザに搭載されるバイアスティーを用いて 1.8 V を供給した状態で S パラメータを測定し，S-Z 変換した結果を Fig. 4.19 に示す。Fig. 4.19 にはサブストレートのインピーダンスを追加せずに n3, n4 からみたインピーダンスのシミュレーション結果

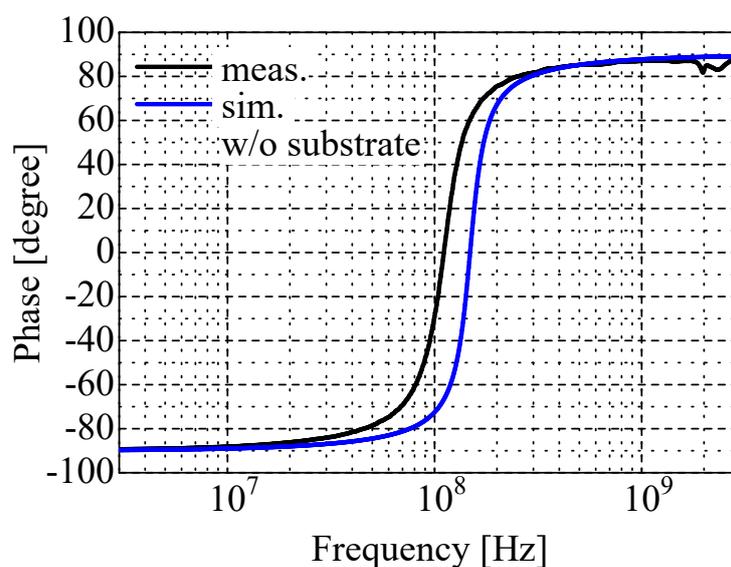
[†]校正には Table 4.2 に示す校正用アダプタ CPHF-CA0.5 を用いており，アダプタの電気長を port extension によって差し引いている。(参考)https://yokowods.co.jp/products/microwave-inspection-tools/function-probe/cphf_ca_series/

第4章 機能ブロック間干渉を考慮したPIシミュレーション手法

も示している。サブストレートの容量を考慮しない場合、実測とシミュレーションでチップ全体の容量値が異なり、共振周波数もずれていることが分かる。



(a) Magnitude.



(b) Phase.

Figure 4.19: Impedance of test chip.

次に、サブストレートの抵抗値を見積もるために、Fig. 4.18のようにサブストレートのインピーダンスを追加した場合のインピーダンスの実部を実測とシミュレーションで比較する。Fig. 4.14(b)のn3, n4間のポートから見たインピーダンスの実部をFig. 4.20に示す。実測の10 MHz以下のインピーダンスは容量成分、1 GHz以上の範囲ではインダクタンス成分が支配的であり、ネットワークアナライザで測定する反射電力の大半が虚部の

4.4. 実測による提案手法の精度検証

値となるため実部の測定精度が悪化していると考えられる。10 MHz から数百 MHz の範囲の値から、チップ全体の抵抗値は約 0.5Ω と推定できる。シミュレーションでサブストレートのインピーダンスを考慮する際は Fig. 4.18 に示すように、サブストレートの寄生容量 2.37 pF に直列に抵抗を追加している。この抵抗の値を $20 \Omega \pm 50\%$ の範囲で変化させたときのインピーダンスのシミュレーション結果も Fig. 4.20 に示している。サブブロック 1 個あたりのサブストレートの抵抗値を 20Ω とした際に、チップ全体の実部の抵抗値が約 0.5Ω となり、実測結果とほぼ一致している。そこで、サブストレートの抵抗はサブブロック 1 個あたり 20Ω と推定した。なお、付録 B に抵抗値の推定誤差があった場合に電源電圧変動のシミュレーション結果に与える影響を説明している。

サブブロック 1 個あたりの電源-グラウンド間のサブストレートのインピーダンスを 2.37 pF , 20Ω としたときの n3, n4 から見たインピーダンスの絶対値と位相を Fig. 4.21 に示す。LSI-core マクロモデルにワイヤボンディング、PCB、サブストレートのインピーダンスモデルをそれぞれ追加したシミュレーション結果と実測がほぼ一致していることが分かる。

Fig. 4.21 の実測およびシミュレーション結果から、テストチップ全体の容量とインダクタンス値を計算した結果を Table. 4.3 に示す。容量とインダクタンスについては設計情報から構築したが、実測との誤差が 1 % 程度で抽出できている。

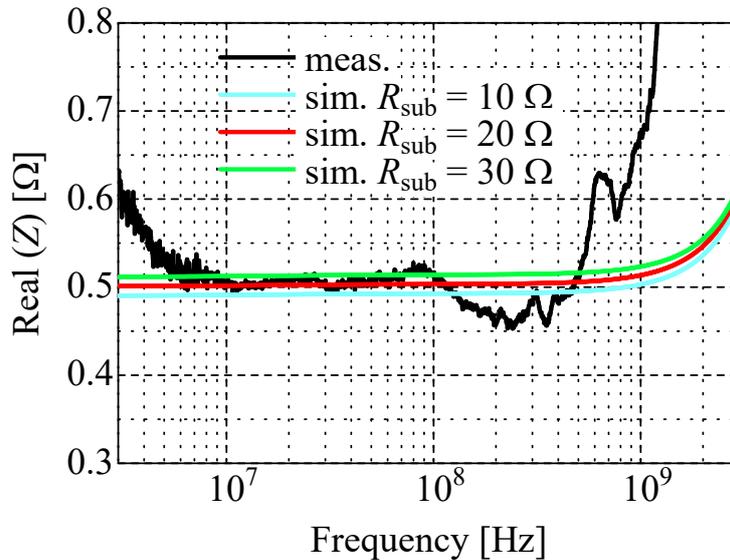
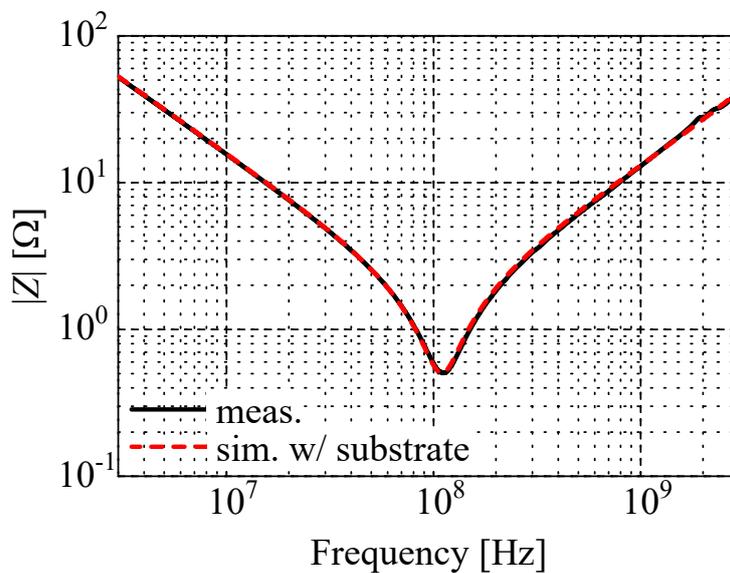
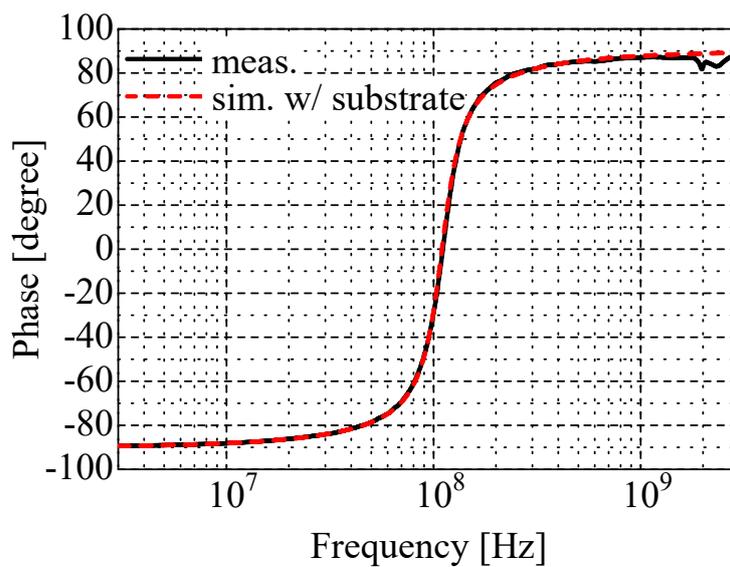


Figure 4.20: Impedance of test chip (real part).



(a) Magnitude.



(b) Phase.

Figure 4.21: Impedance of test chip considering substrate impedance.

Table 4.3: Capacitance and Inductance of test chip.

	C [pF]	L [nH]
Measurement	1013	2.07
Macromodel	1004	2.09

4.4.3 LSI-core マクロモデルを用いたシミュレーションと実測の比較

Fig. 4.14(b) に示す電源－グラウンド間の観測点の電源電圧変動を Table 4.4 に示す測定機を用いて取得した。

Table 4.4: Measurement equipments for voltage fluctuations.

機器名	メーカー	品番	備考
アクティブ差動プローブ	R&S	RT-ZD40	帯域 4.5 GHz
デジタルオシロスコープ	R&S	RTO2044	帯域 4 GHz, 10GSa/s

動作ブロック数を変化させたときの観測点の電源電圧変動の実測結果と対応するシミュレーション結果を Fig. 4.22 に示す。Fig. 4.22(a) は実測、(b) はオンチップ電源電圧変動を考慮した等価電流源の補正を行ったマクロモデルのシミュレーション結果、(c) は等価電流源の補正を行っていない従来手法のマクロモデルを用いたシミュレーション結果である。テストチップの動作によって約 2 ns で電圧降下が発生し、その後約 3 ns までに収束している約 2.2 GHz の減衰振動と、約 110 MHz の減衰振動が生じている。約 2 ns で生じている電圧降下の要因については付録 C で分析している。約 110 MHz の減衰振動は Fig 4.21 に示すバイパスコンデンサ実装位置からテストチップのインピーダンスを測定した際の共振周波数と一致していることから、Fig. 4.16 に示す通り、バイパスキャパシタ、PCB 配線、ワイヤボンディングを含む経路の共振である。約 2.2 GHz の減衰振動はシミュレーションには現れていないため、今回のシミュレーション回路で考慮できていない樹脂モールドしたワイヤボンディング部に発生している微小な寄生容量や観測側の配線の寄生容量等が影響していると推測している。

テストチップの動作によって生じる約 2 ns の電圧降下に着目し、機能ブロック数と最大電圧降下量の関係を Fig. 4.23 に示す。電源電圧変動による等価電流源の補正を行わない従来のマクロモデルを用いたシミュレーションでは動作ブロック数が増えるにつれて誤差が大きくなり、6 機能ブロック動作時に実測との誤差は最大で 0.38 V(供給電圧の 21%) である。一方、本論文の提案手法で機能ブロック間干渉を含めた電源電圧変動を考慮した等価電流源の補正を行うことで、動作ブロック数が増えても誤差は増加せず、実測とシミュレーションで誤差は 0.06 V(供給電圧の 3.3%) となっている。オンチップ電源電圧変動を考慮し、等価電流源を補正する本論文の提案手法で PI シミュレーション精度が向上することが実証された。なお、本章では定常状態においてクロックが 1 回入力された際のシミュレーションを行っているが、高いクロック周波数でテストチップが動作する際の電源電圧変動に関する検討を付録 D に示している。

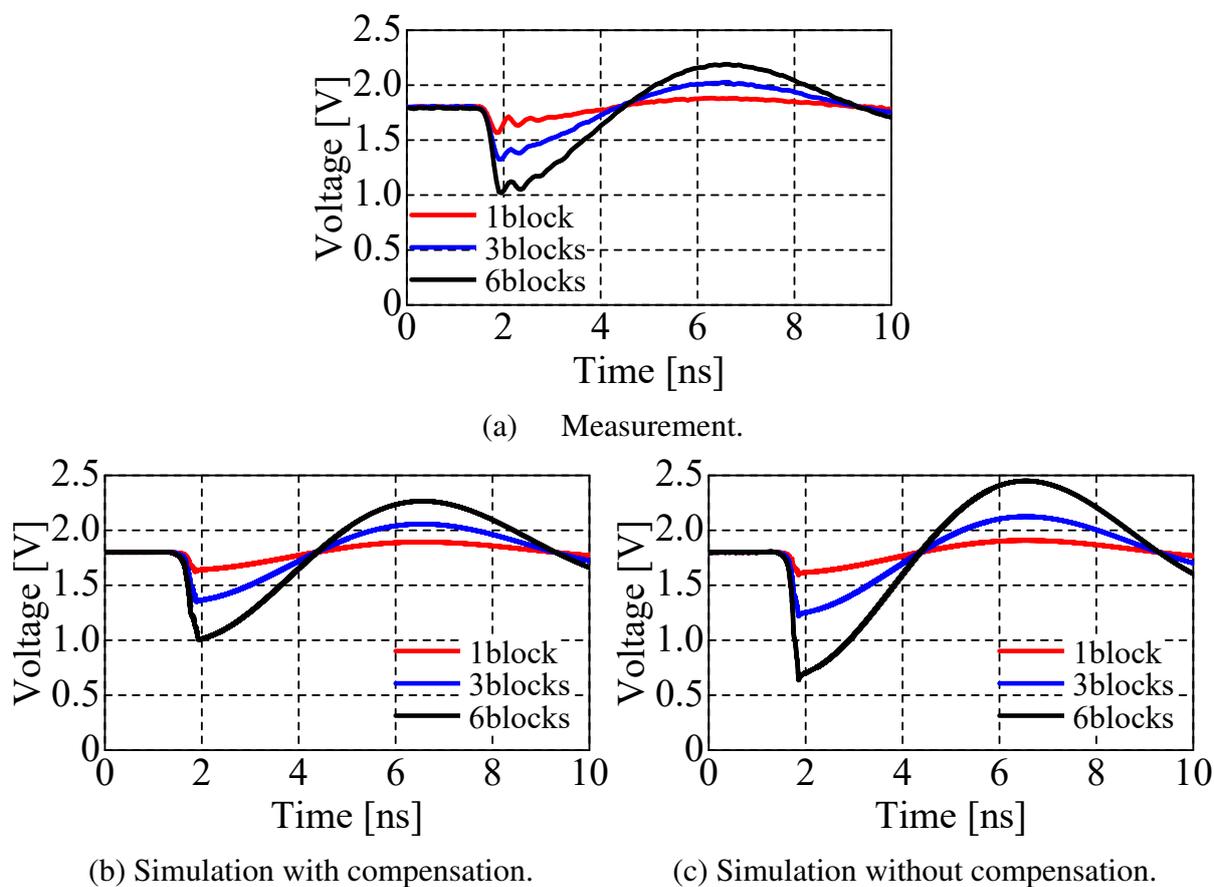


Figure 4.22: Supply voltage fluctuations of test chip at measurement point.

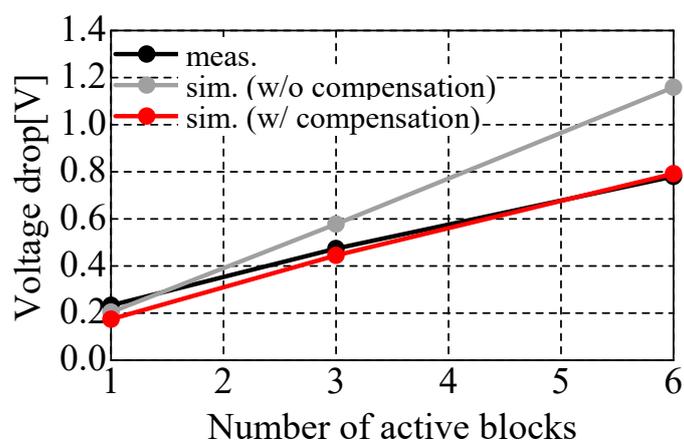


Figure 4.23: Maximum voltage drop of measurement point.

4.5 第4章のまとめ

本章では LSI-core マクロモデルを用いた LSI コアブロック全体の PI シミュレーションの精度向上を目的とし、複数の機能ブロックが動作した際に生じる機能ブロック間干渉を考慮したシミュレーション手法を提案した。

まず課題提起として、LSI のコアブロック内部には同一パワードメインに複数の機能ブロックが含まれるため個々の機能ブロックの動作によって生じる電源電圧変動だけでなく、周囲の機能ブロックの動作による電源電圧変動の影響で機能ブロックの動作電流が変化する現象（機能ブロック間干渉）が生じることを説明した。個々の機能ブロックの LSI-core マクロモデルを機能ブロック設計者が作成し、オンチップ PDN 設計者がそれを引き継いで PI シミュレーションを行う場合は機能ブロック間干渉が考慮できず、LSI-core マクロモデルと SPICE モデルの差が大きくなることを機能ブロックを 6 個持つテストチップで示した。

次に、機能ブロック設計者が LSI-core マクロモデルだけでなく、第3章で提案した振幅補正係数と時間補正係数もオンチップ PDN 設計者に引き継ぐことで、LSI コアブロック全体で機能ブロック間干渉も考慮した補正を行いつつ PI シミュレーションを行う手法を提案した。さらに、第3章の微小時間ごとに行う逐次補正手法では LSI の規模が大きくなった際に計算負荷が大きくなることから、回路シミュレーションと補正を交互に繰り返し、同等の精度で高速に計算が行える繰り返し補正手法を提案した。この手法を用いた場合、約 12 万ゲートを持つテストチップの電源電圧変動の計算に SPICE モデルで 10 時間以上かかっていた時間を 1 分に短縮できることを示した。

最後に、提案手法の有効性を検証するためにテストチップの LSI-core マクロモデルにチップサブストレート、ワイヤボンディング、PCB のインピーダンスモデルを接続し、PCB 上のテストチップ直近の電源電圧変動シミュレーションを行い、電圧降下量を実測と比較した。補正を行わない場合は基準電圧 1.8 V に対し、最大で 0.38 V(基準電圧の 21 %)の誤差が生じる一方、提案手法では 0.06 V(基準電圧の 3.3 %)の誤差となり、提案手法によるシミュレーション精度向上を実証した。

今後の課題として提案手法を商用マイコンなどへ適用していくことが挙げられる。今回のテストチップは入力クロックに対して動作が固定されているが、動作がプログラムに依存して変化する一般の LSI の場合は PI が最悪となるケースを想定したテストベクターを定義してシミュレーションを行う必要がある。このような場合に対しても提案する補正手法を適用することで PI シミュレーションの精度が向上することを検証する必要がある。

第5章 結論

本研究では LSI のコアブロックの動作に起因する電子機器の設計課題である PI や EMI をシミュレーションで予測するための LSI-core マクロモデルを対象とし、マクロモデルの物理的解釈とシミュレーション精度の向上を目的に、以下2つの課題に取り組んだ。

課題 1. 時変回路である LSI コアブロックを時不変回路で表せる理由の解明

CMOS のスイッチングで回路が変化する LSI のコアブロックを、LSI-core マクロモデルはインピーダンスが変化しない時不変回路と等価電流源で表してきた。なぜ時変回路である LSI コアブロックが時不変回路で表現できるか、従来研究では十分に論じられてこなかった。

課題 2. オンチップ電源電圧変動を考慮した等価電流源導出手法

CMOS の動作は電源電圧によって変化することが知られている。一方、従来の LSI-core マクロモデルは電源が理想的に供給されている状態で動作電流を抽出しており、オンチップ電源電圧変動が生じた際の動作電流の変化については考慮されてこなかった。

上記課題 1. に対して、第 2 章にて LSI コアブロックを表現する時変回路のマクロモデルであるスイッチモデルが LSI-core マクロモデルに等価変換できることを過渡領域のノートンの等価回路理論を用いて解析的に示すことで、本来時変回路である LSI の動作が時不変回路である LSI-core マクロモデルで表現できることを示した。解析的導出の中で、LSI-core マクロモデルの物理的解釈として以下のことを明らかにした。

- ・ LSI コアブロック内部で出力が Low から High に遷移するゲートと、High から Low に遷移するゲートがマクロ的に見てほぼ同数ある。そこで、マクロ的に Low から High に遷移するゲート群の電源－グラウンド間のインピーダンスと High から Low に遷移するゲート群の電源－グラウンド間のインピーダンスを並列に接続した際に、コアブロック全体としてインピーダンスの変化がない時不変回路で表現が可能である。
- ・ LSI-core マクロモデルの等価電流源はスイッチングによって生じる動作電流を過渡領域のノートンの等価回路で表現したものであると考えることができる。また、等価電流源はスイッチングが生じる瞬間のコアブロック内部の電圧に依存して振幅が変化する。そのため、スイッチング時にオンチップ電源電圧変動が存在する場合は振幅方向にスケールリングを行った等価電流源を用いる必要がある。

1 つ目の内容について、CPU や DSP などでは Low から High へ遷移するゲートと High から Low へ遷移するゲートがほぼ同数とみなしてよいと考えられるが、メモリではバラン

第5章 結論

スが崩れた動作を行う場合があると予想される。そのような場合についても動作していないゲートがオンチップキャパシタのように振る舞うことを考慮することでインピーダンスの時不変性を説明できると予想しているが、今後の検討課題となる。2つ目の内容については、課題2. に繋がっている。

第3章では、課題2. のオンチップ電源電圧変動を考慮した等価電流源導出手法について検討した。まず、実際のLSIと同様に出力がHighのゲートとLowのゲートがほぼ同数となるように設計されたCMOSテストチップの機能ブロックを対象回路とし、設計情報を元に抽出したSPICEモデルを用いて理想給電状態の動作電流から等価電流源を導出する従来手法のLSI-coreマクロモデルを構築した。CMOS動作電流はチップ内の電源電圧に依存して変化することが知られているが、従来手法のマクロモデルではオンチップ電源電圧変動を考慮しないモデルとなっていた。そのため、従来手法のマクロモデルで機能ブロックの動作電流をシミュレーションした結果がSPICEモデルに対して十数%の差が生じることをテストチップを用いて示した。そこで、供給する直流電圧が変化したときのサブブロックの動作電流が振幅方向と時間方向に伸縮した波形となることに着目し、電源電圧変動に対して等価電流源を補正する振幅補正係数と時間補正係数を提案した。さらに、過渡的に変化するオンチップ電源電圧変動の計算とその電源電圧変動に対する振幅補正係数と時間補正係数を用いた等価電流源の補正を微小時間ごとに交互に行う逐次補正手法を提案した。テストチップの機能ブロックの動作電流を提案手法を適用したLSI-coreマクロモデルとSPICEモデルのそれぞれでシミュレーションしたところ、両者の差分は数%であり、従来手法の十数%から改善した。時間方向の差も最後段のゲート動作で生じるピークの時刻が従来手法はSPICEモデルに対して6~10ps程度の差が生じていたが、提案手法では2ps以下に改善することを確認した。

第4章では、課題2. に関してLSIのコアブロック全体に範囲を広げて検討した。LSIのコアブロック内部には同一パワードメインに複数の機能ブロックが含まれるため、個々の機能ブロックの動作によって生じる電源電圧変動だけでなく、周囲の機能ブロックの動作による電源電圧変動の影響で動作電流が変化するという「機能ブロック間干渉」が生じることに着目した。LSI設計フローの中で個々の機能ブロックのLSI-coreマクロモデルを機能ブロック設計者が作成し、オンチップPDN設計者がそれを引き継いでPIシミュレーションを行う場合は機能ブロック間干渉が考慮できず、LSI-coreマクロモデルとSPICEモデルの差が大きくなることを機能ブロックを6個持つテストチップで示した。そこで、PDN設計者が各機能ブロックのLSI-coreマクロモデルだけでなく、振幅補正係数と時間補正係数を引き継ぎ、補正を行いながらLSIコアブロック全体のPIシミュレーションを行う手法を提案した。その中で、第3章で提案した逐次補正手法をそのままコアブロック全体に適用すると計算負荷が大きくなることから、回路シミュレーションと補正を交互に行う繰り返し補正手法を提案し、高速にコアブロック全体の計算が行えることを示した。提案手法の効果を確かめるため、6つの機能ブロックを持つテストチップの電源電圧変動をLSI-coreマクロモデルを用いたシミュレーションと実測で比較した。オンチップ電源電圧変動を考慮しない従来のLSI-coreマクロモデルは、動作する機能ブロック数が多くなるにつれ、機能ブロック間干渉の影響で誤差が大きくなり、最大で0.38V(供給電圧の21%)程度の誤差が生じていた。一方、提案手法で機能ブロック間干渉を考慮した等価

電流源の補正を行った場合、0.06 V(供給電圧の3.3%)の誤差となった。提案手法による機能ブロック間干渉の考慮でLSI-core マクロモデルのPI シミュレーション精度が向上することを実証した。

今後の課題としては、今回構築した等価電流源補正手法をマイコンなどの商用LSIに適用して効果を検証することや、補正を回路シミュレータでより簡便に行うためのプログラムの実装等が挙げられる。また、LSI-core マクロモデルの普及にはCPMなどの商用ツールで簡単にモデルの抽出が行えることも重要である。そこで、商用ツールで抽出したLSI-core マクロモデルに提案手法を適用する方法も検討する必要がある。商用マイコンなどに適用する際の技術的課題として、以下4点の検討が必要と考えている。1つ目は、本論文ではインバータとバッファのみで構成された単純な回路を用いたが、異なる複数の論理ゲートで複雑に構成された回路で生じる動作電流の電源電圧依存性も今回のテストチップと同様に振幅方向と時間方向に伸縮した形となっており、本論文と同じ方法で振幅補正係数と時間補正係数を抽出し、等価電流源の補正に適用できるかの検討である。2つ目は、参考文献 [34][46]などに挙げられるプログラム依存性を考慮した際の等価電流源の補正も本論文の提案手法で可能か検証である。3つ目は、本論文のテストチップではサブブロックの切れ目が明確であったが、明確な切れ目がないレイアウトに対するブロックの分け方の検討である。4つ目は、LSIのPDN設計者はLSIのPIが最悪になるケースを想定してオンチップPDNの最適化を図るため、PIが最悪となるテストベクターを定義した上で、そのテストベクターにおける等価電流源の抽出と補正を検討する必要があると考えられる。

本研究で得られた成果と上記今後の課題の検討によって、LSI-core マクロモデルを用いたPI シミュレーションやEMI シミュレーションの精度向上が期待できる。これにより、LSIベンダの開発期間短縮、開発コスト削減の一助になると考えられる。また、精度の良いLSI-core マクロモデルの提供が進めばLSIだけでなく電子機器のPI設計およびEMC設計のモデルベース開発が進み、電子機器の設計効率向上にも貢献できると考えられる。

参考文献

- [1] M. Liu, “Unleashing the future of innovation,” IEEE International Solid-State Circuits Conference (ISSCC), pp. 9-16, 2021.
- [2] M. Ramdani, E. Sicard, A. Boyer, S. B. Dhia, J. J. Whalen, T. H. Hubing, M. Coenen, and O. Wada, “The electromagnetic compatibility of integrated circuits – past, present, and future,” IEEE Trans. Electromagn. Compat., vol. 51, no. 1, pp. 78–100, Feb. 2009.
- [3] 宇佐美公良, “超低電圧 LSI の設計技術,” IEICE Fundamentals Review, vol. 10, no. 3, pp. 195-205, 2017.
- [4] ITRS, “International technology roadmap for semiconductors 2.0 2015 edition executive summary,” 5. System Integration, pp. 11-16, 2015.
- [5] C. R. Paul, “EMC 概論,” 第 7 章 信号スペクトル, pp.357-427, 三松株式会社, 1996.
- [6] エレクトロニクス実装学会電磁特性技術委員会, “EMC 設計技術応用編,” 第 3 章 グラウンドバウンスと EMI, pp.30-43, エレクトロニクス実装学会, 2004.
- [7] M. Swaminathan, “Designing for power integrity : status, challenges and opportunities,” IEEE Electromagn. Compat. Mag., vol. 2, pp. 60-66, 2013.
- [8] T. Matsushima, R. Asai, T. Nishimoto, and O. Wada, “Degradation of signal integrity due to package-common-mode resonance caused by external conductive noise in power supply system,” 2012 Asia-Pacific Symposium on Electromagnetic Compatibility, pp. 85-88, Singapore, May, 2012.
- [9] 和田修己, “チップ・パッケージ・ボードのパワーインテグリティの基礎,” エレクトロニクス実装学会誌, vol. 12, no. 3, pp. 170-174, May. 2009.
- [10] 久保寺忠, “高速デジタル回路実装ノウハウ,” 第 7 章 パソコンの役割とその最適容量, pp. 119-147, CQ 出版, 2002.
- [11] エレクトロニクス実装学会電磁特性技術委員会, “EMC 設計技術基礎編,” 第 1 章 EMC 設計に向けて, pp.1-14, エレクトロニクス実装学会, 2004.
- [12] Electromagnetic compatibility of multimedia equipment - Emission requirements, CISPR 32 Ed. 2.0, 2015.

参考文献

- [13] Industrial, scientific and medical equipment - Radio - frequency disturbance characteristics - Limits and methods of measurement, CISPR 11 Ed. 6.0, 2015.
- [14] Vehicles, boats and internal combustion engines - Radio disturbance characteristics - Limits and methods of measurement for the protection of on-board receivers, CISPR 25 Ed. 5.0, 2021.
- [15] 電気学会 情報・通信機器のノイズイミュニティ計測技術調査専門委員会, “情報通信機器のノイズイミュニティ－電磁障害防止に向けて－,” 第2章イミュニティ規格とその標準化, pp. 10-52, コロナ社, 2002.
- [16] 浅井秀樹, “高速電子設計のための SI/PI/EMI シミュレーション技術－過去, 現在, そして未来－,” IEICE Fundamentals Review, vol. 5, no. 2, pp. 146-154, 2011.
- [17] L. D. Smith, R. E. Anderson, D. W. Forehand, T. J. Pelc, and T. Roy, “Power distribution system design methodology and capacitor selection for modern CMOS technology,” IEEE Trans. Adv. Packag., vol. 22, no. 3, pp. 284-291, Aug. 1999.
- [18] D. M. Hockanson, and J. Ted Dibene II, “Power delivery for high performance processor packages - Part I,” 2007 IEEE International Symposium on Electromagnetic compatibility, pp. 1-6, July, 2007.
- [19] C. R. Paul, “EMC 概論,” 第8章 放射エミッションとサセプタビリティ, pp.429-458, 三松株式会社, 1996.
- [20] EMC IC Modelling – Part 4: Models of Integrated Circuits for RF immunity behavioural simulation - Conducted immunity modelling (ICIM-CI), International Electrotechnical Commission Standard IEC 62433-4 Ed. 1, 2016.
- [21] Integrated Circuits - Measurement of Electromagnetic Immunity 150 kHz to 1 GHz - Part 4 : Direct RF Power Injection Method, International Electrotechnical Commission Standard IEC 62132-4, Ed. 1.0, 2006.
- [22] Y. Kondo, M. Izumichi, and O. Wada, “Simulation of bulk current injection test for automotive components using electromagnetic analysis,” IEEE Trans. Electromagn. Compat., vol. 60, no. 4, pp. 866-874, Aug. 2018.
- [23] 近藤陽介, “電磁界解析を用いた車載電子機器の伝導性 EMC 設計技術に関する研究,” 第5章 BCI 試験性能予測および設計技術, 京都大学博士論文 (工学), pp. 63-95, 2018.
- [24] D. Kosaka, M. Nagata, Y. Murasaka, and A. Iwata, “Chip-level substrate coupling analysis with reference structures for verification,” IEICE Trans. Fundam. Electron. Commun. Comput. Sci., vol. E90-A, no. 12, pp. 2651-2660, Dec. 2007.

- [25] Y. Ogasahara, T. Enami, M. Hashimoto, T. Sato, and T. Onoye, "Validation of a full-chip simulation model for supply noise and delay dependence on average voltage drop with on-chip delay measurement," *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 54, no. 10, pp. 868–872, Oct. 2007.
- [26] T. Matsuno, D. Kosaka, and M. Nagata, "Modeling of power noise generation in standard-cell based CMOS digital circuits," *IEICE Trans. Fundam. Electron. Commun. Comput. Sci.*, vol. E93-A, no. 2, pp. 440–447, Feb. 2010.
- [27] 小山敦, 久門尚史, 和田修己, "時変抵抗を用いた LECCS モデルによる CMOS 出力バッファの線形時不変解析," *信学技報, EMCJ2007-8*, vol. 107, no. 25, pp. 43-48, Apr. 2007.
- [28] EMC IC Modelling – Part 2: Models of Integrated Circuits for EMI behavioural simulation – Conducted Emissions modelling (ICEM-CE), International Electrotechnical Commission Standard IEC 62433-2 Ed. 1, 2008.
- [29] EMC IC Modelling – Part 2: Models of Integrated Circuits for EMI Behavioural Simulation – Conducted Emissions Modelling (ICEM-CE), International Electrotechnical Commission Standard IEC 62433-2 Ed. 2, 2017.
- [30] M. Ramdani, J. L. Levant, and R. Perdriau, "ICEM model extraction : a case study," 2004 International Symposium on Electromagnetic Compatibility, vol. 3, pp. 969-973, Aug. 2004.
- [31] J.L. Levant, M. Ramdani, and R. Perdriau, "ICEM modeling of micro-controller current activity," *Microelectron. J.*, vol.35, no.6, pp. 501–508, June 2004.
- [32] R. Perdriau, M. Ramdani, J. L. Levant, E. Tinlot, and AM Trullemans-Anckaert, " An EMC-oriented VHDL-AMS simulation methodology for dynamic current activity assessment," *Microelectron. J.*, vol. 35, no. 6 pp. 541-546, June 2004.
- [33] J.L. Levant, M. Ramdani, R. Perdriau, and M. Drissi, "EMC assessment at chip and PCB level: use of the ICEM model for jitter analysis in an integrated PLL," *IEEE Trans. Electromagn. Compat.*, vol.49, no.1, pp. 182–191, Feb. 2007.
- [34] S. -Y. Yuan, H. -E. Chung and S. -S. Liao, "A microcontroller instruction set simulator for EMI prediction," *IEEE Trans. Electromagn. Compat.*, vol. 51, no. 3, pp. 692-699, Aug. 2009.
- [35] H. H. Park, S. -H. Song, S. -T. Han, T. -S. Jang, J. -H. Jung and H. -B. Park, "Estimation of power switching current by chip-package-PCB cosimulation," *IEEE Trans. Electromagn. Compat.*, vol. 52, no. 2, pp. 311-319, May 2010.

参考文献

- [36] L. Ren et al., "Prediction of power supply noise from switching activity in an FPGA," *IEEE Trans. Electromagn. Compat.*, vol. 56, no. 3, pp. 699–706, Jun. 2014.
- [37] C. Ghfiri, A. Boyer, A. Durier, and S. B. Dhia, "A new methodology to build the internal activity block of ICEM-CE for complex integrated circuits," *IEEE Trans. Electromagn. Compat.*, vol. 60, no. 5, pp. 1500–1509, Oct. 2018.
- [38] Y. Fukumoto, T. Matsuishi, T. Kinoshita, O. Wada, Y. Toyota and R. Koga, "Power current model of LSI and parameter identification for EMI simulation of digital PCBs," *2001 IEEE International Symposium on Electromagnetic Compatibility*, vol. 2, pp. 1185-1190, Aug. 2001.
- [39] Y. Fukumoto, Y. Takahata, O. Wada, Y. Toyota, R. Koga, and T. Miyashita, "Power current model of LSI/IC containing equivalent internal impedance for EMI analysis of digital circuits," *IEICE Trans. Commun.*, vol. E84-B, no. 11, pp. 3041–3049, Nov. 2001.
- [40] Y. Fukumoto, O. Shibata, K. Takayama, T. Kinoshita, Z. L. Wang, Y. Toyota, O. Wada, and R. Koga, "Radiated emission analysis of power bus noise by using a power current model of an LSI," *2002 IEEE International Symposium on Electromagnetic Compatibility*, pp. 1037-1042, Aug. 2002.
- [41] 和田修己, "ディジタル回路の不要電磁波発生機構のモデル化とシミュレーション," *信学論 (B)*, vol. J86-B, no. 7, pp.1062-1069, July 2003.
- [42] O. Wada, Z. L. Wang, T. Watanabe, Y. Fukumoto, O. Shibata, E. Takahashi, H. Osaka, S. Matsunaga, and R. Koga, "High-speed simulation of PCB emission and immunity with frequency-domain IC/LSI source models," *2003 IEEE International Symposium on Electromagnetic Compatibility*, vol.1 pp. 4–9, Aug. 2003.
- [43] 中村克己, 南澤裕一郎, 豊田啓考, 古賀隆治, 和田修己, 齊藤義行, 中村篤, "マイクロコントローラが多電源ピン LECCS-core モデルの構築," *信学論 (C)*, vol.J89-C, no.11, pp. 833–842, Nov. 2006.
- [44] 齊藤義行, 安原昌克, 船戸是宏, ウンベルト パオレットティ, 久門尚史, 和田修己, "多電源ピン LSI のブロック間結合を考慮した 3 ポート LECCS-core モデル," *信学論 (B)*, vol. J93-B, no. 2, pp. 332-340, Feb. 2010.
- [45] 齊藤義行, 安原昌克, 馬淵雄一, 松嶋徹, 久門尚史, 和田修己, "多電源 LSI の LECCS-core モデルにおけるグラウンド接続モデルに関する検討," *電学論 (C)*, vol.130-C, no. 11, pp. 1897-1906, Nov. 2010.
- [46] 齊藤義行, 野村勝也, 安原昌克, 和田修己, "プログラム依存性を考慮した 8 ビット マイクロコントローラの電源電流解析," *信学論 (C)*, vol. J93-C, no. 11, pp. 445–454, Nov. 2010.

- [47] A. Gstottner, T. Steinecke, M. Huemer, “High level modeling of dynamic switching currents in VLSI IC modules,” 5th International Workshop on Electromagnetic Compatibility of Integrated Circuits (EMC Compo 2005), Nov. 2005.
- [48] A. Gstottner, T. Steinecke, M. Huemer, “Activity based high level modeling of dynamic switching currents in digital IC modules,” 2006 17th International Zurich Symposium on Electromagnetic Compatibility, pp.598-601, Feb. 2006.
- [49] T. Steinecke and D. Hesidenz, “VLSI IC emission models for system simulation,” in Proc. Asia-Pacific Symp. Electromagn. Compat., pp. 24–27, May 2008.
- [50] E. Kulali, E. Wasserman, and J. Zheng, “Chip power model – A new methodology for system power integrity analysis and design,” 2007 IEEE Electrical Performance of Electronic Packaging, pp. 259–262, Oct, 2007.
- [51] S. Li, H. Bishnoi, J. Whiles, P. Ng, H. Weng, D. Pommerenke, and D. Beetner, “Development and validation of a microcontroller model for EMC,” 2008 International Symposium on Electromagnetic Compatibility - EMC Europe, pp. 1-6, Sep. 2008.
- [52] Y. Lee, S. Lee, J. Park and J. Shin, “Accurate CPM based early design stage SERDES PDN optimization in mobile platform,” 2015 IEEE 65th Electronic Components and Technology Conference (ECTC), pp. 744-747, May, 2015.
- [53] B. Ko, J. Kim, J. Ryoo, C. Hwang, J. Song and S. -W. Kim, “Simplified chip power modeling methodology without netlist information in early stage of SoC design process,” IEEE Trans. Compon. Packag. Manuf. Technol., vol. 6, no. 10, pp. 1513-1521, Oct. 2016.
- [54] H. Suenaga, A. Tsukioka, K. Jike, and M. Nagata, “ Compact simulation of chip-to-chip active noise coupling on a system PCB board, ” IEEE Lett. Electromagn. Compat. Pract. Appl., vol. 2, no. 1, pp. 15–20, Mar. 2020.
- [55] 電気学会通信教育会, “回路理論基礎,” 第9章 回路の理解を深めるための考え方と諸定理, pp. 146-149, オーム社, 1990.
- [56] 奥村浩士, “エース電気回路理論入門,” 2. 直流回路, pp. 9-28, 朝倉書店, 2002.
- [57] 出原歩, 山崎輝宣, 松嶋徹, 久門尚史, 和田修己, “電源系高周波電流による給電電圧変動を反映させた LECCS-core モデルの検討,” 信学技報, EMCJ 2012-69, vol. 112, no. 256, pp. 31–36, Oct. 2012.
- [58] “TCB018GBWP7T TSMC 0.18um Standard Cell Library Databook Version 270a,” Taiwan Semiconductor Manufacturing Co., May 2009.
- [59] “TPZ973GV TSMC 0.18um I/O cell Library Databook Version 280A,” Taiwan Semiconductor Manufacturing Co., Oct. 2009.

参考文献

- [60] 出原歩, “オンチップ電源供給ネットワークの電圧変動を反映した LECCS-core モデルの構築,” 平成 24 年度京都大学大学院工学研究科修士論文, Feb. 2012.
- [61] 佐藤富夫, 橋本鉄太郎, 笹川隆平, “電源ノイズ解析のための LSI ノイズモデル,” *Fujitsu*, vol. 55, no. 6, pp. 608-613, Nov. 2005.
- [62] T. Sato, T. Hashimoto, and R. Sasagawa, “LSI noise model for power integrity analysis and its application,” *Fujitsu Sci. Tech. J.*, vol. 42, no. 2, pp. 266-273, Apr. 2006.
- [63] K. Nakamura, T. Toyota, O. Wada, R. Koga, and N. Kagawa, “EMC macro-model (LECCS-core) for multiple power-supply pin LSI,” 2004 International Symposium on Electromagnetic Compatibility, Sendai, Japan (EMC’04/Sendai), vol. 3A1-4, pp. 493-496, Jun. 2004.
- [64] G. B. Arfken and H. J. Weber, “Mathematical Methods for Physicists,” 6th ed., 15.7 Transfer Functions, pp. 961-964, USA: Elsevier Academic Press, 2005.
- [65] A. V. Mezhiba, E. G. “Power Distribution Networks In High Speed Integrated Circuits,” 6.2.1 Types of on-chip decoupling capacitance, pp. 128-132, USA: Kluwer Academic Publishers, 2004.
- [66] J. Rius and M. Meijer, “Analysis of the influence of substrate on the performance of on-chip MOS decoupling capacitors,” *IEEE J. Solid-State Circuits*, vol. 44, no. 2, pp. 484-494, Feb. 2009.
- [67] Y. Cheng and C. Hu, “MOSFET のモデリングと BSIM3 ユーザーズガイド,” 第 8 章, pp. 241-253, 丸善, 2002.
- [68] “TSMC 0.18UM CMOS LOGIC /MS/RF AND 0.16UM CMOS LOGIC/MS DESIGN RULE (CL018G/LV/LP, CM018G, CR018G, CM016G),” Chap. 9, pp. 241-245, Taiwan Semiconductor Manufacturing Co., Apr. 2008.
- [69] K. Shimazaki, M. Nagata, T. Okumoto, S. Hirano, and H. Tsujikawa, “Dynamic power-supply and well noise measurements and analysis for low power body biased circuits, ” *IEICE Trans. Electron.*, vol. E88-C, no. 4, pp. 589-596, Apr. 2005.

付録A 伝達関数のフーリエ変換と過渡応答の関係

第3章の式(3.18)の説明として参考文献[64]を引用して、伝達関数のフーリエ変換と単位インパルス応答の関係を示す。

Fig. A.1に関数 $f(t)$ を関数 $g(t)$ に変換する伝達関数 $\varphi(\omega)$ を示す。式(3.18)の中では、 $f(t)$ が $i(t)$ 、 $g(t)$ が $v(t)$ 、 $\varphi(\omega)$ が $Z(f)$ と読み替えることができる。

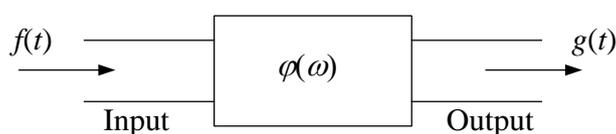


Figure A.1: Block diagram of transfer function.

$\Phi(t)$ を $\varphi(\omega)$ を逆フーリエ変換した関数と定義すると、 $\Phi(t)$ と $\varphi(\omega)$ の関係は以下の通り記述できる。

$$\varphi(\omega) = \int_{-\infty}^{\infty} \Phi(t) e^{-j\omega t} dt \quad (\text{A.1})$$

$g(t)$ は関数 f と関数 Φ の畳み込み積分として、以下のように記述できる。

$$g(t) = \int_{-\infty}^{\infty} \Phi(t - \tau) f(\tau) d\tau \quad (\text{A.2})$$

ここで、入力より先に出力が現れることはないという因果律を考えると、 $\tau > t$ において $\Phi(t - \tau) = 0$ となるため、式(A.2)は、

$$g(t) = \int_{-\infty}^t \Phi(t - \tau) f(\tau) d\tau \quad (\text{A.3})$$

となる。これは式(3.18)に相当する。

$\Phi(t)$ の物理的意味を考えるため、 $f(\tau)$ を $\tau = 0$ で生じるインパルス波形とする。

$$f(\tau) = \delta(\tau) \quad (\text{A.4})$$

$\delta(\tau)$ は原点から正の方向に分布するディラックのデルタ関数である。この時、式(A.3)は

$$g(t) = \int_{-\infty}^t \Phi(t - \tau) \delta(\tau) d\tau \quad (\text{A.5})$$

付録A 伝達関数のフーリエ変換と過渡応答の関係

$$g(t) = \begin{cases} \Phi(t) & t > 0 \\ 0 & t < 0 \end{cases}$$

と記述される。つまり、 $\Phi(t)$ は $t = 0$ で発生する単位インパルスの入力に対する出力と一致する。

以上より、周波数領域の伝達関数の逆フーリエ変換は時間領域では単位インパルス応答で表現できる。したがって、第3章の式(3.18)において、 $\mathcal{F}^{-1}Z(f)$ は等価電流源に単位インパルスを与えた際に観測される電圧波形と考えることができる。

付録B サブストレートの抵抗値の推定 誤差の影響

第4章でテストチップのマクロモデルを構築する際、設計情報から抽出した SPICE モデルでは考慮されないインピーダンスとして、P-substrate と N-well に存在する寄生容量と抵抗を追加した。寄生容量に関しては設計情報から計算する手法を 4.4.2 節で紹介したが、抵抗値についてはテストチップの電源－グラウンド間のインピーダンスの測定結果から見積もった。この抵抗値の推定値に誤差があった場合に電源電圧変動シミュレーションに与える影響について説明する。

4.4.2 節で実測結果から見積もったテストチップのサブストレートの抵抗値はサブブロック 1 個あたり $20\ \Omega$ である。この値に $\pm 50\%$ の誤差があった場合の電源電圧変動シミュレーションを行う。動作する機能ブロック数が 1 個、3 個、6 個のそれぞれの場合の最大電圧降下量を Fig. B.1 に示す。サブブロック 1 個あたりのサブストレートの抵抗を $\pm 50\%$ の範囲で変化させても電源電圧変動量の計算結果にほぼ影響を与えず、誤差は 1% 未満である。

テストチップにおいて電圧降下の主要因は付録 C に示す通り IR ドロップではないため、サブストレートの抵抗値の推定誤差が生じてても電圧降下に対して影響が小さかったと考えられる。仮に IR ドロップの影響が大きい場合においても 4.18 に示すように電源－グラウンド間のインピーダンスは論理回路部のインピーダンスとサブストレートのインピーダンスが並列に接続された形でモデル化されており、サブストレートの抵抗値は論理回路部の抵抗値に比べ 5 倍程度大きな値となっている。そこでインピーダンスの実部は論理回路部の抵抗値が支配的となるため、サブストレートの抵抗値を変化させても全体としてインピーダンスの変化は小さいと考えられる。

この結果から、設計段階で LSI-core マクロモデルを用いた PI シミュレーションを行う際、今回のように P-substrate の導電率が入手困難な場合は、同一プロセスで設計された既存チップのインピーダンスを実測し、新しく試作するチップのサブストレートの抵抗値を見積もることも可能であると考えられる。ただし、IR ドロップが電圧降下に対して大きく影響するような LSI でサブストレートの抵抗値が論理回路部の抵抗値と比較して同等以下となるような場合は PI シミュレーションの誤差が大きくなる可能性がある。

付録B サブストレートの抵抗値の推定誤差の影響

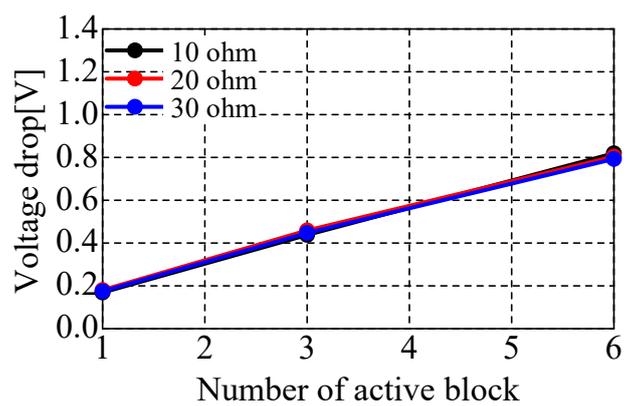


Figure B.1: Maximum voltage drop (comparing substrate resistance).

付録C テストチップの電源電圧降下の要因分析

本付録では本文第4章のテストチップを動作させた際に生じている電源電圧降下の要因を分析している。

一般に電圧が変化する現象は以下のように定式化される。

$$v = Ri \quad (\text{C.1})$$

$$v = L \frac{di}{dt} \quad (\text{C.2})$$

$$\begin{aligned} v &= \frac{q}{C} \\ &= \frac{1}{C} \int idt \end{aligned} \quad (\text{C.3})$$

オンチップ電源電圧変動に対して式(C.1)~(C.3)は以下のように解釈できる。式(C.1)はオームの法則であり、LSIの動作電流がPDNの抵抗成分に流れることで電源電圧が変化する。式(C.2)は高周波成分を持つ動作電流がワイヤボンディングなどの寄生インダクタンスに流れることで電源電圧が変化することを表している。式(C.3)はチップ内部の電源-グラウンド間に存在する論理回路部の容量やサブストレートの容量に蓄積された電荷が電流として流れることで電源電圧が変化する現象を表している。

テストチップを6ブロック動作させた時の電源電圧降下が生じている時刻の観測点の電源電圧、サブブロックの動作電流、サブブロックの動作電流の積分量（移動した電荷量）をLSI-coreマクロモデルを用いてシミュレーションした結果をFig. C.1に示す。Fig. C.1より最大電圧降下は動作電流の最大ピークが生じている時刻ではなく、最後に生じているピークの時刻に近いことが分かる。また、移動した電荷量は約4.2 pCであり、192個のサブブロックでほぼ同じ電荷が消費されていると考え、テストチップ全体で約806 pCとなる。テストチップの電源-グラウンド間に存在する容量の総和はTable 4.3から1004 pFであるため、式(C.3)に当てはめると電荷の移動による電源電圧降下が約0.8 Vとなり、テストチップの電源電圧降下とほぼ一致している。

したがって、本テストチップを動作させた際に生じている電源電圧降下の要因は各ブロックの動作でチップ内部の容量に蓄積された電荷の移動で生じる電圧降下であると説明できる。

付録C テストチップの電源電圧降下の要因分析

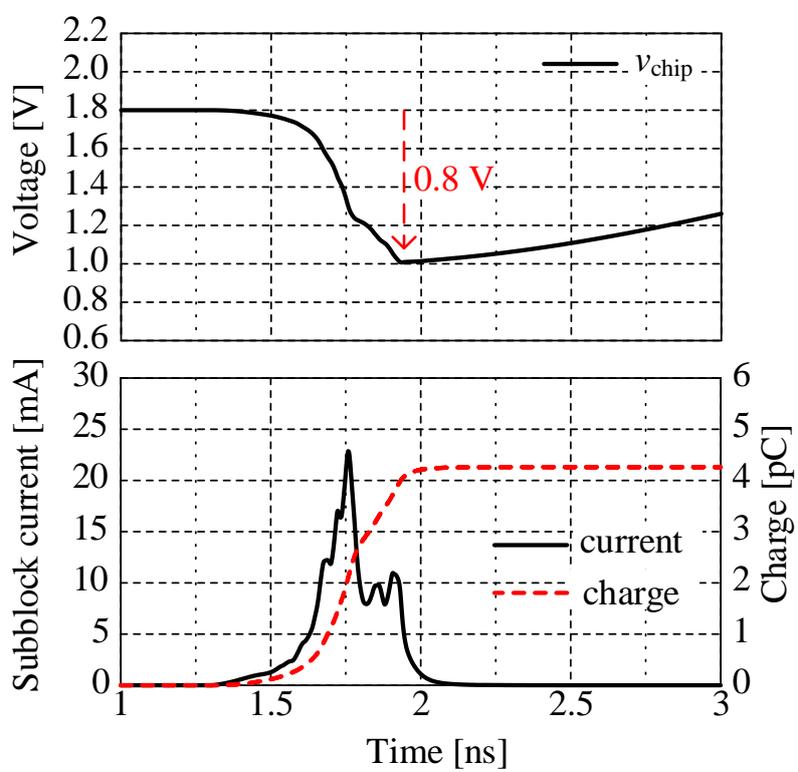


Figure C.1: Voltage drop and subblock current.

付録D 動作周波数を変化させたときの テストチップの電源電圧変動

本付録では本文第4章で議論をしていなかった動作クロック周波数と電源電圧変動の関係について検討する。

チップ内の電源電圧変動は動作クロック周波数によって振る舞いが異なることが報告されている [69]。参考文献 [69] は $0.13\ \mu\text{m}$ の CMOS スタンダードセルで構成したレジスタロジック回路と SRAM 回路を搭載した LSI を対象として動作クロック周波数を変化させたときのオンチップ電源電圧変動をチップに搭載した電源電圧モニタで観測している。動作クロック周波数の変化による電源電圧変動の波形の変化が PDN の共振に関係すると説明されているが、共振が生じていない周波数において、周波数が高くなった時に電源電圧変動の peak-to-peak (v_{pp}) が小さくなることについては説明されていない。一般に動作クロック周波数が高くなるにつれ平均動作電流が大きくなるため、直流的な電圧降下は大きくなる。その一方で参考文献 [69] で観測されているように周波数が高くなった時に v_{pp} が小さくなる現象に着目する。

第4章で用いたテストチップの全機能ブロック動作条件で、動作周波数を 10 MHz から 120 MHz まで変化させたときの観測点の電源電圧変動を Fig. D.1 に示す。テストチップは入力の立ち上がり立ち下がりの両方でスイッチング動作するため、電源電圧変動は動作周波数の倍の周波数が基本成分となる。参考文献 [69] と同様、動作周波数によって電源電圧変動の様子が異なっており、50 MHz の時に v_{pp} が最大となり、120 MHz の時に最小となっている。動作周波数 50 MHz の倍は 100 MHz であり、第4章の Fig. 4.21 に示す共振周波数に近いことから、共振の影響で v_{pp} が大きくなっていると想定される。共振周波数よりも高い 75 MHz 以上の周波数帯で振幅が小さくなる現象は電源電圧変動による動作電流の変化が影響していると想定される。

同様の周波数条件で LSI-core マクロモデルを用いたシミュレーションを行った結果も Fig. D.1 に示している。また、動作周波数に対する v_{pp} の変化を Fig. D.2 に示している。なお Fig. D.1(a) のシミュレーション結果は Fig. 4.22(b) の 6 ブロック動作と同じものである。Fig. D.2 から v_{pp} が動作周波数 50 MHz の時に最大となり、それ以上の周波数で低減している点で実測とシミュレーションの傾向が一致していることが分かる。動作周波数が 50 MHz 以下の電源電圧変動は共振による減衰振動の影響が大きいため、共振の Q 値の僅かな差が実測と解析の差に繋がっている可能性がある。一方、75 MHz 以上の周波数帯では実測とシミュレーションの v_{pp} が数 % の誤差で一致している。

この結果から本論文の提案手法を用いた LSI-core マクロモデルによるオンチップ PI シミュレーションはクロックのタイミングで PDN の減衰振動が収束しないような高周波のク

付録D 動作周波数を変化させたときのテストチップの電源電圧変動

ロック周波数を持つ LSI にも適用可能であると考えられる。

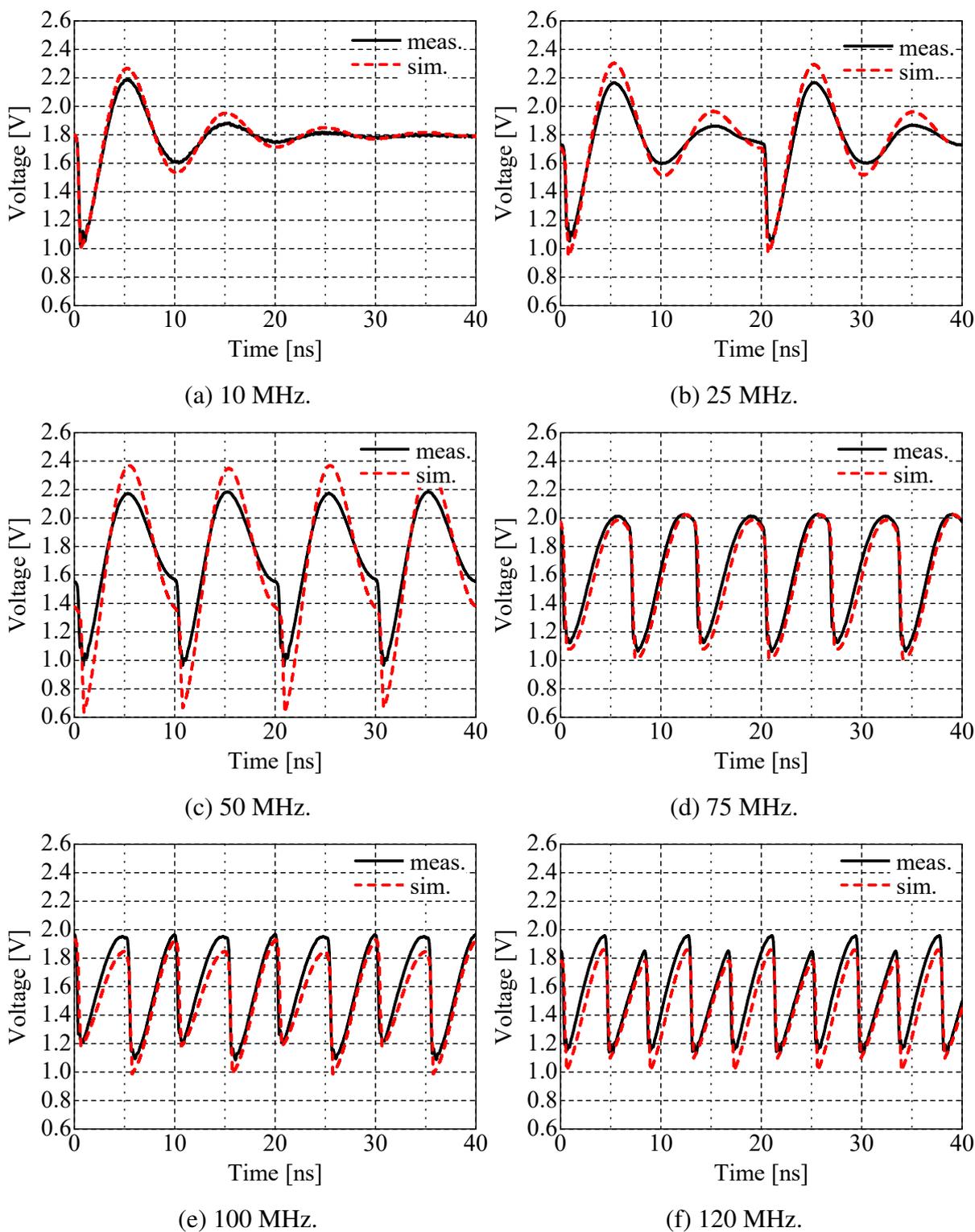


Figure D.1: Supply voltage fluctuations when operating frequency is varied.

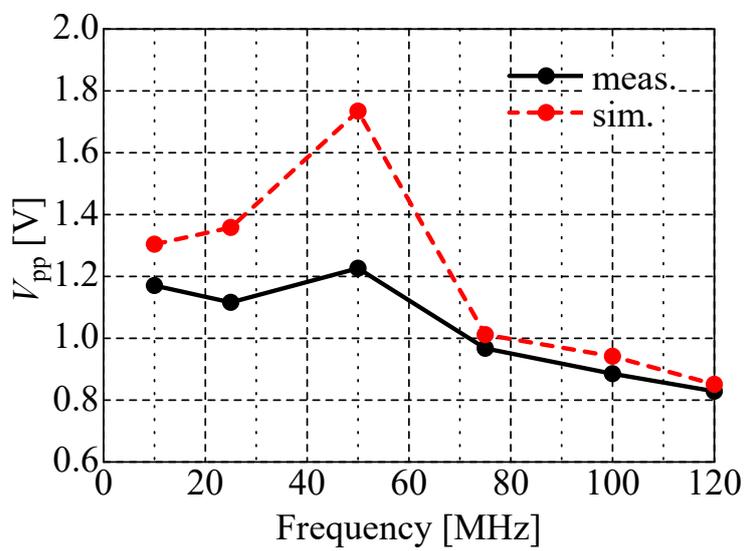


Figure D.2: V_{pp} when operating frequency is varied.

研究業績

○本論文に関する業績

[論文]

- 田中広志, 松嶋徹, 久門尚史, 和田修己, “CMOS動作を表現する線形時変回路からのLECCS-coreモデルの導出,” 信学論 (C), vol. J94-C, no. 11, pp. 458-469, Nov. 2011.
- **H. Tanaka**, T. Matsushima, Y. Yano, and O. Wada, “Compensating method of equivalent current sources of LSI-core macromodel considering voltage fluctuations in on-chip power distribution network,” IEEE Trans. Electromagn. Compat., vol. 64, no. 4, pp. 1250-1256, Aug. 2022.
- **H. Tanaka**, T. Matsushima, Y. Yano, and O. Wada, “On-chip power integrity simulation using LSI-core macromodels considering voltage fluctuations caused by inter-function-block interference,” IEEE Trans. Electromag. Compat. (to be published).

[国際会議発表]

- **H. Tanaka**, T. Hisakado, T. Matsushima, and O. Wada, “A method of constructing an EMC macro-model LECCS by using Norton’s equivalent circuit considering transient current,” International Conference on Electronics Packaging, pp. 602-607, May. 2010.
- **H. Tanaka**, T. Matsushima, Y. Yano, and O. Wada, “Constructing an EMC macro model of LSI considering voltage fluctuations in on-chip power distribution network,” International Symposium on Creation of Advanced Photonic and Electronic Devices, Mar. 2021.

研究業績

○その他の業績

[国内研究会，学会発表等]

- 田中広志，和田修己，久門尚史，“LSI電源系の容量分散配置とデカップリングによるEMI低減とパワーインテグリティの実現,” 信学技報，EMCJ2008-91, vol. 108, no. 367, pp.31-36, Dec. 2008.
- 喜多知広，馬淵雄一，田中広志，久門尚史，和田修己，“パッケージ-チップ間寄生結合を考慮したLSI電源系の高周波特性抽出に関する検討,” 信学技報，EMCJ2009-31, vol. 109, no. 76, pp. 51-56, June, 2009.
- 山崎輝宣，田中広志，松嶋徹，久門尚史，和田修己，“過渡領域のノートン等価回路を用いたLSI線形マクロモデルの等価電流源の位置の検討,” 信学技報，EMCJ2010-29, vol. 110, no. 125, pp. 45-50, July, 2010.

謝辞

本論文は筆者が京都大学大学院工学研究科電気工学専攻修士課程および博士後期過程において和田修己教授のご指導のもとで行った研究成果についてまとめたものです。和田修己教授には時間を惜しまず終始懇切丁寧に温かくご指導いただきましたことに深く感謝申し上げます。

本研究を通じて九州工業大学大学院工学研究院電気電子工学研究系 松嶋徹准教授には技術的な議論にご参画頂き多くのご指導，ご助言，ご協力を頂きましたことに深く感謝申し上げます。

名古屋工業大学大学院工学研究科工学専攻電気電子分野 矢野佑典助教にも日頃から技術的な議論にご参加頂き多くのご助言を頂きました。深く感謝申し上げます。

京都大学大学院工学研究科電気工学専攻 久門尚史准教授には論文を執筆する上で電気回路理論の基礎から応用まで多くのご助言を頂きましたこと，深く感謝申し上げます。

京都大学大学院工学研究科電気工学専攻 松尾哲司教授，京都大学大学院情報学研究科通信情報システム専攻 佐藤高史教授に副指導教員として研究内容や関連研究に関する議論を通じて幅広いご指導，ご助言を頂きました。深く感謝申し上げます。

京都大学大学院工学研究科電気工学専攻 イスラム マーフズル講師には研究室内の研究会などで様々なご指摘，ご助言頂きましたことに深く感謝申し上げます。

筆者が本研究を行うきっかけを与えてくださった九州工業大学大学院工学研究院電気電子工学研究系 福本幸弘特任教授，パナソニック インダストリー株式会社 齊藤義行主幹技師には業務と研究を両立する上で温かい励ましのお言葉を頂き，感謝申し上げます。パナソニック オートモーティブシステムズ株式会社 柴田修課長には入社以来EMC設計の技術的指導だけでなく，基本的な仕事の進め方まで多大なご指導を頂きましたこと，感謝申し上げます。パナソニック インダストリー株式会社の末永寛課長をはじめ，関係者の皆様には筆者の社会人博士への進学にご理解とご協力を頂きましたこと，感謝申し上げます。

最後に，筆者の研究生活と家庭を明るく支えてくれた妻の久美子，まだ生まれたばかりの弟の面倒をよく見てくれた娘の優衣香，在学中に生まれ，よく笑い癒しになってくれた息子の健志に深く感謝します。