

京都大学	博士 (工学)	氏名	田 中 広 志
論文題目	オンチップ電源電圧変動を考慮した LSI-core マクロモデルに関する研究		
<p>(論文内容の要旨)</p> <p>本研究は、デジタル回路の電源完全性 (PI: Power Integrity) と電磁妨害 (EMI: Electro-Magnetic Interference) を事前に予測するための、大規模集積回路 (LSI) コアブロックのシミュレーションモデルの精度向上に関して論じた結果をまとめたものであって 5 章からなっている。対象としているモデルは、LSI コアブロックを線形等価回路と等価電流源で表す LSI-core マクロモデルである。本研究では特に、従来は検討されてこなかった等価電流源のオンチップ電源供給系 (PDN: Power Distribution Network) の電圧変動依存性について検討し、シミュレーション精度を向上させる等価電流源の補正手法と、その補正法を用いた高速シミュレーション手法を提案している。</p> <p>第 1 章は序論であり、研究の背景として LSI-core マクロモデルの従来研究について説明している。LSI コアブロックの高速スイッチング動作が要因で生じる PI や電磁両立性 (EMC: Electro-Magnetic Compatibility) の課題を事前に予測するためのモデルとして ICEM-CE や LECCS-core に代表される LSI-core マクロモデルが多くの研究グループで開発されてきた。これらのマクロモデルは LSI コアブロックを線形等価回路と等価電流源でモデル化するが、本来 CMOS のスイッチング動作が行われる時変回路である LSI コアブロックを時不変の線形等価回路で表現できる根拠については明確にされてこなかった。さらに、同モデルは従来 PCB (Printed Circuit Board) 上の伝導性 EMI を精度よく予測できることが報告されているが、オンチップ PI シミュレーションでは精度課題が残っていた。これらの課題の検討を本研究の目的と位置づけている。</p> <p>第 2 章では、本来時変回路である LSI コアブロックを時不変線形等価回路および等価電流源で構成される同モデルで表現可能な理由を、過渡回路論的に説明している。まず、過渡領域のノートン等価回路と重ね合わせの原理を用いて、スイッチモデルの遷移後の過渡現象が線形回路と電流源に等価変換できることを解析的に証明している。さらに大規模な LSI コアブロック内には出力 High のゲートと Low のゲートがほぼ同数あるとみなせることから、遷移前後でコアブロック全体のインピーダンスが変化せず、LSI-core マクロモデルが線形時不変の等価回路で表現できることを示している。さらに、スイッチモデルから LSI-core マクロモデルへの等価変換を示す中で、基準となる等価電流源 (基準電流源) はコアブロックに理想電圧源を直接接続したときに流れる電流として抽出可能であり、外部の電源供給系 (外部 PDN) に依存しないことを示している。また、スイッチングの瞬間にオンチップ PDN 電圧が定常状態となっておらず過渡的な電源電圧変動が生じている場合には、基準電流源を瞬時のオンチップ PDN 電圧でスケールリングすることで表現可能であることを示している。これは従来から知られている CMOS 動作電流の電源電圧依存性が LSI-core マクロモデルでは等価電流源のスケールリングで表現できることの証明となっている。最後に、スイッチングが生じるタイミングで定</p>			

京都大学	博士 (工学)	氏名	田 中 広 志
------	---------	----	---------

常状態になっている場合と、外部 PDN の減衰振動が残存している場合の 2 事例のシミュレーションを行うことで、解析的に導出した上記等価変換が正しいことを示している。

第 3 章では LSI-core マクロモデルをオンチップ PI シミュレーションに用いた際の精度改善を目的とし、従来の同モデルでは考慮されてこなかった CMOS 動作電流の電源電圧依存性を表現する手法を検討している。本章では詳細な設計情報が入手可能な試作 CMOS テストチップの機能ブロックを対象とし、マクロモデルの構築を行っている。設計情報を記述した SPICE モデルを用いて理想給電状態の動作電流から等価電流源を導出する従来手法の LSI-core マクロモデルは、オンチップ電源電圧変動が生じた際の CMOS 動作電流の変化を考慮できないため、機能ブロックの動作電流のシミュレーション結果は元の SPICE モデルに対して十数%の差が生じる。そこで、直流給電電圧が変化したときの動作電流が振幅方向と時間方向に元波形を伸縮した波形となっていることに着目し、オンチップ PDN 電圧の変動に対して等価電流源を補正する振幅補正係数と時間補正係数を提案している。さらに、動的に変化するオンチップ PDN 電圧変動に対して振幅補正係数と時間補正係数を用いて微小時間ごとに等価電流源を補正する逐次補正手法を提案し、従来手法では機能ブロックの動作電流が SPICE モデルに対して十数%差が出るのに対し、逐次補正手法を用いることで数%の差に改善することを示している。

第 4 章は、前章の LSI 部分回路のシミュレーションを拡張し、検討対象をテストチップの機能ブロックからコアブロック全体に適用できる、さらなる精度向上手法を提案している。LSI コアブロック内では複数の機能ブロックが同一のオンチップ PDN を共有するため、個々の機能ブロックの動作電流は周囲の機能ブロックの動作による PDN 電圧変動の影響を受けて変化する。第 4 章ではこの「機能ブロック間干渉」の課題に着目している。各機能ブロックの LSI-core マクロモデルを単純に統合した場合は機能ブロック間干渉を考慮することができず元の SPICE モデルとの差が大きくなるため、チップ全体の動作を考慮して等価電流源の補正を行う必要があることを示した。さらに第 3 章で提案した逐次補正手法でチップ全体の補正を行うと計算負荷が大きくなることから回路シミュレーションと補正を交互に行う繰り返し補正手法を提案し、高速にコアブロック全体のシミュレーションを行う手法を示している。提案手法の効果を検証するため、6 つの機能ブロックを持つテストチップの PDN 電圧変動を LSI-core マクロモデルを用いたシミュレーションと実測で比較し、従来の LSI-core マクロモデルでは機能ブロック間干渉の影響を考慮できないため動作する機能ブロック数が多くなるにつれて電圧変動の誤差が大きくなるが、提案手法では誤差が大きくなり精度よくシミュレーションが可能となることを示している。

第 5 章は結論であり、本研究で得られた成果について要約するとともに、今後取り組むべき課題と将来の展望について述べている。

(論文審査の結果の要旨)

本研究は、デジタル回路の電源完全性 (PI: Power Integrity) と電磁妨害 (EMI: Electro-Magnetic Interference) を事前に予測するための、大規模集積回路 (LSI) コアブロックのシミュレーションモデルの精度向上に関して論じた結果をまとめたものであり、得られた主な成果は次の通りである。

1. LSI コアブロックを表現する時変回路のマクロモデルであるスイッチモデルが LSI-core マクロモデルに等価変換可能であることを、過渡回路論的に説明することで、本来時変回路である LSI コアブロックの動作を時不変線形回路と等価電流源で表現できる理由を示した。その中で、LSI コアブロック内部には出力が High と Low のゲートがほぼ同数あることでマクロな時不変回路とみなせることと、等価電流源のスケーリングにより CMOS 動作電流の電源電圧依存性を表現できることを示した。
2. 従来の LSI-core マクロモデルでは表現できなかった動作電流の電源電圧依存性を考慮する等価電流源の補正手法を提案した。提案手法ではコアブロックに供給する直流電圧が変化したときの動作電流の変化から振幅補正係数と時間補正係数を抽出し、過渡的なオンチップ電源電圧変動に対して補正係数を適用して等価電流源を計算している。従来手法で計算した機能ブロックの動作電流は元の SPICE モデルに対して十数%の差が生じていたのに対し、提案手法を用いることで数%に改善することを示した。
3. LSI 内の個々の機能ブロックの動作電流が周囲の機能ブロックの動作による電源電圧変動の影響で変化する「機能ブロック間干渉」を考慮するために、チップのコアブロック全体の等価電流源の補正を高速に行うシミュレーション手法を提案した。また、提案手法の効果を検証するため試作テストチップの電源電圧変動の実測とシミュレーションを比較し、従来手法では機能ブロック間干渉を考慮できず、動作する機能ブロック数が増加するにつれて誤差が大きくなる一方、提案手法では実測との誤差が小さく、PI シミュレーションの精度が向上することを実証した。

以上、本論文はオンチップ電源電圧変動を考慮した LSI-core マクロモデルの物理的解釈と同シミュレーションモデルを用いた解析の精度改善手法を示したものであり、学術上、實際上寄与するところが少なくない。よって、本論文は博士 (工学) の学位論文として価値あるものと認める。また、令和 5 年 1 月 20 日、論文内容とそれに関連した事項について試問を行って、申請者が博士後期課程学位取得基準を満たしていることを確認し、合格と認めた。