

電力変換回路における  
パワーモジュールの熱設計に向けた  
特性測定とモデリング

中村 洋平



## 概要

SiC MOSFET は、パワーエレクトロニクスにおける有望なデバイスとして注目されている。SiC MOSFET は、従来の Si デバイスと比べ、高耐圧、低オン抵抗、高速スイッチング、耐高温動作といった優れた特性を有している。これらの特性から、SiC MOSFET を用いた高電圧・大電流・高周波スイッチング動作による電力変換回路の小型・高効率化が期待されている。

上記の優れた特性を有するものの、SiC MOSFET 単体では、例えば電気自動車の主機インバータといった大電力応用 (数百 kW) に対応できない。そのため、複数の SiC MOSFET を一つのパッケージに実装したパワーモジュールが開発されている。パワーモジュールはその小型のパッケージで大電力を扱うため、SiC MOSFET 単体と比べて回路動作時の熱負荷がより深刻となる。この熱負荷は、パワーモジュールの熱設計を厳しくすると同時に、パワーモジュールの信頼性を低下させる可能性がある。デバイスの性能を最大限に発揮し、電力変換回路全体の小型化を実現する観点からも、パワーモジュールの熱設計はますます重要になっている。実験的な熱設計のアプローチでは、パワーモジュールの試作・テストを何度も繰り返す必要があり、膨大な時間と金銭的成本を要する。上記を解決するため、試作・テストを伴わないシミュレーションに基づいた熱設計が望まれている。

本論文は、シミュレーションに基づくパワーモジュールの熱設計の実現を目的として、特性測定およびモデリングに基づいた熱推定手法を提案する。また、パワーエレクトロニクスの熱設計においてはまだ十分に検討されていない、デバイス特性ばらつきを考慮したシミュレーションに関する検討も行う。本論文は以下の 6 章で構成される。

第 1 章では、研究背景として SiC MOSFET およびパワーモジュールの特徴、パワーモジュールの熱設計における課題について述べる。次に、従来研究の課題を明らかにした上で、本研究の目的および提案内容を示す。

第 2 章では、高精度な発熱推定のため、SiC MOSFET のスイッチング動作を精度良く再現可能なデバイスモデルを提案する。提案モデルでは、MOS 構造の表面電位をベースに、SiC MOSFET の物理構造にしたがってデバイ

スの電気的特性を表現している．表面電位に対し，界面トラップの影響を新たに考慮することで，20 mW から 1 kW におよぶ広い電力動作範囲において特性の再現が可能であることを示す．提案モデルにより，広い回路動作条件において，実測のスイッチング波形を良く再現できることを明らかにする．さらに，より実用的な電力動作範囲で高精度なモデルを実現するため，従来より広い範囲において，デバイスの電流電圧特性が測定可能な手法を提案する．得られた電流電圧特性により，600 V / 80 A (約 50 kW 相当) という，SiC MOSFET にとってより実用的な動作範囲で高精度なモデルが実現できることを示す．提案モデルにより，回路動作時におけるデバイス発熱の高精度な推定が可能になる．

第3章では，高精度な温度推定のため，パッケージの熱インピーダンスの特性測定およびモデリング手法を提案する．提案手法では，従来の SiC MOSFET 単体の過渡熱測定手法を応用することで，パッケージ内に実装された複数の SiC MOSFET 間の熱インピーダンス特性を測定可能にしている．得られた特性を用いて，フォスター型等価回路に基づいた熱インピーダンスモデルを構築する．これにより，回路シミュレータにおいて熱干渉を考慮した温度推定が可能になる．提案の熱インピーダンスモデルが，商用の SiC MOSFET の動作保証温度 (175°C) をカバーする最大 200°C の範囲で実測温度を精度良く再現できることを示す．

第4章では，電力変換回路におけるパワーモジュールの発熱および温度を，高精度・高速に推定可能な熱回路連成シミュレーション手法を提案する．従来の熱回路連成シミュレーション手法には，精度と計算時間の両面で課題があった．提案手法では，本論文の第2章と第3章で提案したデバイスモデルおよび熱インピーダンスモデルを利用することで，高精度な発熱・温度推定を可能にしている．さらに，提案手法では，高速な推定を可能にするため，事前の回路シミュレーションで得た発熱-温度間のルックアップテーブルを利用する．このルックアップテーブルを用いることで，タイムステップごとにスイッチング動作からデバイスの発熱を求める計算プロセスを省略でき，計算時間の大幅削減を可能にしている．従来手法と比べ，約  $10^4$  倍高速に発熱・温度が推定可能であることを示す．

第5章では，より実用的なパワーモジュールの発熱・温度推定のため，デバイス特性ばらつきを考慮したシミュレーションに関する検討を行なう．シミュレーションにデバイス特性ばらつきを考慮するには，各デバイスのモデルパラメータを統計的に扱う必要があり，計算時間が膨大となる．この計算時間を削減するため，電力変換回路におけるパワーモジュールの動作におい

て、デバイス特性ばらつきの影響が支配的なモデルパラメータの効率的な決定手法を提案する。提案の統計的パラメータ決定手法により、従来手法の精度を維持しつつ、高速にパラメータを決定できることを示す。

第6章では、本論文で得られた成果についてまとめ、今後の展望を示す。

以上の提案を通じ、本研究では、電力変換回路におけるパワーモジュールの熱推定を高精度かつ高速に実現できることを示す。提案の SiC MOSFET モデルおよび熱インピーダンスモデルを適用することで、電力変換回路において 2.0 W および 5.0 °C 以内の発熱・温度の高精度推定が実現される。同時に、発熱–温度間のルックアップテーブルの導入により、従来と比べて  $10^4$  倍高速な発熱・温度の推定が可能となる。また、デバイス特性ばらつきを考慮したシミュレーションの検討においては、デバイス特性ばらつきの影響が支配的な統計的モデルパラメータを、従来と比べて約 9.33 倍の速度で決定できる。上記のパラメータ決定の実現により、今後のばらつきを考慮した統計的シミュレーションに要する計算時間の大幅削減が期待できる。



# 目次

概要	i
第1章 序論	1
1.1 研究背景	1
1.2 従来研究の課題	3
1.2.1 電気パートの課題：高精度な SiC MOSFET モデル	3
1.2.2 熱パートの課題：高精度な熱インピーダンスモデル	4
1.2.3 電気-熱パート連成時の課題：高精度・高速な計算手法	4
1.2.4 デバイス特性ばらつきの考慮	5
1.3 本論文の目的および提案内容	6
1.3.1 SiC MOSFET の特性測定とモデリング	6
1.3.2 パッケージの熱インピーダンスの特性測定とモデリング	7
1.3.3 高精度・高速な熱回路連成シミュレーション手法	8
1.3.4 デバイス特性ばらつきの影響に関する検討	8
1.4 本論文の構成	9
第2章 SiC MOSFETの特性測定とモデリング	11
2.1 SiC MOSFET モデル	11
2.1.1 モデル構成	13
2.1.2 表面電位の計算	16
2.1.3 $I$ - $V$ 特性	17
2.1.4 $C$ - $V$ 特性	19
2.1.5 モデルの妥当性検証	20
2.1.6 提案モデルのまとめ	25
2.2 高電圧大電流領域の $I$ - $V$ 測定手法の開発	30
2.2.1 従来の $I$ - $V$ 測定手法とその課題	30
2.2.2 提案する $I$ - $V$ 測定手法	32
2.2.3 提案する $I$ - $V$ 測定手法の妥当性検証	32
2.2.4 提案する $I$ - $V$ 測定手法のまとめ	37

---

2.3	本章のまとめ	37
第3章	パッケージの熱インピーダンスの特性測定とモデリング	39
3.1	はじめに	39
3.2	熱インピーダンスモデル	40
3.3	熱インピーダンス特性測定手法の提案	42
3.4	実験準備	44
3.4.1	試作モジュール	44
3.4.2	測定システムの開発	46
3.5	提案手法の適用	47
3.5.1	熱インピーダンスの特性測定結果	47
3.5.2	熱インピーダンスのモデリング結果	48
3.6	妥当性検証	48
3.6.1	検証設定	48
3.6.2	異なる $I_{\text{test}}$ 条件における検証結果	51
3.6.3	熱干渉が温度推定精度におよぼす影響	53
3.6.4	デバイス配置が異なるパワーモジュールによる検証結果	55
3.7	本章のまとめ	56
第4章	高精度・高速な熱回路連成シミュレーション	57
4.1	はじめに	57
4.2	提案の熱回路連成シミュレーション	59
4.3	提案手法の妥当性検証の準備	60
4.3.1	試作モジュール	60
4.3.2	回路条件	62
4.3.3	測定条件	63
4.3.4	シミュレーション設定	64
4.4	検証結果	65
4.4.1	精度	65
4.4.2	計算時間	67
4.5	本章のまとめ	68
第5章	パワーモジュール内のデバイス特性ばらつきの影響に関する検討	69
5.1	はじめに	69
5.2	電流アンバランスのメカニズム	71



目次	vii
5.3 従来の統計的パラメータ決定手法 . . . . .	73
5.4 提案する統計的パラメータ決定手法 . . . . .	75
5.4.1 NFPVの導出 . . . . .	76
5.4.2 提案手法の計算手順 . . . . .	79
5.5 提案手法の妥当性検証 . . . . .	80
5.5.1 シミュレーション設定 . . . . .	81
5.5.2 検証結果 . . . . .	84
5.6 本章のまとめ . . . . .	93
<b>第6章 結論</b>	<b>95</b>
6.1 研究成果のまとめ . . . . .	95
6.2 今後の展望 . . . . .	98
<b>参考文献</b>	<b>99</b>
<b>付録A 表面電位式および電流式の導出</b>	<b>113</b>
A.1 表面電位式 . . . . .	113
A.2 電流式 . . . . .	115
<b>図目次</b>	<b>117</b>
<b>表目次</b>	<b>121</b>
<b>図表の著作権に関する注意事項</b>	<b>123</b>
<b>研究業績</b>	<b>125</b>
<b>謝辞</b>	<b>129</b>



# 第1章

## 序論

### 1.1 研究背景

パワーエレクトロニクスは、電源の電力を負荷が要求する形態に変換して供給する技術である [1]。現在、パワーエレクトロニクスは、冷蔵庫・エアコンなどの家電、鉄道・電気自動車などのモビリティ、太陽光発電・風力発電などのエネルギーインフラにいたる様々な分野で応用が進んでおり、省エネルギーのための必要不可欠な技術となっている [1-4]。

パワーエレクトロニクスによる電力変換は、パワーデバイスのスイッチング動作による電流、電圧のオン・オフ制御に基づいている [1]。電力変換回路は、高効率化、小型化、高電力密度化が要求されており、これらを実現するためには、パワーデバイスの導通損失およびスイッチング損失の低減、スイッチング速度の高速化、高耐圧化が不可欠となる [2-4]。しかしながら、従来から普及している Si 半導体を用いたパワーデバイス、例えば Si MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor: MOS 型電界効果トランジスタ) や Si IGBT (Insulated Gate Bipolar Transistor: 絶縁ゲートバイポーラトランジスタ) の性能は、製造技術の進歩によって Si 半導体の物性限界に近づいており、これ以上の大きな発展は望めないと考えられている [3]。

Si 半導体の物性限界を超える材料として、ワイドバンドギャップ半導体である SiC 半導体が注目されている [2,3,5-7]。SiC 半導体は、Si 半導体と比べてバンドギャップが約 3 倍大きいいため、高温動作が可能となる。また、絶縁破壊電解が約 10 倍大きく、オフ時に絶縁を保つドリフト層をより薄くできるため、オン抵抗は同耐圧で理論的に約 1/300 まで低減でき、さらに高速動作も可能となる。これらの優れた特性から、SiC パワーデバイス、例えば SiC SBD (Schottky Barrier Diode: ショットキーバリアダイオード) や SiC MOSFET を用いることによる、電力変換回路の小型・高効率化の実現が期待されている [3,5,7]。

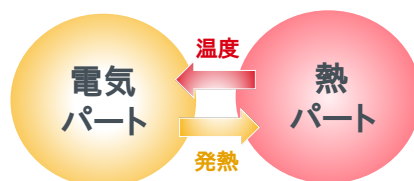


図 1.1: 熱回路連成シミュレーションの基本構成

SiC パワーデバイスには上記の優れた特性を有するものの、特に SiC MOSFET は、従来の Si パワーデバイスと比べて製造技術が未熟であり、チップサイズの大型化が難しいという課題がある [8]。したがって、単体の SiC MOSFET の電流定格は比較的小さく、例えば電気自動車の主機インバータのような数百 kW レベルの大電力応用に対応できない。そのため、複数の SiC MOSFET を一つのパッケージに実装したパワーモジュールが開発されている [9–12]。

パワーモジュールは、高電力密度化、高速動作を実現するため、可能な限り小型なパッケージに複数のデバイスが実装される [13]。必然的に、デバイス単体の動作時と比べて熱負荷が深刻になる。この熱負荷は、パワーモジュールの熱設計を厳しくすると同時に、パワーモジュールの信頼性を低下させる可能性がある。デバイスの性能を最大限に発揮し、電力変換回路全体の小型化を実現する観点からも、パワーモジュールの熱設計はますます重要になっている [14–16]。実験的な熱設計のアプローチは、パワーモジュールの試作およびテストを何度も繰り返す必要があり、膨大な時間と金銭的成本を要する。上記を解決するため、試作やテストが不要なシミュレーションによる熱設計が望まれている [13–19]。

電力変換回路において、パワーモジュールはデバイスのスイッチング動作によって発熱が生じ、この発熱とパッケージの放熱特性に応じてデバイス温度が上昇する。シミュレーションによる熱設計においては、この発熱と温度上昇を推定する必要がある。もし仮に発熱と温度に相関が無い場合、発熱と温度の推定を別々に実施しても問題ない。しかし実際には、温度上昇によってデバイスの電気的特性 (例：オン抵抗、閾値電圧) が変化するため、発熱の傾向が変わる。発熱の変化にともなって、再び温度が変化する。上記のように、発熱と温度は互いに相関をもっているため、これらは同時に推定する必要がある。この同時推定を実現するのが、熱回路連成シミュレーションである [13–19]。

熱回路連成シミュレーションの基本構成を図 1.1 に示す [13–19]。熱回路連成シミュレーションには電気および熱のシミュレーションパートが存在し、

互いのパートを連携する形をとる．具体的にはまず，電気パートにおいて，パワーモジュールに実装されたデバイスのスイッチング動作によって生じる発熱を推定する．次に熱パートにおいて，電気パートの計算で得た発熱，およびパッケージの放熱構造に基づいてデバイス温度を推定する．さらに，熱パートで得た温度を電気パートのデバイス動作温度に反映させ，再度発熱を推定する．上記の電気-熱パート間の計算サイクルをタイムステップ毎に繰り返し行なうことで，回路動作中の発熱・温度を同時に推定する．

## 1.2 従来研究の課題

パワーモジュールの熱設計を目的として，これまでに多数の熱回路連成シミュレーション手法が提案されている [13–19]．しかしながら，いずれの手法も，精度や計算速度などの実用上の観点で課題が存在する．以下の 1.2.1 節から 1.2.4 節において，従来研究の各課題について詳細に説明する．

### 1.2.1 電気パートの課題：高精度な SiC MOSFET モデル

電気パートでは，デバイスのスイッチング動作によって生じる発熱を高精度に推定可能であることが求められる．これを実現するのが，スイッチング動作を高精度に再現するデバイスモデルである．SiC パワーモジュールにおいては，SiC MOSFET の高精度モデルが要求される．

SiC MOSFET のモデルはまだ十分に確立しておらず，Si MOSFET ベースの閾値電圧モデルが長らく用いられてきた [20–23]．従来の熱回路連成シミュレーション手法でも，閾値電圧ベースのモデルが SiC MOSFET モデルとして利用されている．しかしながら，閾値電圧モデルは，電流電圧 ( $I$ - $V$ ) 特性や容量 ( $C$ - $V$ ) 特性など，SiC MOSFET の特性を十分に再現できていない．特に，SiC MOSFET の回路動作を再現する上で重要な課題である界面トラップなどの物理現象を考慮することが困難である [24]．界面トラップを考慮した SiC MOSFET の表面電位ベースのモデルはいくつか提案されている [25,26]．しかしながら，文献 [25] では界面トラップによる移動度の劣化が表現されていない．そのため，ゲート閾値電圧付近のドレイン電流を正確に再現することが困難である．また，ゲート・ドレイン間容量はスイッチング動作を再現するために最も重要な特性の一つであるにもかかわらず，文献 [26] では当該特性のモデル記述が無い．また，モデルの温度依存性についても十分に議論されておらず，実用的な温度条件下におけるモデルの精度

が明らかにされていない。

熱回路連成シミュレーションにおいて、パワーモジュールに実装された SiC MOSFET の発熱を高精度に推定するため、上記の課題を解決した新たな SiC MOSFET モデルが必要となる。

### 1.2.2 熱パートの課題：高精度な熱インピーダンスモデル

熱パートでは、デバイスの発熱に起因するデバイスの温度変化を高精度に推定する必要がある。これを実現するためには、パッケージの高精度な熱インピーダンスモデルが必要となる。デバイスが複数実装されるパワーモジュールにおいては、デバイス自身の発熱による温度上昇（自己発熱）のみならず、互いのデバイス間の発熱による温度上昇（熱干渉）も生じる。そのため、デバイス単体の動作時と比べてインピーダンスの構成要素が多くなる。

熱干渉を考慮したパッケージの熱インピーダンスモデルについては、これまでに多くの研究がなされてきた [15, 19, 27–33]。これらの研究は、有限要素法 (FEM) に基づく手法 [19, 27, 28] と、実験による特性評価に基づく手法 [29–34] に大別できる。FEM ベースの利点は、パワーモジュールを試作する前にデバイス温度を推定できる点にあり、実験による特性評価ベースの利点は、モジュール–デバイス接合間の接触熱抵抗を含めて熱インピーダンスとしてモデル化でき、高精度なデバイス温度推定が期待できる点にある。しかし、いずれも実測温度を用いた妥当性検証がなされておらず、得られた熱インピーダンスモデルの精度や有効範囲が明らかではない。実測温度による妥当性検証をしている研究もあるが、検証範囲が最大でも 70 °C と低く、パワーモジュールの実用的な動作温度 (例: 150 °C) がカバーされていない [14]。

熱回路連成シミュレーションにおいて、パワーモジュールの温度を高精度に推定するためには、上記の課題を解決した熱インピーダンスモデルが必要となる。また、熱インピーダンスモデルの実用性を保証するため、デバイスの動作保証温度 (例：175 °C) をカバーする範囲における実測検証が不可欠である。

### 1.2.3 電気–熱パート連成時の課題：高精度・高速な計算手法

熱回路連成シミュレーションにおける課題の一つは、高精度な発熱・温度推定である。これは、1.2.1 節および 1.2.2 節で述べた高精度なデバイスモデルおよび熱インピーダンスモデルにより実現される。もう一つの課題は、計

算時間である．熱回路連成シミュレーションでは，時定数に大きく差がある電気および熱パートの計算を組み合わせる必要がある．具体的には，電気パートの計算では，デバイスのスイッチング動作を再現するため，ナノ秒オーダー ( $=10^{-9}$  s) の時定数となる．一方，熱パートの計算ではパッケージの緩やかな温度変化を推定するため，分オーダー ( $=10^2$  s) となる．単純に上記の計算を組み合わせると，ナノ秒オーダーのタイムステップで分オーダーまで計算を進める必要があり，計算時間が膨大になる．

熱回路連成シミュレーションの計算手法に関しては，多くの研究がなされている [13–18]．ほとんどの研究では，電気パートのデバイスモデルとして従来の閾値電圧モデルを用い，熱パートの熱インピーダンスモデルには FEM を利用している [13, 15–18]．文献 [14] は，デバイスモデルの代わりにデータシート特性に基づくルックアップテーブル手法によってデバイス発熱の推定を行うことで，高速なシミュレーションを実現している．しかしながら，1.2.1 節および 1.2.2 節で述べた通り，閾値電圧モデル，FEM ベースの熱インピーダンスモデルともに精度面に懸念がある．ルックアップテーブル手法に関しても，SiC MOSFET のデータシート上に現在記載されている特性範囲では，実際のスイッチング動作を十分に再現できず [35]，十分な精度で発熱を推定できない．以上のように，いずれの従来手法に関しても，精度・計算速度の両立の観点で課題がある．

発熱・温度を高精度かつ高速に推定可能な熱回路連成シミュレーション手法が必要不可欠となる．

#### 1.2.4 デバイス特性ばらつきへの考慮

従来の熱回路連成シミュレーションでは，デバイスの特性ばらつきが回路動作におよぼす影響の検討は十分に行われていなかった．これは，従来の Si パワーデバイスの製造技術が成熟しており，特性ばらつきの影響が小さいためと考えられる．一方，SiC パワーデバイスは製造が困難である上，製造技術が Si パワーデバイスと比べて未熟であり，製造プロセス上の様々な要因で無視できない特性ばらつきが生じる．この特性ばらつきは，パワーモジュールの回路動作に対して多大な影響を与え，パワーモジュールの寿命低下や熱破壊にまで至る可能性がある．

文献 [36–38] では，デバイス特性ばらつきが回路動作におよぼす影響の検討が行われているが，数個の限られたデバイスの実験にとどまっており，統計的な特性ばらつきへの解析には至っていない．文献 [39] では，回路シミュ

レーションによって、デバイス特性ばらつきが並列動作時のエネルギー損失ばらつきにおよぼす影響を統計的に検討している。しかし、この文献では精度に懸念のある閾値電圧モデルが使用されている上、閾値電圧と電流ゲインファクタという予め決められた2つのパラメータのばらつきしか考慮していない。回路条件や使用するモデルに応じて、異なる種類のパラメータのばらつきを考慮するのが妥当と考えられる。

実用的な回路設計に用いられるデバイスモデルは、デバイスの回路動作を高精度に再現するため、多数のモデルパラメータが用いられている [40–44]。しかし、統計的シミュレーションのために必要なモデリングの作業、シミュレーションに要する計算コストを考えると、限られた数のパラメータしか統計的に扱うことができない。一方、デバイス特性ばらつきの影響を正確に精度良く再現する必要があるため、統計的に扱うパラメータを効率的に決定する必要がある [45]。

### 1.3 本論文の目的および提案内容

本論文は、シミュレーションによるパワーモジュールの熱設計の実現を目的として、特性測定およびモデリングに基づいた熱回路連成シミュレーションを提案する。1.2節で示した従来研究の各課題を解決することで、電力変換回路におけるパワーモジュールの発熱と温度を高精度・高速に推定可能となる。また、従来の熱回路連成シミュレーションでは検討されていなかった、デバイス特性ばらつきの考慮を容易にするための手法も新たに提案する。

上記の目的を実現するため、本論文の第2～5章で提案する技術、特徴、および目標を表1.1にまとめる。なお、第3章、第4章における目標の温度推定精度 (10°C以内) は、デバイスの信頼性予測で用いられるアレニウスの式 [46] に基づくと、10°Cの温度差で推定寿命が約2倍変わることとを考慮して設定した。以下の1.3.1節から1.3.4節で、各提案技術の詳細について述べる。

#### 1.3.1 SiC MOSFETの特性測定とモデリング

電気パートにおける高精度な発熱推定のため、SiC MOSFETのスイッチング動作を精度良く再現可能な特性測定とモデリングを提案する。提案モデルはSiC MOSFETの物理構造に基づいており、MOS界面の表面電位をベースにデバイスの電流電圧 ( $I$ - $V$ ) 特性と容量電圧 ( $C$ - $V$ ) 特性を表現する。



表 1.1: 第 2 ~ 5 章の提案技術, 特徴, および目標

章	テーマ	提案技術	特徴	目標
2	SiC MOSFET の特性測定とモデリング	・表面電位に基づくデバイスモデル ・高電圧大電流領域の $I$ - $V$ 測定	高精度	スイッチング動作の再現@ 実用範囲 (数百 V / 数百 A)
3	パッケージの特性測定とモデリング	熱干渉を考慮した特性測定・モデル	高精度	10°C 以内の温度再現@ DC 動作
4	熱回路連成シミュレーション	2, 3 章のモデルおよびルックアップテーブルを応用	・高精度 ・高速	・10°C 以内の温度再現@ コンバータ連続動作 ・1 日以内で計算完了
5	パワーモジュール内のデバイス特性ばらつき	デバイス特性ばらつきの影響が支配的なパラメータ決定手法	高速	1 日以内でパラメータ決定

特に, SiC MOSFET で顕著とされる界面トラップの影響を考慮することで, mW から kW オーダーにいたる広い電力範囲の特性再現が可能であることを示す. 提案モデルにより, 広い回路条件において実測のスイッチング波形を再現することを明らかにする. また, より大電力で実用的なモデルを実現するため, 従来より広い電流電圧範囲においてデバイスの  $I$ - $V$  測定を可能にする手法を提案する. 提案手法を用いることで, 従来手法では困難であった数百 V / 数百 A レベルの測定が可能であることを示す. 提案手法で得た  $I$ - $V$  特性を用いることで, 上記の電力レベルの動作において高い波形再現性を有するモデルが実現可能であることを明らかにする.

### 1.3.2 パッケージの熱インピーダンスの特性測定とモデリング

熱パートにおける高精度な温度推定のため, モジュールパッケージの熱インピーダンスの特性測定およびモデリング手法を提案する. 提案手法では, 従来の SiC MOSFET 単体の過渡熱測定手法を応用することで, モジュールパッケージ内に実装された複数の SiC MOSFET 間の熱インピーダンス特性を測定可能にする. 得られた特性に基づいて熱インピーダンスモデルを構築することで, SiC MOSFET 間の熱干渉を考慮した温度推定が可能となる. 妥当性検証により, 提案手法で得られた熱インピーダンスモデルがパワーモジュールにおけるデバイスの実測温度を精度良く再現できることを示す.

### 1.3.3 高精度・高速な熱回路連成シミュレーション手法

パワーモジュールの発熱と温度を高精度・高速に推定可能な熱回路連成シミュレーション手法を提案する。従来の熱回路連成シミュレーション手法は、精度と計算時間の両面に課題がある。提案手法では、1.3.1節および1.3.2節のSiC MOSFETモデルと熱インピーダンスモデルを応用することで、高精度な発熱・温度推定を可能にする。さらに、提案手法では、高速な推定を可能にするため、事前の回路シミュレーションで得た発熱のルックアップテーブル(LUT)を利用する。LUTを用いることで、タイムステップごとにスイッチング動作からデバイスの発熱を求める計算プロセスを省略でき、計算時間の大幅削減が可能になる。実機検証により、提案手法が電力変換回路におけるパワーモジュールの発熱・温度を高精度・高速に再現できることを示す。

### 1.3.4 デバイス特性ばらつきの影響に関する検討

従来の熱回路連成シミュレーションにおいて検討が十分なされていない、デバイス特性ばらつきを考慮したシミュレーションに関する検討を行なう。本検討では、デバイス特性ばらつきが特に問題となる、パワーモジュールにおけるデバイスの並列動作を対象とし、並列動作においてデバイス特性ばらつきの影響が支配的なモデルパラメータの効率的な決定手法を提案する。提案手法では、回路動作に対する並列デバイスのパラメータ相関が考慮された式を導入する。この導入式は、CMOSデバイス単体の特性ばらつきが回路に与える影響を推定するFPV (Forward Propagation of Variance) [47,48]に基づいており、並列接続された複数のパワーデバイスが回路に与える影響を推定するために新たに拡張したものとなる。導入式により、デバイス間の相互作用を考慮した上で、並列動作時に問題となる電流アンバランスに対するモデルパラメータの影響を高速に評価可能となる。SiC MOSFETの実測特性を用いて、導入式に基づいた提案の統計的パラメータ決定手法の妥当性を検証し、従来手法と同等の精度を維持しつつ高速にパラメータを決定できることを示す。デバイス特性ばらつきの影響が支配的な統計的モデルパラメータが決定できることで、今後のばらつきを考慮したシミュレーションの計算時間の大幅削減が期待できる。

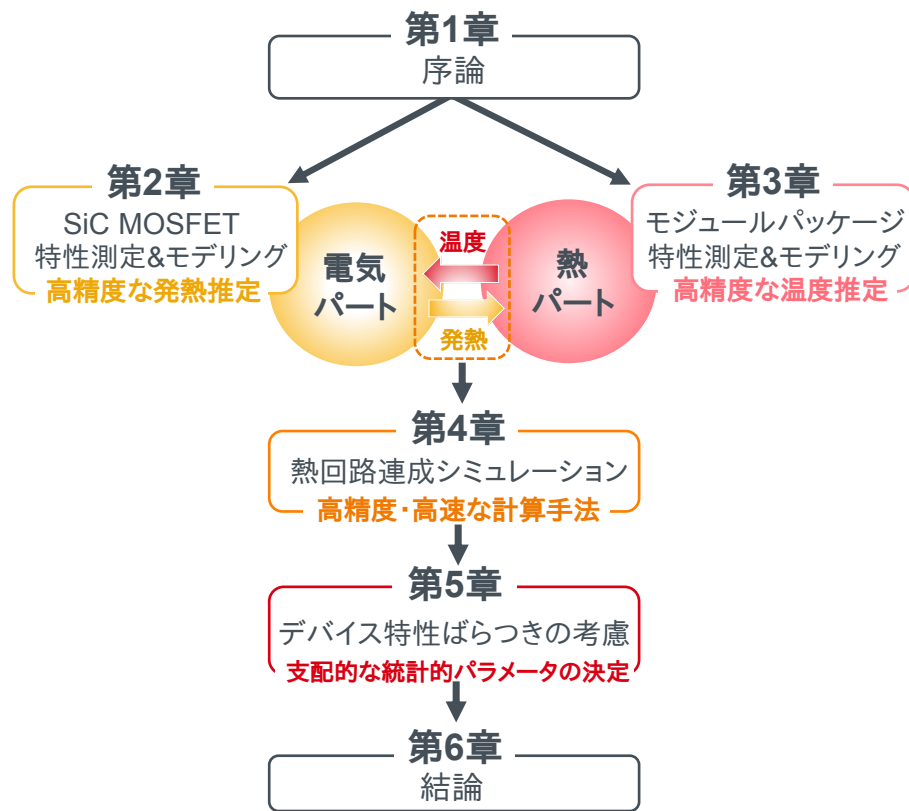


図 1.2: 本論文の構成

## 1.4 本論文の構成

本論文の構成を図 1.2 に示す。まず第 1 章 (本章) では、研究背景、従来研究の課題、本研究の目的および提案内容についてまとめた。続く第 2 章では、提案する SiC MOSFET の特性測定とモデリングについて述べる。第 3 章では、パッケージの熱インピーダンスの特性測定とモデリングを提案する。次の第 4 章では、前章で提案してきたデバイスモデルおよびモジュールパッケージの熱インピーダンスモデルを利用し、回路動作におけるパワーモジュールの熱推定を高精度・高速に実施可能な熱回路連成シミュレーション手法を提案する。第 5 章では、より現実的なパワーモジュールの発熱・温度推定に向け、パワーモジュールにおけるデバイス特性ばらつきの影響が支配的な統計的モデルパラメータの決定手法を提案する。最後に、第 6 章の結論で本論文をまとめ、今後の展望を示す。



## 第2章

# SiC MOSFETの特性測定とモデリング

本章では，SiC MOSFET の特性測定とデバイスモデルを提案する．本章の技術は，第4章の熱回路連成シミュレーションにおいてパワーモジュールの高精度な発熱推定を実現するために不可欠となる．まず2.1節において，提案のSiC MOSFET モデルについて述べる．続く2.2節では，より実用的な電力動作範囲で高精度なモデルを実現するため，従来より広い範囲において，デバイスの電流電圧特性が測定可能な手法を提案する．最後に，2.3節で本章をまとめる．

## 2.1 SiC MOSFET モデル

SiC MOSFET のモデルとして，従来のSi MOSFET に基づいた閾値電圧モデルが長らく用いられてきた [20–23]．しかし，電流電圧 ( $I$ - $V$ ) 特性や容量 ( $C$ - $V$ ) 特性など，SiC MOSFET の特性を十分に再現できていない．特に，SiC MOSFET の回路動作を再現する上で重要な課題である界面トラップなどの物理現象を考慮することが困難である [24]．近年，デバイス動作を物理的に表現できる表面電位ベースのモデルが提案され，Si デバイスに適用されつつある [49–53]．

界面トラップを考慮したSiC MOSFET の表面電位ベースのモデルはいくつか提案されている [25,26]．しかし，文献 [25] では，トラップ電荷による移動度の劣化が表現されていない．そのため，ゲート閾値電圧付近のドレイン電流を正確に再現することが困難である．また，ゲート・ドレイン間容量はスイッチング動作を再現するために最も重要な特性の一つであるにもかかわらず，文献 [26] では当該特性のモデル記述が無い．また，モデルの温度依存性についても十分に議論されておらず，実用的な温度条件下におけるモデルの精度が明らかにされていない．

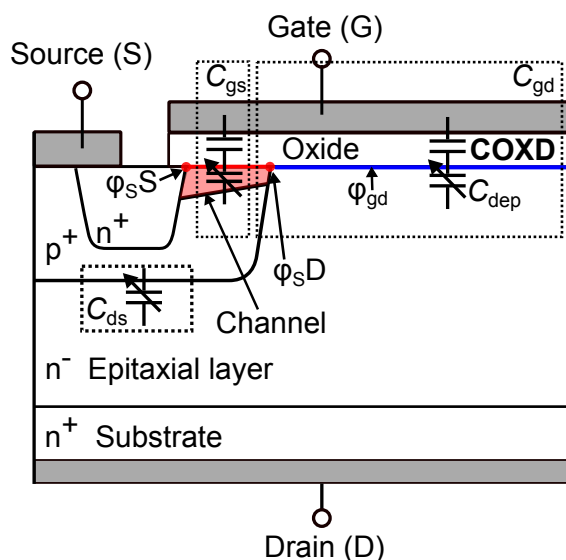


図 2.1: SiC MOSFET の断面構成図 © IEEE 2018

本節では，表面電位に基づいた SiC MOSFET の高精度モデルを提案する．図 2.1 に，本検討の対象である SiC MOSFET の構造図を示す．提案モデルでは，この構造を想定し，MOS 構造の表面電位に基づいて  $I-V$ ， $C-V$  特性を表現する．提案モデルは，表面電位の計算において，SiC/SiO<sub>2</sub> 界面でのトラップ電荷を考慮した．SiC MOSFET を用いた実験により，mW から kW オーダーに至る広い電力範囲で提案モデルの精度を検証し，実用的な回路動作範囲をカバーできることを明らかにする．

提案モデルの新規性は以下の 2 点である：

- SiC MOSFET の高精度モデルを提案した．MOS 界面の表面電位に基づき，MOSFET の物理構造を考慮することで，電流および容量特性の忠実な再現を実現した．
- 実際の SiC MOSFET を用いた検証により，20 mW から 1 kW の範囲において，モデルが実測の特性を精度良く再現できることを示した．

まず 2.1.1 節でモデル構成について述べる．2.1.2 節では，提案モデルの重要部分となる表面電位の計算について述べ，続く 2.1.3 節および 2.1.4 節にて，表面電位に基づく  $I-V$  および  $C-V$  のモデル式を述べる．2.1.5 節でモデルの妥当性検証を行い，2.1.6 節で提案モデルについてまとめる．

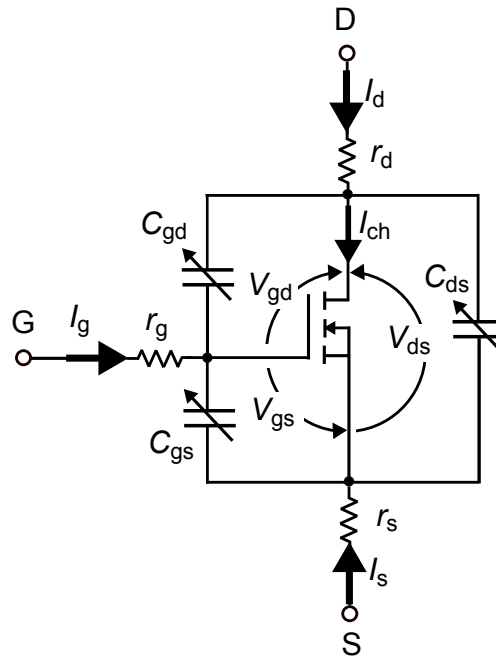


図 2.2: 提案モデルの等価回路 © IEEE 2018

### 2.1.1 モデル構成

提案モデルの等価回路を図 2.2 に示す．本モデルは，主にチャネル電流  $I_{ch}$ ，ゲート-ソース間容量  $C_{gs}$ ，ドレイン-ソース間容量  $C_{ds}$ ，およびゲート-ドレイン間容量  $C_{gd}$  で構成される．本モデルでは，外部印加電圧を入力として図 2.1 に示すチャネルの表面電位が計算される．表面電位により， $I_{ch}$  と  $C_{gd}$  が算出される．理想的なデバイスはフラットバンド電圧はゼロだが，実際は電荷トラップ等の影響でゼロとはならない．本モデルでは，このフラットバンド電圧を表面電位のシフト量として考慮する．また，電荷トラップによるチャネル移動度の劣化も考慮する．表 2.1，表 2.2，表 2.3 に，提案のデバイスモデルで用いるシンボルリスト， $I$ - $V$  特性， $C$ - $V$  特性のモデルパラメータリストをそれぞれ示す．

表 2.1: 提案モデルで用いるシンボルリスト © IEEE 2018

シンボル	説明
$k$	ボルツマン定数 [J/K]
$q$	素電荷 [C]
$T$	絶対温度 [K]
$T_0$	基準温度 [K]
$\varepsilon_{\text{SiC}}$	SiC の比誘電率 [F/m]
$\varepsilon_{\text{ox}}$	ゲート酸化膜の比誘電率 [F/m]
$L$	チャンネル長 [m]
$W$	チャンネル幅 [m]
$M$	MOSFET のセル数 [-]
$\mu_{\text{eff}}$	実効チャンネル移動度 [ $\text{cm}^2/\text{Vs}$ ]
$\phi_{\text{F}}$	フェルミ準位 [V]
$\phi_{\text{f}}$	疑似フェルミ準位 [V]
$\phi_{\text{t}}$	熱電圧 ( $kT/q$ ) [V]
$\phi_{\text{s}}$	表面電位 [V]
$\phi_{\text{sS}}$	ソース端の表面電位 [V]
$\phi_{\text{sD}}$	ドレイン端の表面電位 [V]
$\phi_{\text{gd}}$	ゲート-ドレイン間の空乏層の表面電位 [V]
$V_{\text{ox}}$	ゲート酸化膜の電圧 [V]
$I_{\text{ch}}$	MOSFET のチャンネル電流 [A]
$I_{\text{d}}$	ドレイン電流 [A]
$I_{\text{g}}$	ゲート電流 [A]
$I_{\text{s}}$	ソース電流 [A]
$V_{\text{gs}}$	実効ゲート-ソース間電圧 [V]
$V_{\text{ds}}$	実効ドレイン-ソース間電圧 [V]
$V_{\text{gd}}$	ゲート-ドレイン間電圧 [V]
$C_{\text{ox}}$	単位面積あたりのゲート酸化膜容量 [F/cm <sup>2</sup> ]
$C_{\text{gs}}$	ゲート-ソース間容量 [F]
$C_{\text{ds}}$	ドレイン-ソース間容量 [F]
$C_{\text{gd}}$	ゲート-ドレイン間容量 [F]
$C_{\text{dep}}$	ゲート-ドレイン間の接合容量 [F]
$Q_{\text{s}}$	MOS 界面のトータル電荷 [C/cm <sup>2</sup> ]
$Q_{\text{gs}}$	$C_{\text{gs}}$ のチャージ電荷 [C]
$Q_{\text{ds}}$	$C_{\text{ds}}$ のチャージ電荷 [C]
$Q_{\text{gd}}$	$C_{\text{gd}}$ のチャージ電荷 [C]
$E$	トラップ電荷のエネルギー [eV]
$E_{\text{F}}$	フェルミエネルギー [eV]
$E_{\text{C}}$	伝導帯の下端のエネルギー [eV]
$N_{\text{S}}$	MOS 界面における単位面積あたりの電荷密度 [cm <sup>-3</sup> ]
$N_{\text{T}}$	単位面積あたりのトラップ電荷密度 [cm <sup>-3</sup> ]



表 2.2:  $I-V$  特性のモデルパラメータ © IEEE 2018

モデルパラメータ	説明
<b>TOX</b>	酸化膜厚 [m]
<b>VFBC</b>	チャネル領域のフラットバンド電圧 [V]
<b>NA</b>	アクセプタ濃度 [ $\text{cm}^{-3}$ ]
<b>K</b>	ドレイン電流利得係数 [ $\text{cm}^2/\text{V}$ ]
<b>MU</b>	バルク半導体部分の電子移動度 [ $\text{cm}^2/\text{V}$ ]
<b>RG</b>	ゲート端の寄生抵抗 [ $\Omega$ ]
<b>RS</b>	ソース端の寄生抵抗 [ $\Omega$ ]
<b>RD</b>	ドレイン端の寄生抵抗 [ $\Omega$ ]
<b>LAMBDA</b>	チャネル長変調係数 [1/V]
<b>THETA</b>	チャネル移動度の劣化係数 [1/V]
<b>DELTA</b>	遷移領域のスミージング係数 [-]
<b>DMID</b>	禁止帯中央の界面トラップの状態密度 [ $\text{cm}^2\text{eV}^{-1}$ ]
<b>DC</b>	バンド端の界面トラップの状態密度 [ $\text{cm}^2\text{eV}^{-1}$ ]
<b>SIGMA</b>	バンド尾部のエネルギー [meV]
<b>GAMMAC</b>	クーロン散乱係数 [ $\text{eV}^{-1}\text{cm}^{-2}$ ]
<b>NC</b>	$\mu_C$ の経験的パラメータ [ $\text{Q}/\text{cm}^{-3}$ ]
<b>ZETAC</b>	$\mu_C$ の経験的パラメータ [-]

表 2.3:  $C-V$  特性のモデルパラメータ © IEEE 2018

モデルパラメータ	説明
<b>CGSO</b>	ゲート-ソース間容量 (一定) [F]
<b>ADS</b>	ドレイン-ソース間容量の実効面積 [ $\text{cm}^2$ ]
<b>ND</b>	ドナー密度 [ $\text{cm}^{-3}$ ]
<b>VBI</b>	PN 接合のビルトイン電圧 [V]
<b>COXD</b>	ゲート-ドレイン間の酸化膜容量 [F]
<b>AGD</b>	ゲート-ドレイン間容量の実効面積 [ $\text{cm}^2$ ]
<b>VFBD</b>	ゲート-ドレイン間のフラットバンド電圧 [V]

モデルパラメータは太字で示す (例: **TOX**, **VFBC**)。モデルにおいて, **RG**, **RD**, **RS** はそれぞれゲート, ドレイン, ソースの寄生抵抗を示す。以下では, モデル計算におけるドレイン-ソース間電圧とゲート-ソース間電圧である  $V_{ds}$  と  $V_{gs}$  は, 図 2.2 に示した寄生抵抗による電圧降下を考慮した実効電圧とする。

### 2.1.2 表面電位の計算

提案モデルでは，チャネル領域における表面電位が計算される．図 2.1 に示すように，SiC MOSFET には2種類のMOS構造が存在する．1つは $p^+$ 領域上の $n$ 型MOS構造，すなわち(ゲートメタル)-(ゲート酸化膜)-( $p^+$ 領域)である．もう一つは $n^-$ エピタキシャル領域上の $p$ 型MOS構造，すなわち(ゲートメタル)-(ゲート酸化膜)-( $n^-$ 領域)である．上記の各MOS構造の表面電位を計算し， $I_{ch}$  および  $C_{gd}$  を算出する．本節では， $n$ 型MOS構造に形成された表面電位  $\phi_s$  について説明する．なお， $p$ 型MOS構造の表面電位については，変数の極性を反転させることで同様に表現できる．

MOS界面に蓄積される総電荷量  $Q_s$  は，以下の式で表現される [40,50,54,55]：

$$Q_s = \sqrt{2q\epsilon_{SiC} \cdot NA} \sqrt{\phi_t e^{-\phi_s/\phi_t} + \phi_s - \phi_t + e^{-(2\phi_F + \phi_t)/\phi_t} (\phi_t e^{\phi_s/\phi_t} - \phi_s - \phi_t)} \quad (2.1)$$

なお，上式の導出過程は付録 A.1 に記載している．一方，ガウスの法則より， $Q_s$  は  $C_{ox}$  と  $V_{ox}$  を用いて以下のように表現できる：

$$Q_s = C_{ox} V_{ox} = C_{ox} (V_{gs} - V'_{fbc} - \phi_s) \quad (2.2)$$

ここで， $C_{ox} = \epsilon_{ox}/TOX$  である．式 (2.1) と式 (2.2) より， $\phi_s$  に関する以下の非線形方程式が得られる：

$$C_{ox} (V_{gs} - V'_{fbc} - \phi_s) = \sqrt{2q\epsilon_{SiC} \cdot NA} \sqrt{\phi_t e^{-\phi_s/\phi_t} + \phi_s - \phi_t + e^{-(2\phi_F + \phi_t)/\phi_t} (\phi_t e^{\phi_s/\phi_t} - \phi_s - \phi_t)} \quad (2.3)$$

SiC MOSFET の動作を正確にモデル化するためには，SiC/SiO<sub>2</sub> の界面状態を考慮することが重要である．本モデルでは，界面トラップ電荷を考慮し，上述した表面電位の計算を修正する．なお，本研究では $n$ 型MOSFETを扱うため，アクセプタ領域のトラップ電荷にのみ着目する．

アクセプタ領域のトラップ状態密度は，トラップエネルギー  $E$  の関数として以下のように記述される [56]：

$$D_{it}(E) = DMID + DC \cdot \exp\left(\frac{E - E_c}{SIGMA}\right) \quad (2.4)$$

ここで， $E_c$  は伝導帯の底である．後述の2.1.3節で説明するように，提案モデルでは，界面トラップに関するモデルパラメータ，すなわちDMIDとDC

を温度の線形関数でモデル化する．式 (2.4) を  $E$  に関して積分すると，以下のようにアクセプタ領域のトラップ数  $n_{it}$  が得られる：

$$\begin{aligned} n_{it}(E_s) &= \int_{E_F}^{E_s} D_{it}(E) dE \\ &= \left[ \text{DMID}E_s + \text{SIGMA} \cdot \text{DC} \cdot \exp\left(\frac{E_F - E_C}{\text{SIGMA}}\right) \left( \exp\left(\frac{E_s}{\text{SIGMA}}\right) - 1 \right) \right] \end{aligned} \quad (2.5)$$

界面トラップはフラットバンド電圧をシフトさせるため，界面トラップのシフト量  $V'_{\text{bfc}}$  を考慮したフラットバンド電圧は以下のように記述される：

$$V'_{\text{bfc}} = \text{VFBC} - \frac{q \cdot n_{it}(E)}{C_{\text{ox}}} \quad (2.6)$$

提案モデルでは，フラットバンド電圧は定数ではなく，上述のように変数として取り扱う．得られた  $\phi_s$  から，MOS 界面の反転層の電荷が計算される．チャンネルのドレインからソースにかけて，上記の電荷を積分することで， $I_{\text{ch}}$  が導かれる．さらに，表面電位の微分から，MOSFET のチャンネルにおける静電容量が得られる．なお，表面電位は式 (2.3) の非線形方程式を解くことで得られる [50,53,55] ．

### 2.1.3 $I$ - $V$ 特性

チャンネルの反転電荷は，表面電位の関数として記述される．したがって， $I_{\text{ch}}$  は  $\phi_{\text{SS}}$  ( $\phi_f = 0$  の条件で式 (2.3) を解いて算出) および  $\phi_{\text{SD}}$  ( $\phi_f = V_{\text{ds}}$  の条件で式 (2.3) を解いて算出) を用いて以下の式で算出される [50,53]：

$$I_{\text{ch}} = \mathbf{K} \cdot \mu_{\text{eff}} \cdot I_{\text{DD}} \quad (2.7)$$

$$\begin{aligned} I_{\text{DD}} &= C_{\text{ox}}(V_{\text{gs}} - V'_{\text{bfc}} + \phi_t)(\phi_{\text{SD}} - \phi_{\text{SS}}) - \frac{1}{2} C_{\text{ox}}(\phi_{\text{SD}}^2 - \phi_{\text{SS}}^2) \\ &\quad - \frac{2}{3} \phi_t \sqrt{2\varepsilon_{\text{SiC}}kT \cdot \mathbf{NA}} \left\{ \left( \frac{\phi_{\text{SD}}}{\phi_t} - 1 \right)^{\frac{3}{2}} - \left( \frac{\phi_{\text{SS}}}{\phi_t} - 1 \right)^{\frac{3}{2}} \right\} \\ &\quad + \phi_t \sqrt{2\varepsilon_{\text{SiC}}kT \cdot \mathbf{NA}} \left\{ \left( \frac{\phi_{\text{SD}}}{\phi_t} - 1 \right)^{\frac{1}{2}} - \left( \frac{\phi_{\text{SS}}}{\phi_t} - 1 \right)^{\frac{1}{2}} \right\} \end{aligned} \quad (2.8)$$

ここで， $\mathbf{K} = M \cdot (W/L)$  はドレイン電流利得係数である．なお，上式の導出過程は付録 A.2 に記載している．

チャンネル長変調およびチャンネル移動度劣化を考慮して，式 (2.7) を以下の式に修正する：

$$I_{ch} = \frac{1}{1 + \text{THETA} \cdot V_{gs}} (1 + \text{LAMBDA} \cdot V_{ds}) \cdot K \cdot \mu_{eff} \cdot I_{DD} \quad (2.9)$$

さらに，線形領域-飽和領域間 (遷移領域) における  $I-V$  の滑らかな特性を表現するため，式 (2.9) における  $V_{ds}$  を以下の  $V_{ds_{mod}}$  に置き換える：

$$V_{ds_{mod}} = \frac{V_{ds}}{\left[ 1 + \left( \frac{V_{ds}}{V_{gs}} \right)^{\text{DELTA}} \right]^{1/\text{DELTA}}} \quad (2.10)$$

ここで，DELTA は実測-モデル間のピンチオフ電圧の不一致を補正するパラメータである [50,51] .

SiC MOSFET の反転層における電子移動度 (チャンネル移動度) は，界面トラップによる制限を強く受ける．チャンネル移動度は，Matthiessen の法則を用いて以下のように表される：

$$\frac{1}{\mu_{eff}} = \frac{1}{\text{MU}} + \frac{1}{\mu_{PH}} + \frac{1}{\mu_C} + \frac{1}{\mu_{SR}} \quad (2.11)$$

ここで， $\mu_{PH}$  は界面フォノン散乱に対する移動度， $\mu_C$  はクーロン散乱に対する移動度， $\mu_{SR}$  は界面ラフネス散乱に対する移動度である．これらのうち，界面トラップおよびクーロン散乱が移動度劣化の支配的な因子となる [6] . 提案モデルでは，物理モデル [57] に基づいて，クーロン散乱による移動度劣化を以下のように表現する：

$$\mu_C = \frac{\text{GAMMAC}}{N_S} T \left( 1 + \frac{N_T}{\text{NC}} \right)^{\text{ZETAC}} \quad (2.12)$$

ここで，NC はゲート酸化膜の固定電荷およびトラップされた界面電荷の和である． $N_S$  は界面の全電荷密度を表し，式 (2.2) により算出される．本モデルでは，GAMMAC，NC，ZETAC は経験的パラメータとして取り扱う．

図 2.2 に示す MOSFET の各端子電流  $I_d$ ， $I_s$ ， $I_g$  は以下のように表現できる：

$$I_d = I_{ch} + \frac{dQ_{ds}}{dt} - \frac{dQ_{gd}}{dt} \quad (2.13)$$

$$I_g = \frac{dQ_{gs}}{dt} + \frac{dQ_{gd}}{dt} \quad (2.14)$$

$$I_s = -I_{ch} - \frac{dQ_{ds}}{dt} - \frac{dQ_{gs}}{dt} \quad (2.15)$$

ここで,  $Q_{gs}$ ,  $Q_{ds}$ ,  $Q_{gd}$  は各端子間容量に蓄積される電荷であり, 後述の 2.1.4 節で説明する.

パワーエレクトロニクスでは, MOSFET 自体の発熱が回路性能に大きな影響を与えるため, MOSFET の動作時の温度依存性のモデル化も重要となる. 特に, MOSFET の  $I$ - $V$  特性が温度依存性を持つことはよく知られている [7,55]. 提案モデルでは, NA, TOX, DELTA などの温度に依存しないことが分かっているパラメータを除き, モデルパラメータは以下の式に示すように温度に対して線形に変化するように表現する:

$$\text{VFBC} = \text{VFBC0} + \text{VFBCS} \cdot (T - T_0) \quad (2.16)$$

$$\text{THETA} = \text{THETA0} + \text{THETAS} \cdot (T - T_0) \quad (2.17)$$

$$\text{MU} = \text{MU0} + \text{MUS} \cdot (T - T_0) \quad (2.18)$$

$$\text{RD} = \text{RD0} + \text{RDS} \cdot (T - T_0) \quad (2.19)$$

ここで, VFBC0, THETA0, MU0, RD0 は基準温度  $T_0$  におけるパラメータである. VFBCS, THETAS, MUS, RDS は各パラメータの温度係数を示す. VFBC はゲート電極の仕事関数で定義されるため [58], 温度に対して線形に仮定している. キャリアである電子が半導体中を移動する際は, フォノン散乱のため, RD に影響を与える [7]. MU や THETA についても, 温度依存性があることが知られている [59]. 提案モデルでは, MU と THETA は経験的に式 (2.18), 式 (2.19) のようにモデル化した. DMID, DC, NC, ZETAC などの界面トラップに関するパラメータも複雑な温度依存性を持つことが知られているが [60], これらのパラメータもデバイス動作における温度範囲を考慮して, 線形にモデル化した.

### 2.1.4 C-V 特性

図 2.2 に示すように, 提案モデルは 3 つの端子間容量 ( $C_{gs}$ ,  $C_{ds}$ ,  $C_{gd}$ ) で構成されている. 特に,  $C_{ds}$  と  $C_{gd}$  は電圧に対する非線形性が高く, スイッチング波形に大きな影響を与える [61,62]. 提案モデルでは, これらの端子間容量を次のようにモデル化する:

$$C_{gs} = \text{CGSO} \quad (2.20)$$

$$C_{ds} = \text{ADS} \cdot \sqrt{\frac{\epsilon_{\text{SiC}} \cdot q \cdot \text{ND}}{2(\text{VBI} + V_{ds})}} \quad (2.21)$$

$$C_{gd} = \text{COXD} \parallel C_{\text{dep}} \quad (2.22)$$

$$C_{\text{dep}} = \text{AGD} \cdot \sqrt{2q\epsilon_{\text{SiC}} \cdot \text{ND}} \cdot \frac{1 - e^{-\phi_{\text{gd}}/\phi_t} + e^{-(2\phi_F + V_{\text{ds}})/\phi_t} (e^{\phi_{\text{gd}}/\phi_t} - 1)}{2\sqrt{\phi_t e^{-\phi_{\text{gd}}/\phi_t} + \phi_{\text{gd}} - \phi_t + e^{-(2\phi_F + V_{\text{ds}})/\phi_t} (\phi_t e^{\phi_{\text{gd}}/\phi_t} - \phi_{\text{gd}} - \phi_t)}} \quad (2.23)$$

図 2.1 に示すように，ゲート-ソース間容量  $C_{\text{gs}}$  はチャンネル上における MOS の非線形な容量とゲート酸化膜による電圧依存が無いな容量の直列容量である．MOS 容量の変化は， $\phi_s$  に依存する．しかし，提案モデルでは，印加電圧による  $C_{\text{gs}}$  の変化は  $C_{\text{ds}}$  や  $C_{\text{gd}}$  の変化に比べて小さいため， $C_{\text{gs}}$  は式 (2.20) のように一定と仮定する．

ドレイン-ソース間容量  $C_{\text{ds}}$  は電圧依存性を有する接合容量であり，図 2.1 の  $p^+$  領域と  $n^-$  エピタキシャル領域における空乏層により，式 (2.21) のように変化する． $C_{\text{gd}}$  は，一定のゲート酸化膜容量および JFET 領域における MOS 界面に形成される  $p$  型半導体の MOS 容量で構成されている．したがって，式 (2.22) に示すように， $C_{\text{gd}}$  はゲート酸化膜容量  $\text{COXD}$  と MOS 容量  $C_{\text{dep}}$  の直列合成容量で表現する．MOSFET の基板バイアス効果を考慮すると， $C_{\text{dep}}$  は図 2.1 に示すように，JFET 領域下の MOS 界面に形成された正孔チャンネルの表面電位  $\phi_{\text{gd}}$  の関数となる． $\phi_{\text{gd}}$  は式 (2.3) において， $(\phi_s, V_{\text{gs}}, \phi_f, \text{NA}, V'_{\text{fbc}})$  を  $(\phi_{\text{gd}}, V_{\text{gd}}, V_{\text{ds}}, \text{ND}, \text{VFBD})$  に置き換えて計算できる．

以上で導出した寄生容量を用い，式 (2.13) から式 (2.15) における  $Q_{\text{gs}}, Q_{\text{ds}}, Q_{\text{gd}}$  は以下のように表される：

$$Q_{\text{gs}} = \int C_{\text{gs}} dV_{\text{gs}} \quad (2.24)$$

$$Q_{\text{ds}} = \int C_{\text{ds}} dV_{\text{ds}} \quad (2.25)$$

$$Q_{\text{gd}} = \int C_{\text{gd}} dV_{\text{gd}} \quad (2.26)$$

### 2.1.5 モデルの妥当性検証

提案モデルの妥当性評価のため，SiC MOSFET (ローム株式会社，SCT2450KE，定格電圧：1,200 V，定格電流：10 A，パッケージ：TO-247N) [63] を用い， $I$ - $V$  特性， $C$ - $V$  特性，スイッチング波形について実測-モデル間の比較を行った．

$I$ - $V$  特性は，デバイスの自己発熱による電流変化を避けるため，非常に短いパルスを利用した専用のカーブトレーサを使用して得た [64]． $C$ - $V$  特

表 2.4: 物理定数 © IEEE 2018

パラメータ名	値
$k$ [J/K]	$1.38 \times 10^{-23}$
$q$ [C]	$1.60 \times 10^{-19}$
$\phi_t (= kT/q)$ [mV]	0.026
$\epsilon_{\text{SiC}}$ [F/m]	$9.7 \times 8.85 \times 10^{-12}$
$\epsilon_{\text{ox}}$ [F/m]	$3.9 \times 8.85 \times 10^{-12}$

性 ( $C_{\text{gs}}$ ,  $C_{\text{ds}}$ , および  $C_{\text{gd}}$  特性) はカーブトレーサ (Keysight Technologies, B1505A) [65] を用い, 測定周波数が 1 MHz の条件で測定した.

提案モデルは, Verilog-A [66] を用いて実装した.  $I$ - $V$  特性,  $C$ - $V$  特性, およびスイッチング波形のシミュレーションには, 回路シミュレータ (株式会社インターソフト, SIMetrix) [67] を用いた. シミュレーション時に用いた物理定数を表 2.4 に示す. 室温 (25 °C) における  $I$ - $V$  特性および  $C$ - $V$  特性のパラメータ抽出結果を表 2.5 と表 2.6 に示す. RG はインピーダンス・アナライザ (Agilent Technologies, 4294A [68]) を用いてゲート-ソース間の周波数特性を測定し, 等価直列抵抗にフィッティングすることで推定した値を用いた. TOX は 50 nm とした. 残りのパラメータは, シミュレーテッド・アニーリング (SA) 法 [69] で抽出した. 温度特性のパラメータ抽出結果を表 2.7 に示す. 基準温度  $T_0$  は室温 (25 °C) とした. したがって, VFBC0 や RD0 などの温度パラメータの切片は表 2.5 に示す値と等しくなるため, 表 2.7 では省略した.

### $I$ - $V$ および $C$ - $V$ 特性

$I$ - $V$  および  $C$ - $V$  特性の実測およびモデリング結果を図 2.3 から図 2.7 に示す. 提案モデルは SiC MOSFET の  $I$ - $V$  および  $C$ - $V$  特性を精度良く再現していることが分かる. 図 2.3(a) において, 破線は電力損失の等高線を表している. 提案モデルは, 1 kW 以上の電力範囲における  $I$ - $V$  特性を正確に再現できている. 図 2.3(b) は, 図 2.3(a) における斜線領域の特性を示している. 線形領域において, 提案モデルが実測と良く一致している. 図 2.4 は,  $V_{\text{ds}} = 20$  V における  $I_{\text{d}}-V_{\text{ds}}$  特性の実測およびモデリング結果を示している. 実線と破線は, 界面トラップを考慮した場合と考慮しない場合のモデリング結果を示している. 界面トラップを考慮しない場合, モデルが実測と一致してい

表 2.5: 抽出した  $I$ - $V$  特性のパラメータ (25 °C) © IEEE 2018

パラメータ名	値
TOX [m]	$5.00 \times 10^{-8}$
VFBC [V]	0.32
NA [ $\text{cm}^{-3}$ ]	$4.16 \times 10^{16}$
K [-]	2879
MU [ $\text{cm}^2/\text{Vs}$ ]	42.45
RG [ $\Omega$ ]	4.50
RD [ $\Omega$ ]	0.0427
RS [ $\Omega$ ]	$3.21 \times 10^{-3}$
LAMBDA [1/V]	0.00233
THETA [1/V]	$1.29 \times 10^{-17}$
DMID [ $\text{cm}^2\text{eV}^{-1}$ ]	$4.217 \times 10^{11}$
DC [ $\text{cm}^2\text{eV}^{-1}$ ]	$1.302 \times 10^{12}$
SIGMA [meV]	0.543
GAMMAC [ $\text{eV}^{-1}\text{cm}^{-2}$ ]	$1.451 \times 10^{10}$
NC [ $\text{Q}/\text{cm}^{-3}$ ]	$2.388 \times 10^{18}$
ZETAC [-]	0.235

ないが，界面トラップを考慮した提案モデルは，実測のドレイン電流を良く再現している．図 2.3 と図 2.4 から，提案モデルは 20 mW から 1 kW の広い電力範囲に適用可能と考えられる．続いて，75 °C および 125 °C における  $I$ - $V$  特性の実測およびモデリング結果を図 2.5 に示す．図 2.5 の高温条件において，提案モデルが実測の  $I$ - $V$  特性を良く再現している．

$C_{gs}$  および  $C_{ds}$  特性の実測およびモデリング結果を図 2.6 に示す．提案モデルは，いずれの容量特性も精度良く再現している．特に，提案モデルの  $C_{gd}$  は，表面電位の  $V_{gd}$  依存性を計算することで，電圧に対する滑らかな遷移を表現している．滑らかな遷移の実現は，スイッチングシミュレーション時において，計算の収束性向上に寄与する [70]．

### スイッチング波形

スイッチング波形の評価は，図 2.8 に示すダブルパルス試験回路を用いて行った．測定およびシミュレーションの両方において，2 つの SiC MOSFET



表 2.6: 抽出した  $C-V$  特性のパラメータ (25 °C) © IEEE 2018

パラメータ名	値
CGSO [F]	$6.78 \times 10^{-10}$
ADS [ $\text{cm}^2$ ]	0.0129
ND [ $\text{cm}^{-3}$ ]	$1.15 \times 10^{16}$
VBI [V]	2.02
COXD [F]	$4.36 \times 10^{-10}$
AGD [ $\text{cm}^2$ ]	0.0063
VFBD [V]	-0.100

表 2.7: 抽出した温度特性のパラメータ © IEEE 2018

パラメータ名	値
VFBCS [-]	$-1.162 \times 10^{-2}$
THETAS [-]	$1.774 \times 10^{-19}$
MUS [-]	$4.281 \times 10^{-1}$
RDS [V]	$2.678 \times 10^{-3}$
DMIDS [-]	$-2.239 \times 10^9$
DCS [-]	$6.327 \times 10^{10}$
SIGMAS [-]	$-7.994 \times 10^{-4}$
GAMMACS [-]	$-8.211 \times 10^7$
NCS [-]	$2.076 \times 10^{16}$
ZETACS [-]	$-1.784 \times 10^{-3}$

を使用した。High側デバイスは還流ダイオード，Low側デバイスはスイッチングデバイスとして用いた，SiC MOSFETのボディダイオード特性は，従来のPN接合ダイオードモデルを用いた [71]。負荷コイル  $L_{\text{load}}$  は  $380 \mu\text{H}$  とした。SiC MOSFETのTO-247パッケージ，および負荷コイルの寄生インピーダンスは，インピーダンス・アナライザ (Agilent Technologies, 4294A [68]) で測定し，シンプルな等価回路としてモデル化した。具体的には，TO-247パッケージは単一のL素子，負荷コイルはLCR並列回路を仮定してモデル化を行なった。電源電圧  $V_{\text{supply}}$  は，100，200 Vとした。外付けのゲート抵抗  $R_g$  は，10，33，68  $\Omega$  とした。 $V_{\text{sig}}$  はゲートドライバの信号電圧である。SiC MOSFETのゲート駆動電圧は，オフ時は0 V，オン時は18 Vに設定した。SiC MOSFETの温度  $T$  は25，75，125 °Cで評価を行った。

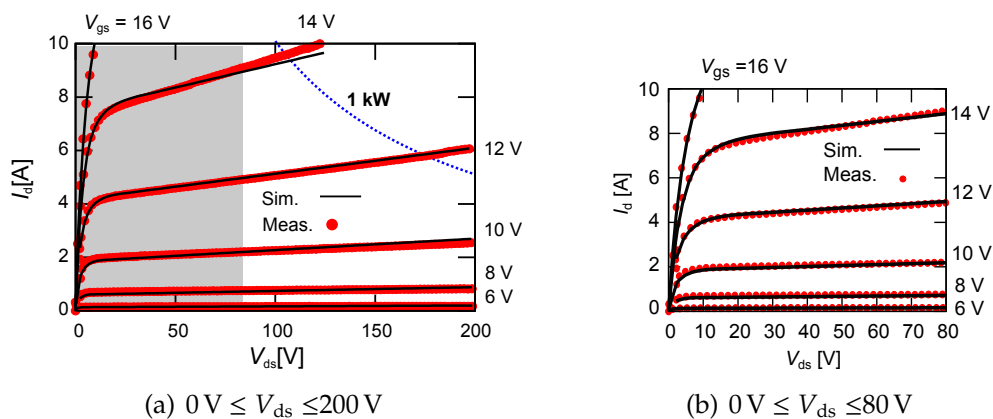


図 2.3:  $I_d$ - $V_{ds}$  特性のモデリング結果 © IEEE 2018

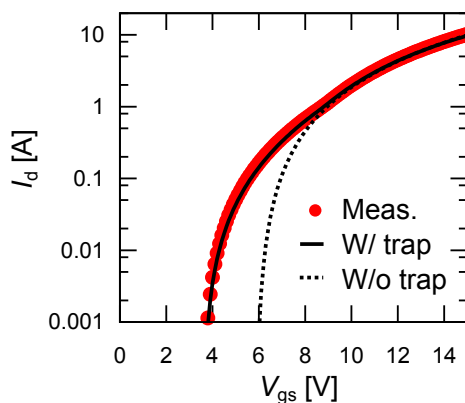


図 2.4:  $I_d$ - $V_{gs}$  特性のモデリング結果 © IEEE 2018

スイッチング波形の実測-シミュレーション間の比較結果を図 2.9 から図 2.11 に示す．それぞれの図で，ターンオフ時およびターンオン時の  $V_{gs}$  ,  $V_{ds}$  ,  $I_d$  の波形を実測とシミュレーションで比較している．実測は色付きの線，シミュレーションは黒線で示す．デバイス温度条件は，図 2.9 から図 2.11 でそれぞれ 25 , 75 , 125 °C である．外付けゲート抵抗，電圧電圧，温度の全ての組み合わせにおいて，抽出したモデルパラメータを一貫して用いている．提案モデルを用いたシミュレーションが，それぞれの条件変化に伴う実測の波形変化を良く再現している．

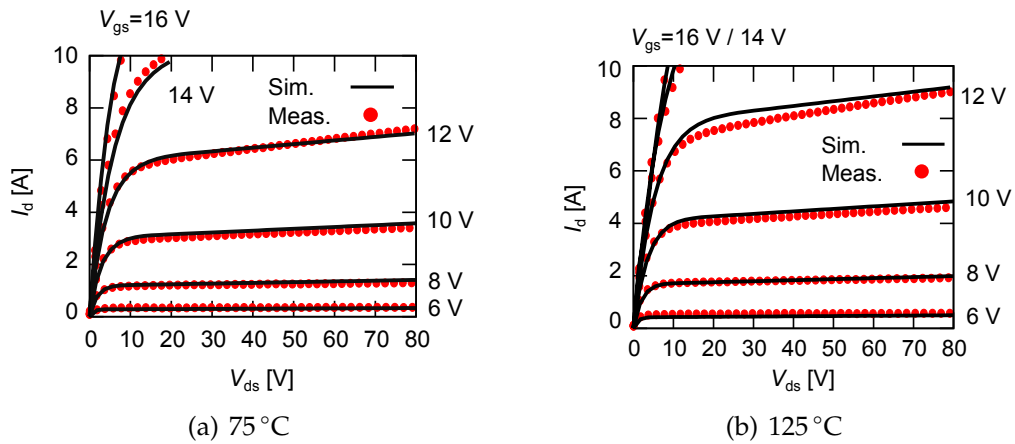


図 2.5: 75°C , 125°C における  $I_d$ - $V_{ds}$  特性のモデリング結果 © IEEE 2018

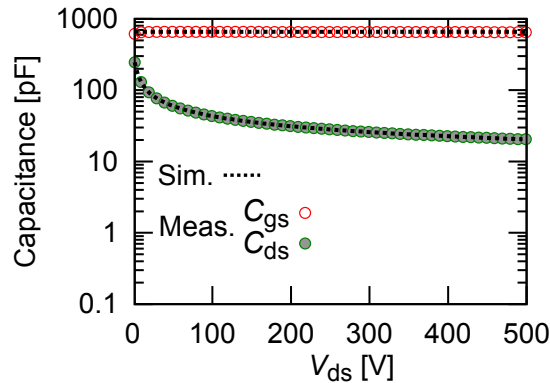


図 2.6:  $C_{gs}$  および  $C_{ds}$  特性のモデリング結果 © IEEE 2018

### 2.1.6 提案モデルのまとめ

本節では、電力変換回路におけるスイッチング動作を精度良く再現可能な SiC MOSFET モデルを提案した。提案モデルでは、表面電位をベースに、SiC MOSFET の物理構造にしたがって  $I$ - $V$  および  $C$ - $V$  特性を表現している。表面電位に界面トラップの影響を考慮することで、20 mW から 1 kW に至る広い電流電圧範囲の特性再現を実現した。提案モデルにより、外付けゲート抵抗、電源電圧、デバイス温度などの条件に依らず、実測のスイッチング波形を良く再現できることを確認した。スイッチング波形の再現により、回路動作におけるデバイスの電力損失の高精度な推定が可能となる。

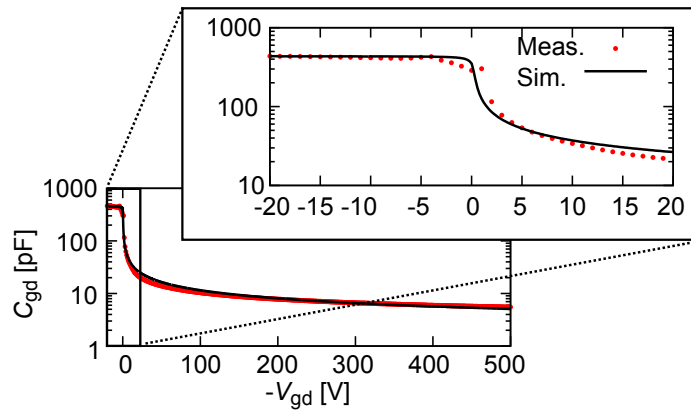


図 2.7:  $C_{gd}$  特性のモデリング結果 © IEEE 2018

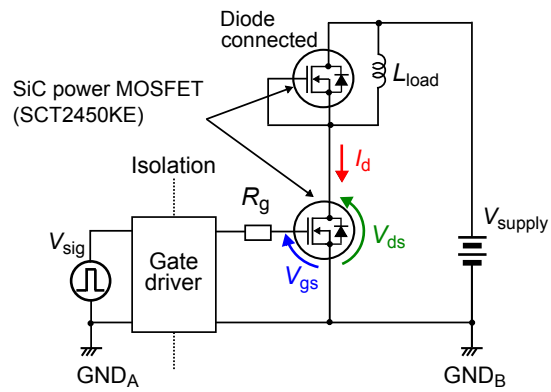


図 2.8: ダブルパルス試験回路 © IEEE 2018

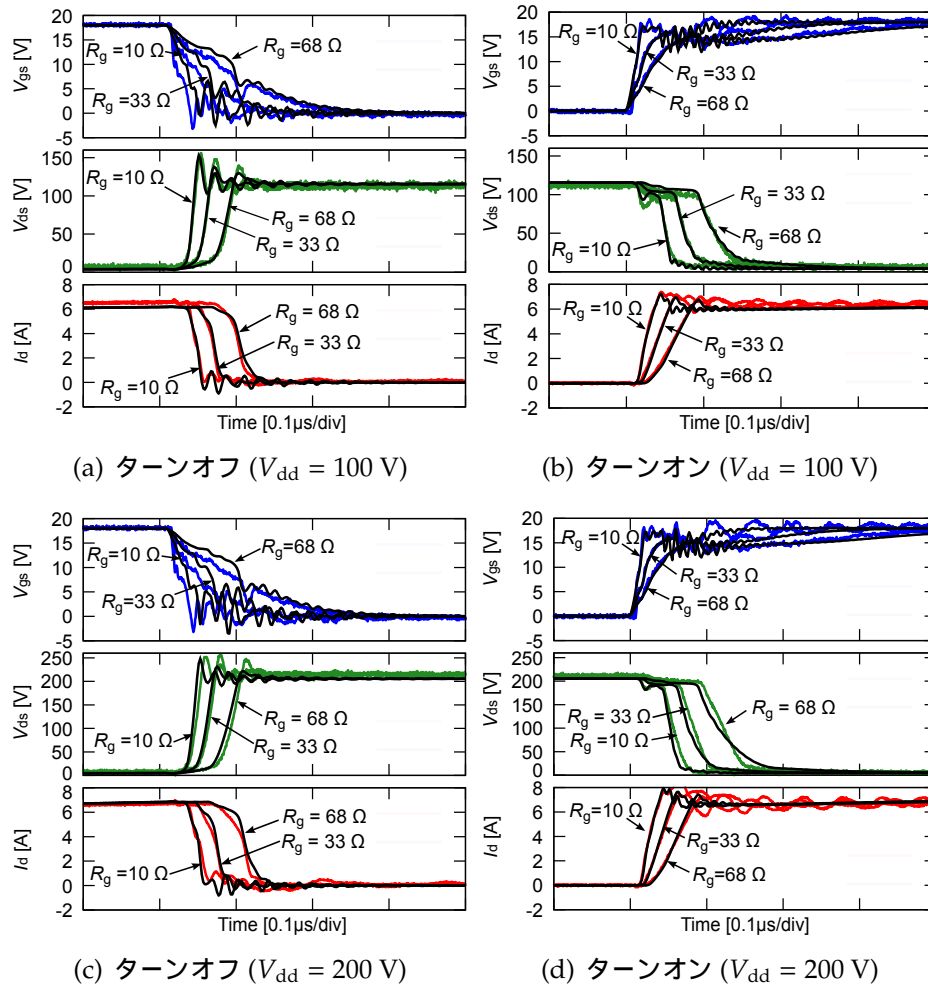


図 2.9: スイッチング波形の実測-シミュレーション比較 ( $T = 25\text{ }^{\circ}\text{C}$ )

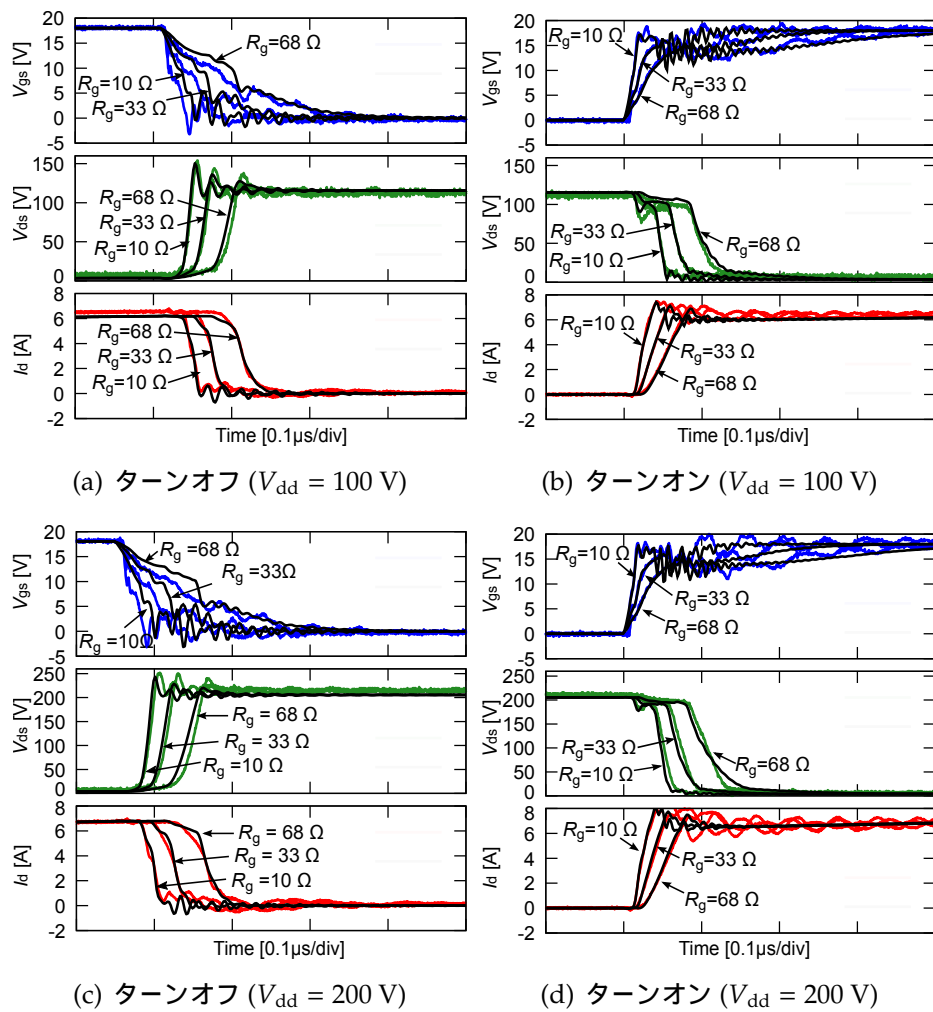


図 2.10: スwitching波形の実測-シミュレーション比較 ( $T = 75 \text{ }^{\circ}\text{C}$ )

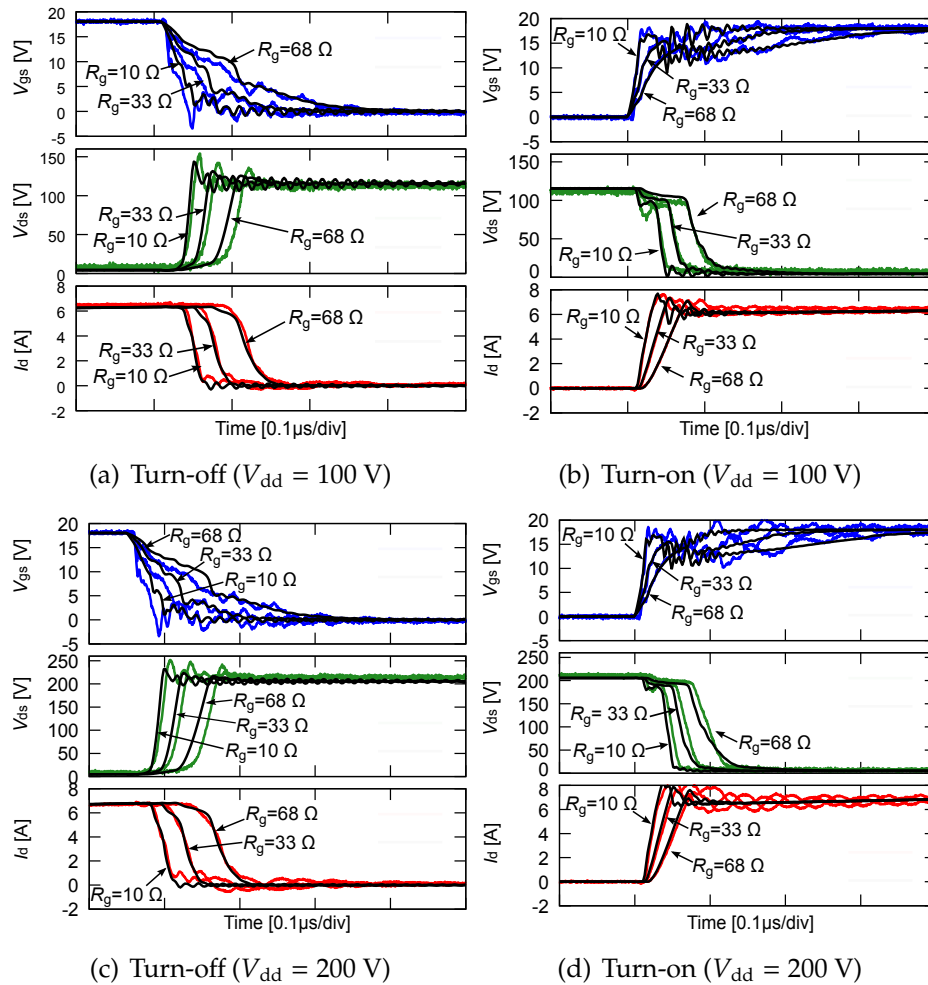


図 2.11: スイッチング波形の実測-シミュレーション比較 ( $T = 125 \text{ }^{\circ}\text{C}$ )

## 2.2 高電圧大電流領域の $I$ - $V$ 測定手法の開発

前節で提案した SiC MOSFET モデルにより，最大 1 kW の電流電圧範囲におけるスイッチング動作の再現を可能にした．しかしながら，SiC MOSFET の実用的な動作範囲 (例：数 100 V × 数 10 A = 数 10 kW 相当) をカバー出来ていないとは言えない．より実用的な高電圧大電流の領域において高精度なモデルを実現するためには，同領域をカバーする  $I$ - $V$  測定手法が必要となる [35]．

高電圧大電流領域の  $I$ - $V$  測定時は，被測定デバイス (DUT) の自己発熱による特性変化および熱破壊が問題となる．カーブトレーサ方式による  $I$ - $V$  測定では，自己発熱を抑制するために短パルス (数  $\mu$ s ~) による電圧印加が行われる [64]．しかし，この方式は DUT に対して電圧 ( $= V_{ds}$ ) と大電流 ( $I_d$ ) が同時に印加されるため，短パルスといえど自己発熱 ( $= V_{ds} \cdot I_d$ ) が無視できなくなる．近年，自己発熱をさらに抑制する方法として，ダブルパルス試験によるスイッチングベースの  $I$ - $V$  測定手法が提案されている [35, 72]．しかし，これらの手法でも，無視できない自己発熱が存在する．

本節では，高電圧大電流領域における  $I$ - $V$  測定を実現するため，自己発熱をさらに抑制した手法を提案する．2.2.1 節では，従来の  $I$ - $V$  測定手法とその課題について説明する．続く 2.2.2 節にて，提案手法について述べる．2.2.3 節で妥当性検証を行い，最後に 2.2.4 節で提案手法をまとめる．

### 2.2.1 従来の $I$ - $V$ 測定手法とその課題

従来のスイッチングベースの  $I$ - $V$  測定回路，および測定タイムチャートを図 2.12 に示す [35]．測定回路は，図 2.8 と同じダブルパルス試験回路である．図 2.12(b) に示す，被測定デバイス (DUT) の波形タイムチャートにしたがって，従来手法の測定手順を説明する．まず， $t = t_0$  で DUT をターンオンして，負荷コイル  $L$  および DUT に流れる電流  $I_d$  の上昇を開始する．DUT のオン状態を継続し， $I_d$  が所望の値になった時刻  $t_1$  において，DUT をターンオフさせる．なお， $I_d$  は  $(V_{set}/L)$  の時間比率で増加するため，所望の電流値を  $I_{set}$  とした時， $t_1$  は以下の式で決定される：

$$t_1 = \frac{L}{V_{set}} \cdot I_{set} \quad (2.27)$$

$t = t_1$  で DUT をターンオフし，DUT のスイッチング動作が完了した時刻を  $t_2$  とする．次に DUT がオンする状態まで  $I_d$  はほぼ変化せず，還流ダイ



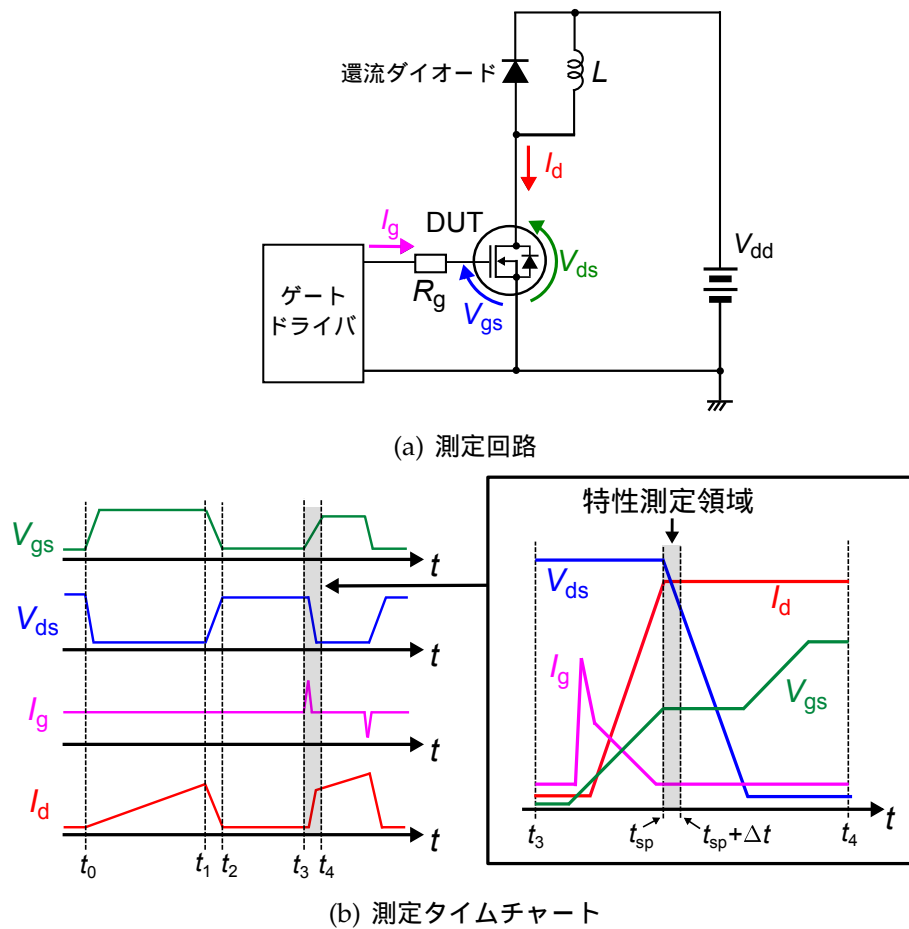


図 2.12: 従来手法

オード側に電流が流れ続ける． $t = t_3$  で再び DUT をターンオンさせ，ターンオン動作が完了した時刻を  $t_4$  とする．図 2.12(b) に示す，ゲートプラトー期間  $[t_{sp}, t_{sp} + \Delta t]$  の  $V_{gs}$ ,  $V_{ds}$ ,  $I_d$ ,  $I_g$  の平均値を抽出することで，DUT の  $I_d$ - $V_{ds}$  特性上における  $(V_{ds}, I_d) = (V_{set}, I_{set})$  の測定値が得られる [35]．上記の測定を，様々な  $V_{set}$ ,  $I_{set}$  の条件で繰り返し行なうことで，DUT の  $I$ - $V$  特性が得られる．

上記の手法は，数十  $\mu s$  以上の電流電圧印加が行われるカーブトレーサとは異なり， $\mu s$  オーダー未満のスイッチング動作を利用するため，測定時の自己発熱を大幅に抑制可能となる．しかしながら，この手法を用いても，以下の自己発熱は避けられない：

- 期間  $[t_0, t_1]$  の導通損失： $P_{t_0-t_1} := \int_{t_0}^{t_1} V_{ds} \cdot I_d dt$

- 期間  $[t_1, t_2]$  のターンオフ損失： $P_{t1-t2} := \int_{t_1}^{t_2} V_{ds} \cdot I_d dt$
- 期間  $[t_3, t_{sp}]$  のターンオン損失： $P_{t3-tsp} := \int_{t_3}^{t_{sp}} V_{ds} \cdot I_d dt$

より広い高電圧大電流領域の  $I$ - $V$  測定を可能にするためには、上記の自己発熱を抑制もしくは回避する必要がある。

## 2.2.2 提案する $I$ - $V$ 測定手法

提案する  $I$ - $V$  測定回路および測定タイムチャートを図 2.13 に示す。図 2.13 において、SW は DUT に並列接続させたトランジスタであり、 $V_{gs,SW}$  はこの並列 SW のゲート-ソース間電圧である。基本的な回路構成や測定手順は従来手法と同様である。提案手法のポイントは、並列 SW の導入である。所望の  $I_{set}$  まで電流を増加させる期間  $[t_0, t_1]$  において、DUT の代わりに並列 SW をオン状態にする。これにより、DUT が負担していた導通損失  $P_{t0-t1}$ 、およびターンオフ損失  $P_{t1-t1}$  を並列 SW に負わせることができる。その結果、DUT の自己発熱はターンオン損失  $P_{t3-tsp}$  のみとなり、より広い電流電圧領域における  $I$ - $V$  測定が可能となる。

測定上の注意点と対策について述べる。 $I$ - $V$  特性が抽出される期間  $[t_{sp}, t_{sp} + \Delta t]$  の直前において、 $I_d$  および  $I_g$  の時間変化 ( $dI_d/dt$ ,  $dI_g/dt$ ) が発生する。これらと、デバイスパッケージや回路上に存在する寄生インダクタンスによって波形の振動が生じ、測定誤差の要因となる。提案手法では、この対策として約数百  $\Omega$  の大きな  $R_g$  を挿入し、DUT および並列 SW のスイッチング速度を抑える。スイッチング速度を抑え、寄生インダクタンスの影響を無視できるようにすることで、デバイスパッケージの寄生インダクタンスを特別に抑制する必要がなくなり、既存の様々なパッケージに対応可能となる。同じ理由で、寄生インダクタンスを最小にするための回路レイアウト設計も不要となる。並列 SW には、DUT と同等の電流定格を有するデバイスを選定するのが望ましい。

## 2.2.3 提案する $I$ - $V$ 測定手法の妥当性検証

### 測定システムの開発

表 2.8 に、開発した測定システムで用いた機器およびソフトウェアを示す。全ての機器は計測器制御ソフト LabVIEW によって制御され、電源電圧や信

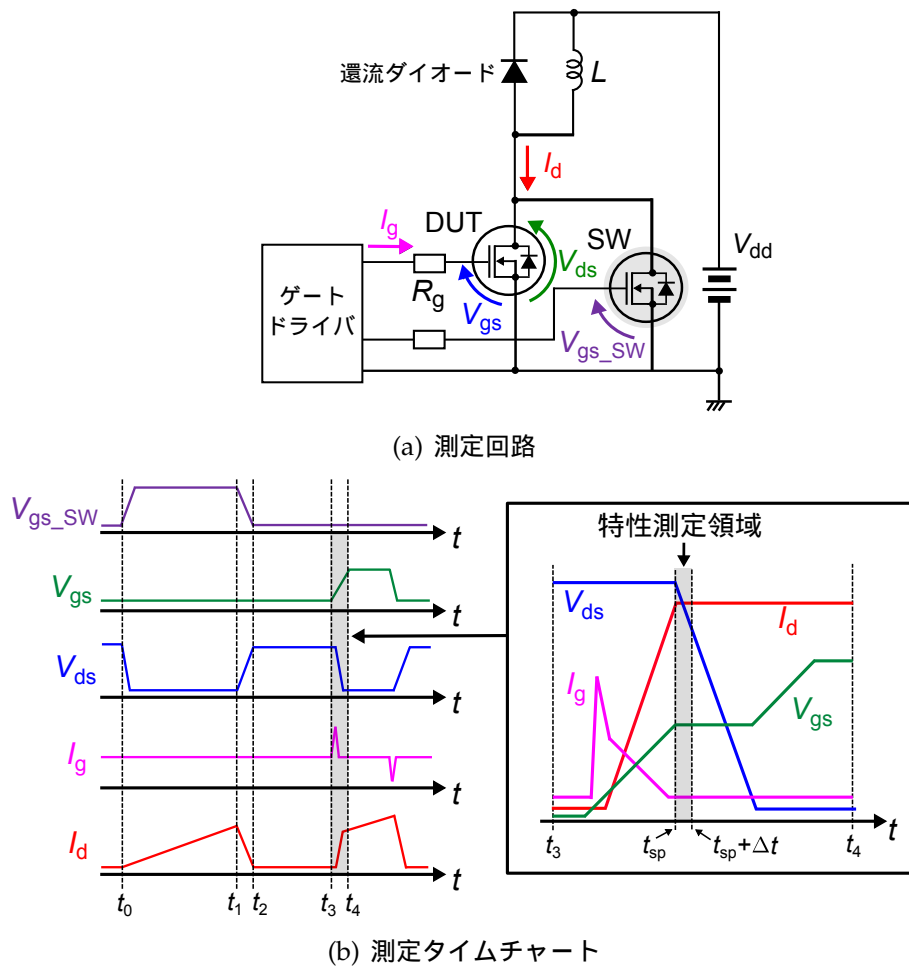


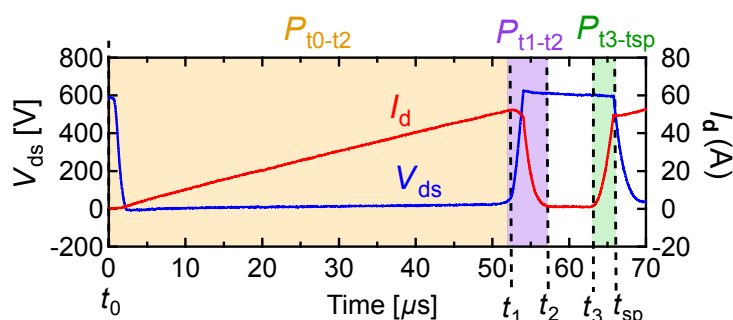
図 2.13: 提案手法

号発生器のパルス幅の変更によって  $V_{set}$  および  $I_{set}$  が自動調整される．オシロスコープから得られた波形データはLabVIEW上で解析され， $I$ - $V$  特性が抽出されるようにした．

本実験には，SiC MOSFET (ローム株式会社，SCT3022KL，定格電圧：1,200 V，定格電流：95 A，パッケージ：TO-247N) [73] を DUT および並列 SW として用いた．また，同デバイスのボディダイオードを還流ダイオードとして用いた．その他の実験パラメータは以下の通りである： $L = 500 \mu\text{H}$ ， $R_g = 240 \Omega$ ，周囲温度  $T_a = 25^\circ\text{C}$ ．

表 2.8: 測定システムで用いた機器およびソフトウェア

型番	メーカー	種類	用途
PAT850-9.4T	菊水電子工業	直流電源	$V_{set}$ の印加
P4K18-2	松定プレジジョン	直流電源	$V_{gs}$ , $V_{gs.SW}$ の印加
33512B	Keysight Technologies	信号発生器	$V_{gs}$ の印加
HDO8018A	テレダイン・レクロイ	オシロスコープ	$V_{gs}$ , $V_{ds}$ , $I_d$ , $I_g$ の測定
LabVIEW	ナショナルインスツルメンツ	計測器制御ソフト	各機器の制御

図 2.14:  $V_{ds}$ ,  $I_d$  の測定波形例 ( $V_{set} = 600 \text{ V}$ ,  $I_{set} = 50 \text{ A}$ )

### 自己発熱の抑制効果

図 2.14 に、 $V_{set} = 600 \text{ V}$ ,  $I_{set} = 50 \text{ A}$  の条件における  $V_{ds}$ ,  $I_d$  の測定波形例を示す。  $t = t_{sp}$  において、 $V_{ds} = 600 \text{ V}$ ,  $I_d = 50 \text{ A}$  と設定通りの値になっている。本条件において、各期間で発生する損失は  $P_{t0-t1} = 6.9 \text{ mJ}$ ,  $P_{t1-t2} = 15.6 \text{ mJ}$ ,  $P_{t3-tsp} = 6.1 \text{ mJ}$  であった。従来手法では、DUT は上記の合計  $28.6 \text{ mJ}$  を全て負担するのに対し、提案手法では  $P_{t3-tsp}$  の  $6.1 \text{ mJ}$  のみの負担となる。従来と比べ、約  $80\%$  の損失削減となる。なお、 $V_{set} = 20\text{--}600 \text{ V}$ ,  $I_{set} = 5\text{--}200 \text{ A}$  の広い範囲で同程度の損失削減を確認している。

従来および提案手法による DUT の  $I$ - $V$  測定結果を図 2.15 に示す。各点の色は、自己発熱を考慮した DUT のチップ推定温度  $T_{die}$  を表している。 $T_{die}$  は、 $\mu\text{s}$  オーダー未満のゲートプラトー期間  $[t_{sp}, t_{sp} + \Delta t]$  の過渡温度であり、実測は困難である。したがって、今回は熱解析ソフト (ムラタソフトウェア株式会社, FEMTET) [74] による過渡熱シミュレーションによって  $T_{die}$  を推定した。過渡熱シミュレーションに用いた DUT の材料定数を表 2.9 に示す。DUT の TO-247N パッケージの寸法は、文献 [75] に基づいた。図 2.14 のような、 $I_d$ - $V_{ds}$  特性の各バイアスに対応する  $V_{ds}$  および  $I_d$  の測定波形 ( $V_{ds}(t)$ ,  $I_d(t)$ ) から、DUT の消費電力波形  $P_{loss}(t) (=V_{ds}(t) \cdot I_d(t))$  を求め、 $P_{loss}(t)$  を DUT の

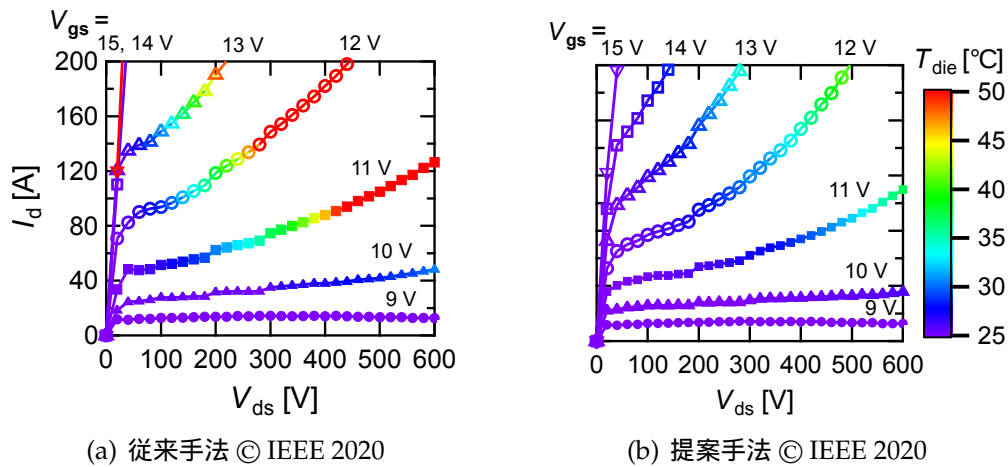
図 2.15: 従来および提案手法による  $I$ - $V$  測定結果

表 2.9: FEMTET の過渡熱解析で用いた材料定数

材料	熱伝導率 [ $\text{W m}^{-1} \text{K}^{-1}$ ]	比熱 [ $\text{J K}^{-1} \text{kg}^{-1}$ ]	質量密度 [ $\text{g cm}^{-3}$ ]
SiC	370	690	3.21
はんだ	64	220	7.40
銅フレーム	402	385	8.96
アルミワイヤ	237	880	2.69
モールド樹脂	0.293	795	1.80

チップに対する発熱条件とした。過渡熱シミュレーションでは、 $t = t_0$  において  $T_{\text{die}} = T_a$  ( $25^\circ\text{C}$ ) で開始し、 $t = t_{\text{sp}}$  における  $T_{\text{die}}$  を算出した。 $I_d$ - $V_{\text{ds}}$  特性の全ての測定点において過渡熱シミュレーションを行った結果が図 2.15 のカラーマップである。従来手法は自己発熱の影響が大きく、 $600 \text{ V} / 200 \text{ A}$  の範囲において  $T_{\text{die}}$  は  $50^\circ\text{C}$  以上まで上昇している。一方、提案手法は  $T_{\text{die}}$  の上昇を最大でも  $10^\circ\text{C}$  まで抑制できており、自己発熱の抑制効果を確認した。

図 2.15(b) の各バイアス点 ( $V_{\text{gs}}$ ,  $V_{\text{ds}}$ ) における  $I_d$  値は、特に高電圧大電流の飽和領域になるほど図 2.15(a) の同バイアス点の値より小さくなっている。これは、温度上昇による電流値の増大を抑制できているためと考えられる。文献 [73] に記載された  $I_d$ - $V_{\text{ds}}$  特性データでも、高温条件では飽和領域の電流値が増大する傾向が見られる [73] ことから、上記の考察は妥当である。

表 2.10: RMSPE に基づくモデル精度比較

	ターンオフ [%]		ターンオン [%]	
	従来手法	提案手法	従来手法	提案手法
$V_{gs}$	23.2	19.5	18.5	15.2
$V_{ds}$	12.1	4.9	19.2	8.9
$I_d$	8.1	4.1	5.2	4.3

### モデルを用いた妥当性検証

従来および提案手法により得た  $I$ - $V$  特性を用いて DUT のモデルを作成し、スイッチング波形の再現精度を比較することで提案手法の妥当性を検証した。実測のスイッチング波形は、図 2.8 のダブルパルス試験回路を用いて取得した。ダブルパルス試験回路の条件は以下である： $V_{dd} = 600 \text{ V}$ 、 $I_d = 80 \text{ A}$ 、 $L = 500 \mu\text{H}$ 、 $R_g = 5.6 \Omega$ 、 $T_a = 25^\circ\text{C}$ 。

スイッチング波形  $V_{gs}$ 、 $V_{ds}$ 、 $I_d$  の実測およびシミュレーション結果を図 2.16 に示す。ターンオフ、ターンオン波形を図 2.16(a) と図 2.16(b) にそれぞれ示している。点線が実測、実線がシミュレーション結果を表している。各図の (i)、(ii) に従来手法、(i)'、(ii)' に提案手法で得た  $I$ - $V$  特性により作成したモデルによるシミュレーション結果を示す。従来と比べ、提案手法に基づいたモデルは実測のスイッチング波形をより精度良く再現している。

提案手法の妥当性を定量的に確認するため、実測およびシミュレーションによるスイッチング波形の誤差を算出した。誤差の指標として、以下に示す平均平方二乗誤差率 (RMSPE) を用いた [35]：

$$\text{RMPSE} = \sqrt{\left( \frac{\sum_{i=1}^N |m_i - s_i|^2}{\sum_{i=1}^N |m_i|^2} \right)} \times 100 [\%] \quad (2.28)$$

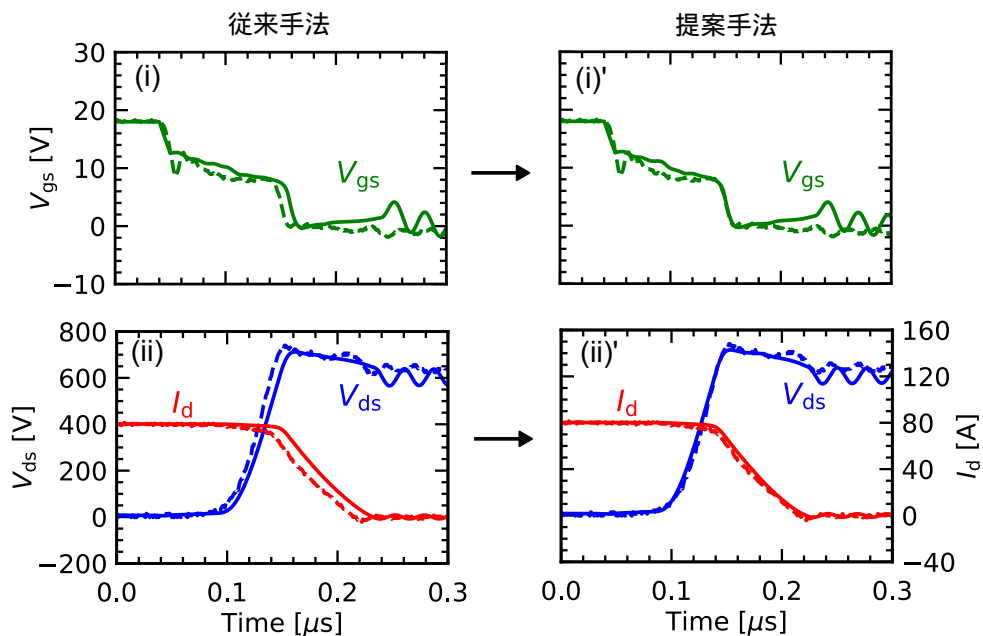
ここで、 $m_i$ 、 $s_i$  は実測およびシミュレーション波形 ( $V_{gs}$ 、 $V_{ds}$ 、 $I_d$ ) の  $i$  番目に一致する値を示す。 $N$  は各波形データのトータル点数である。図 2.16 の各波形に対して RMSPE を求めた結果を表 2.10 に示す。ターンオフ、ターンオンに分けて、従来および提案手法に基づくモデルの RMSPE をそれぞれ比較している。いずれの波形についても、提案手法によるモデルは従来と比べて誤差が小さい。以上より、提案の  $I$ - $V$  測定手法を用いることで、 $600 \text{ V}/80 \text{ A}$  (約  $50 \text{ kW}$  相当) の高電圧大電流動作において、より高精度な SiC MOSFET モデルを実現できることを示した。

### 2.2.4 提案する $I$ - $V$ 測定手法のまとめ

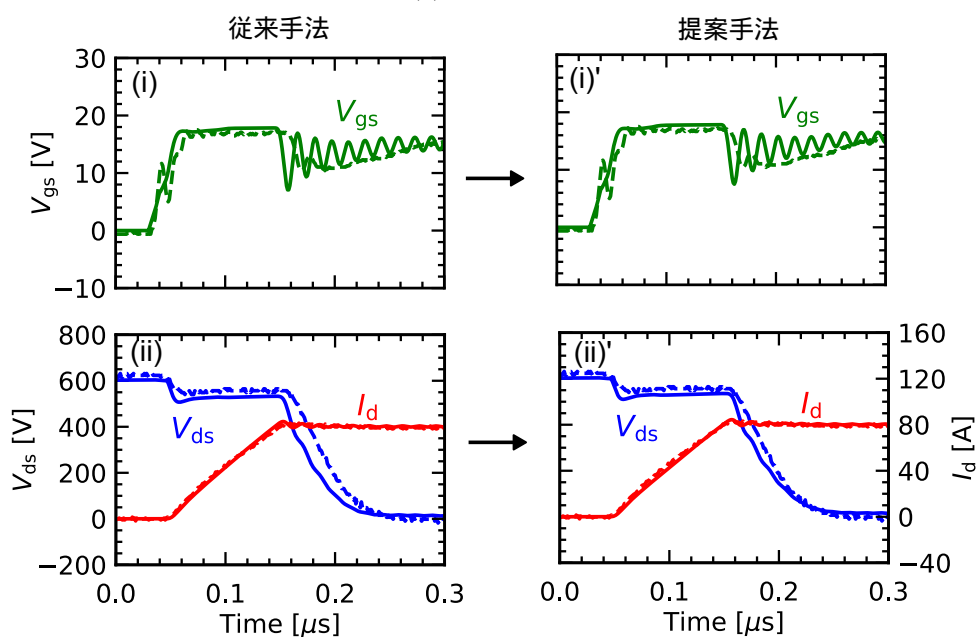
本節では、より実用的な広い電流電圧領域における  $I$ - $V$  測定が実現可能な手法を提案した。提案手法は、従来のダブルパルス試験によるスイッチング波形を利用した  $I$ - $V$  測定に基づいている。DUT と並列に新たなトランジスタを追加し、DUT の代わりに発熱を負担させることで、測定時に生じる DUT の温度上昇を大幅に抑制した。提案手法で得た  $I$ - $V$  特性を用いることで、600 V / 80 A (約 50 kW 相当) という、より実用的な SiC MOSFET の電圧電流動作において高精度なモデルを実現できることを明らかにした。

## 2.3 本章のまとめ

本章では、SiC MOSFET のデバイスモデルおよび特性測定手法を提案した。本章ではまず、回路のスイッチング動作を精度良く再現可能な SiC MOSFET のデバイスモデルを提案した。提案モデルでは、界面トラップを考慮した表面電位をベースに、SiC MOSFET の特性を表現することで、20 mW から 1 kW におよぶ広い電流電圧動作範囲における特性の再現を可能にした。提案モデルにより、外付けゲート抵抗、電源電圧、デバイス温度などの条件に依らず、スイッチング波形を良く再現可能であることを示した。また、1 kW 以上のより実用的な電流電圧範囲なモデルを実現するため、同範囲の  $I$ - $V$  測定手法を新たに開発した。提案手法で得た  $I$ - $V$  特性を用いることで、600 V / 80 A (約 50 kW 相当) というより実用的な SiC MOSFET の電流電圧動作において、高精度なモデルが実現できることを示した。本章で提案したモデルおよび特性測定は、第 4 章で提案する熱回路連成シミュレーションにおいて、パワーモジュールの高精度な発熱推定に必要不可欠となる。



(a) ターンオフ



(b) ターンオン

図 2.16: 従来および提案手法に基づくモデルの検証結果



## 第3章

# パッケージの熱インピーダンスの特性測定とモデリング

本章では、パワーモジュールパッケージの熱インピーダンスの特性測定およびモデリング手法を提案する。提案の熱インピーダンスモデルは、パワーモジュール内の複数デバイス間の熱干渉を正確に考慮しているため、高精度な温度推定が期待できる。4章の熱回路連成シミュレーションにおいて、第2章および本章(第3章)で提案するデバイスモデルおよび熱インピーダンスモデルを組み合わせることにより、電力変換回路におけるパワーモジュールの発熱・温度を高精度かつ高速に推定可能となる。

### 3.1 はじめに

パワーモジュール内には複数のデバイスが実装され、回路動作時は全てのデバイスに発熱が生じる。この時、デバイス温度は各デバイスの自己発熱のみならず、各デバイス間に生じる熱干渉の影響も受ける。そのため、パワーモジュールの高精度な温度推定のためには、デバイス間の熱干渉を正確に考慮する必要がある [15,27-29,31-33]。

熱干渉を考慮したパッケージの熱インピーダンスのモデルについては、これまでに多くの研究がなされてきた [15,19,27-33]。これらの研究は、有限要素法 (FEM) に基づく手法 [19,27,28] と、実験による特性評価に基づく手法 [29-34] に大別できる。FEM に基づく手法の利点は、パワーモジュールを試作する前にデバイス温度を推定できる点にあり、実験による特性評価に基づく手法の利点は、モジュール-デバイス接合間の接触熱抵抗を含めて熱インピーダンスとしてモデル化でき、高精度なデバイス温度推定が期待できる点にある。しかし、いずれも実測温度を用いた妥当性検証がなされておらず、得られた熱インピーダンスモデルの精度や有効範囲が明らかではない。

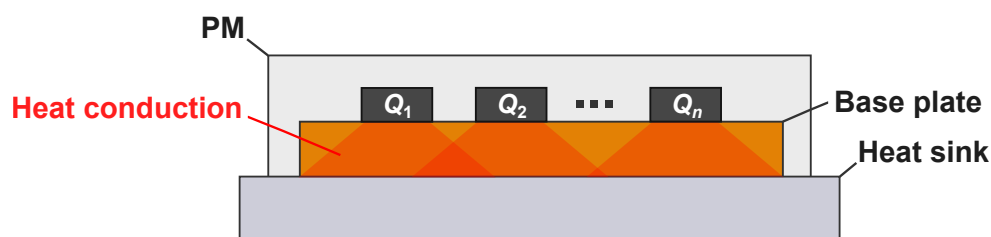


図 3.1:  $n$  個のデバイスが実装されたパワーモジュールの構造図 (Copyright (2022) The Japan Society of Applied Physics)

実測温度による妥当性検証をしている研究もあるが、検証範囲が最大でも  $70^{\circ}\text{C}$  と低く、パワーモジュールの実用的な動作温度 (例:  $150^{\circ}\text{C}$ ) を十分カバーできていない [14]。熱インピーダンスモデルの実用性を示すためには、少なくともデバイスの動作保証温度 (例:  $175^{\circ}\text{C}$ ) をカバーする範囲において、実測を用いた妥当性検証が不可欠である。

本章では、実用的な広い範囲の温度予測が可能な、モジュールパッケージの熱インピーダンスの特性評価およびモデリング手法を提案する。提案手法の新規性として、以下の2点が挙げられる：

- 測定手法の拡張：従来の自己発熱ベースの熱測定手法 [76] を拡張することで、新たに複数デバイス間の熱干渉測定を可能にした。
- 温度検証範囲の拡張：先行研究の最大範囲である  $70^{\circ}\text{C}$  を越え、最大  $200^{\circ}\text{C}$  の範囲で妥当性検証を行った。

以下、本章は次のように構成される。3.2 節で、パワーモジュール内におけるデバイス間の熱干渉を考慮した熱インピーダンスモデルを導入する。次に 3.3 節において、SiC MOSFET デバイス間の熱干渉を含む熱インピーダンスの特性測定手法を提案する。3.4 節から 3.6 節を通じて、特性測定に基づいて得られた熱インピーダンスモデルの実測検証結果を示す。最後に 3.7 節で本章をまとめる。

## 3.2 熱インピーダンスモデル

本節では、パワーモジュールパッケージの熱インピーダンスモデルを導入する。図 3.1 に、 $n$  個のデバイスが実装されたパワーモジュールの構造図を示す。 $Q_i$  ( $i = 1, \dots, n$ ) は  $n$  個のデバイスを示しており、各デバイスはパ

ワーモジュールのベースプレート上に実装されている．パワーモジュールは水冷ヒートシンクに取り付けられており，ヒートシンク経由で冷却が行われているとする．上記のパワーモジュールの冷却システムにおいて，パワーモジュール内における各デバイスの温度遷移を検討する．各デバイス  $Q_i$  の時刻  $t$  における温度を  $T_i(t)$  とすると， $T_i(t)$  は次のような畳み込み積分の式で記述できる：

$$T_i(t) = \sum_{j=1}^n \int_0^t P_j(\tau) \dot{Z}_{\text{th}(i,j)}(t-\tau) d\tau + T_{\text{hs}}(t) \quad (3.1)$$

ここで， $P_j$ ， $Z_{\text{th}(i,j)}$  ( $i, j = 1, \dots, n$ )，および  $T_{\text{hs}}$  はそれぞれ， $Q_j$  の発熱量， $Q_i$  と  $Q_j$  間の熱インピーダンス，水冷ヒートシンクの温度である．式 (3.1) において， $P_j$  および  $T_{\text{hs}}$  はシステムの入力データ， $T_i(t)$  はシステムの実出力データである． $\dot{Z}_{\text{th}(i,j)}$  は各熱インピーダンスの時間微分を示している．パワーモジュール全体の熱インピーダンス  $Z_{\text{th}}$  は，各デバイス間の熱インピーダンス  $Z_{\text{th}(i,j)}$  を要素とする以下の行列で表現できる．

$$\mathbf{Z}_{\text{th}} = \begin{pmatrix} Z_{\text{th}(1,1)} & Z_{\text{th}(1,2)} & \cdots & Z_{\text{th}(1,n)} \\ Z_{\text{th}(2,1)} & Z_{\text{th}(2,2)} & \cdots & Z_{\text{th}(2,n)} \\ \vdots & \vdots & \ddots & \vdots \\ Z_{\text{th}(n,1)} & Z_{\text{th}(n,2)} & \cdots & Z_{\text{th}(n,n)} \end{pmatrix} \quad (3.2)$$

式 (3.2) において，対角成分 ( $i = j$ ) は  $Q_i$  の自己発熱によるインピーダンスを表し，非対角成分 ( $i \neq j$ ) は  $Q_i$  と  $Q_j$  間の熱干渉によるインピーダンスを表している． $Z_{\text{th}}$  内の全要素の特性が得られてモデル化ができれば，式 (3.1) によって  $T_i(t)$  を推定可能になる．特に， $Z_{\text{th}}$  内の要素を熱抵抗 [ $^{\circ}\text{C}/\text{W}$ ] および熱容量 [ $\text{J}/^{\circ}\text{C}$ ] で表現した場合， $T_i(t)$  は回路シミュレータを用いて効率的に計算することができる．本検討では， $Z_{\text{th}}$  の各要素  $Z_{\text{th}(i,j)}$  を以下に示す  $m_{ij}$  次のフォスター型等価回路による式で表現する：

$$Z_{\text{th}(i,j)}(t) = \sum_{k=1}^{m_{ij}} R_{ijk} \left( 1 - \exp\left(-\frac{t}{R_{ijk}C_{ijk}}\right) \right) \quad (3.3)$$

ここで， $R_{ijk}$  および  $C_{ijk}$  ( $k = 1, 2, \dots, m_{ij}$ ) はフォスター型等価回路における  $k$  次の熱抵抗，熱容量を表している．上記の熱抵抗，熱容量を用いることで，図 3.1 の熱インピーダンスモデルは図 3.2 の回路で表すことができる．図 3.2 の等価回路において， $P_i$  は熱源として扱っている． $\Delta T_{ij}$  ( $i, j = 1, \dots,$

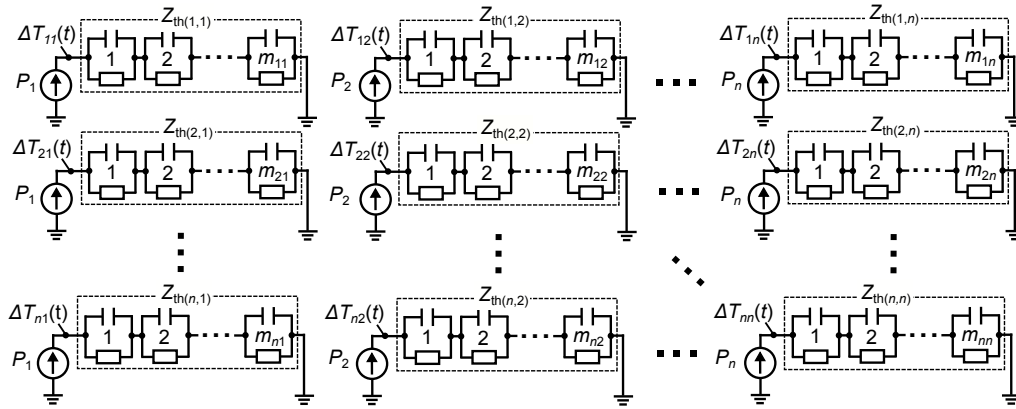


図 3.2: フォスター型等価回路に基づく熱インピーダンスモデル (Copyright (2022) The Japan Society of Applied Physics)

$n$ ) は  $Q_j$  の発熱による  $Q_i$  の温度上昇を表しており，式 (3.1) における右辺の各積分項に対応している．したがって，式 (3.1) の畳み込み積分を解く代わりに，回路シミュレータによって  $\Delta T_{ij}$  を計算し，以下の式によって  $T_i(t)$  が求まる：

$$T_i(t) = \sum_{j=1}^n \Delta T_{ij}(t) + T_{hs}(t) \quad (3.4)$$

### 3.3 熱インピーダンス特性測定手法の提案

パワーモジュールの高精度なデバイス温度推定のためには，前節で示した  $Z_{th}$  の特性測定およびモデル化が重要となる．本節では，SiC MOSFET デバイスが実装されたパワーモジュールの熱インピーダンスの特性測定手法を提案する．次に妥当性検証のため，提案手法によって得た特性に基づいて熱インピーダンスモデルを作成し，実測のデバイス温度の再現精度を確認する．

提案手法は，基本的には従来の Si IGBT ベースの測定手法 [33] に基づいており，冷却時の過渡熱測定を行う．本手法ではまず，パワーモジュール内の一つのデバイスに定常発熱を与え，パワーモジュール全体の温度が一定になるまで待機する．次にデバイスの発熱を停止し，パワーモジュールを冷却する．この冷却過程において，パワーモジュール内の各デバイスの温度遷移を，温度依存性を有する電気的特性パラメータ (Temperature-Sensitive Electrical Parameter, TSEP) を用いて取得する．TSEP の典型例として，オン抵抗  $R_{on}$  やゲート閾値電圧  $V_{th}$  の温度依存性が挙げられる．

従来と提案手法の違いは、特性測定時に利用する TSEP が異なる点にある。従来手法は IGBT ベースのパワーモジュールを前提としており、IGBT にある一定の微小コレクタ電流を流した際の  $V_{th}$  が TSEP として利用される。しかし、IGBT と比べて SiC MOSFET の  $V_{th}$  はチャネル付近のトラップ電荷の影響で安定していないため、 $V_{th}$  の利用は適していない [77]。そこで提案手法では、SiC MOSFET にゲート負バイアスを印加した状態で、ソース電極から微小電流  $I_M$  を流した際に生じる、ボディダイオードの順方向電圧  $V_F$  の温度依存性 ( $V_F - T$  特性) を TSEP として用いる。 $V_F$  の温度依存性の利用は、SiC MOSFET デバイス単体の過渡熱測定には既に適用されているが [76]、複数の SiC MOSFET が実装されたパワーモジュールにおいて、熱干渉を含む全体の特性測定に適用したのは提案手法が初めてである。

提案手法の特性測定手順を以下に示す：

1. 事前に、パワーモジュール内の各デバイス  $Q_i$  ( $i = 1, \dots, n$ ) の  $V_{Fi} - T_i$  特性を取得する。ここで、 $V_{Fi}$  はデバイス  $Q_i$  のボディダイオードの順方向電圧である。
2. パワーモジュール内のある一つのデバイス  $Q_j$  ( $j = 1, \dots, n$ ) に対して加熱電流  $I_H$  を印加することで、発熱  $P_j$  を発生させる。加熱電流の印加は、パワーモジュール全体の温度が定常に至るまで行う。なお  $P_j$  は、加熱時の  $I_H$  および  $Q_j$  のボディダイオードの順方向電圧  $V_{Fj}$  により、 $P_j = I_H \cdot V_{Fj}$  で算出する。
3. 時刻  $t = 0$  において  $I_H$  の印加を終了し、 $t > 0$  の冷却過程における  $V_{Fi}$  の時間遷移  $V_{Fi}(t)$  を測定する。この測定は、 $V_{Fi}(t)$  が一定の値に収束し、 $Q_i$  の温度が一定になるまで続ける。
4.  $V_{Fi} - T_i$  特性に基づき、上記手順で得られた  $V_{Fi}(t)$  から  $T_i$  の時間遷移データ  $T_i(t)$  を取得する。
5. 以下の式を用いて、得られた  $T_i(t)$  から熱インピーダンス  $Z_{th(i,j)}$  を算出する：

$$Z_{th(i,j)}(t) = \frac{T_i(t=0) - T_i(t)}{P_j} \quad (3.5)$$

なお、発熱対象のデバイス  $Q_j$  と温度測定対象のデバイス  $Q_i$  が一致する場合 ( $i = j$ )、 $Z_{th(i,j)}$  は自己発熱による熱インピーダンスであり、 $Q_i$  と  $Q_j$  が異なる場合 ( $i \neq j$ )、 $Z_{th(i,j)}$  はデバイス間の熱干渉による熱インピーダンスである。

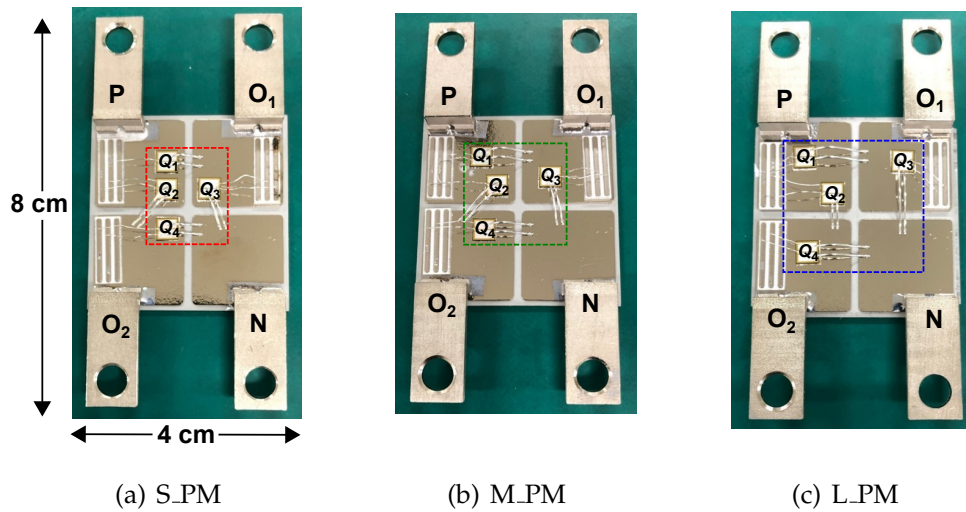


図 3.3: 熱インピーダンス検証用の試作モジュール (Copyright (2022) The Japan Society of Applied Physics)

6. パワーモジュール内における全てのデバイス組み合わせにおいて，上記手順 2-5 を繰り返し行う．パワーモジュール内に  $n$  個のデバイスが存在する場合，全部で  $n^2$  回の測定を実施することになる．

全ての特性測定が完了した後，各  $Z_{th(i,j)}$  は  $m_{ij}$  次のフォスター型等価回路の熱抵抗および熱容量でモデル化を行う．具体的には，式 (3.3) によって， $Z_{th(i,j)}$  のフィッティングを行い，フォスター型等価回路の各熱抵抗および熱容量のパラメータ抽出を行う．なお，上記のフィッティング過程においては，実測および等価回路式との間の平均二乗誤差率 (RMSPE) を評価関数とし，RMSPE が最小となる熱抵抗および熱容量パラメータを抽出する．

## 3.4 実験準備

### 3.4.1 試作モジュール

実験検証用に試作したモジュールを図 3.3 に示す．提案手法が，デバイス配置による熱インピーダンスの違いを測定できるか確認するため，デバイス間の配置距離が異なる 3 つのモジュールを試作した．いずれのモジュールも，SiC MOSFET [78] を 4 つ実装している ( $Q_i; i = 1-4$ )．SiC MOSFET の定格温度は  $175^\circ\text{C}$  である．3 つのモジュールにおいて，デバイス間の距離が近

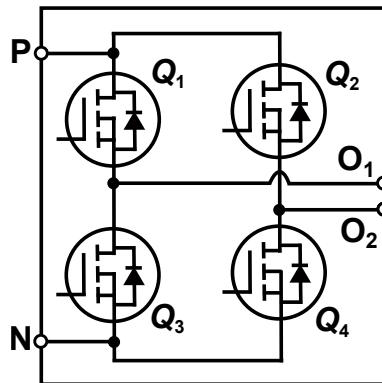


図 3.4: 試作モジュールの回路構成 (Copyright (2022) The Japan Society of Applied Physics)

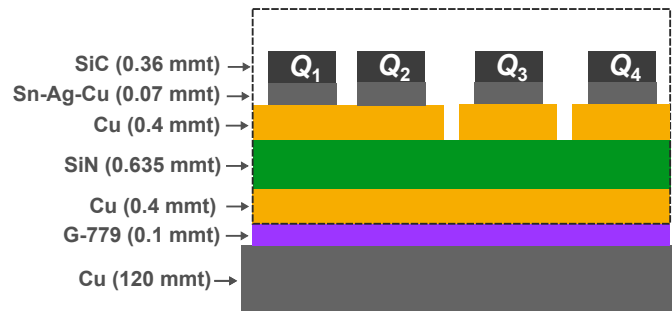


図 3.5: 試作モジュールの断面構成 (Copyright (2022) The Japan Society of Applied Physics)

い順に S-PM, M-PM, L-PM とする．全てのモジュールは，それぞれ電気的端子 P, N, O<sub>1</sub>, O<sub>2</sub> を有する．デバイス間の配置距離を除き，全てのモジュールは電気的，物理的に同じ構成である．図 3.4 のように，各モジュールはいずれもフルブリッジ構成となっている．また，図 3.5 にパワーモジュールの断面構成を示す．各 SiC MOSFET は，Cu 製の DBC (Direct Bonded Copper) 基板上に，0.07 mm 厚の Sn-Ag-Cu 系鉛フリーはんだで接合している．DBC 基板は，0.635 mm 厚の SiN セラミック基板および 0.4 mm 厚の Cu 基板で構成されている．Cu 基板は SiN セラミック基板の両面に取り付けられている．各 SiC MOSFET デバイスのソース電極と DBC 基板上の Cu パターンの間は，直径 0.4 mm の Al ワイヤを用いて電気的に接続した．Al ワイヤによって，各デバイスと各電気端子 P, N, O<sub>1</sub>, O<sub>2</sub> との電気的接続がなされている．また，各デバイスのゲートおよびソース電極とゲート信号

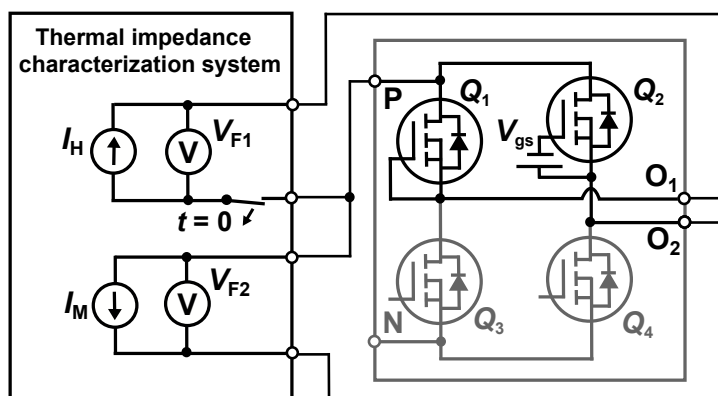


図 3.6: 熱インピーダンスの特性測定システム (Copyright (2022) The Japan Society of Applied Physics)

基板の間は、直径 0.15 mm の Al ワイヤを用いて電氣的に接続されている。冷却のため、対象モジュールは放熱グリス (G-779, 信越化学工業製) を介して、Cu 製の水冷ヒートシンク (HS-UC230, カワソーテクセル製) に取り付けられている。なお、放熱グリスの厚みは約 0.1 mm になるよう調整している。チラー (NCC-3000B, EYELA 製) を用いて水冷ヒートシンクに 60°C の冷却水を 6 slm のレートで流し、ヒートシンク温度  $T_{hs}$  を 60°C に維持している。

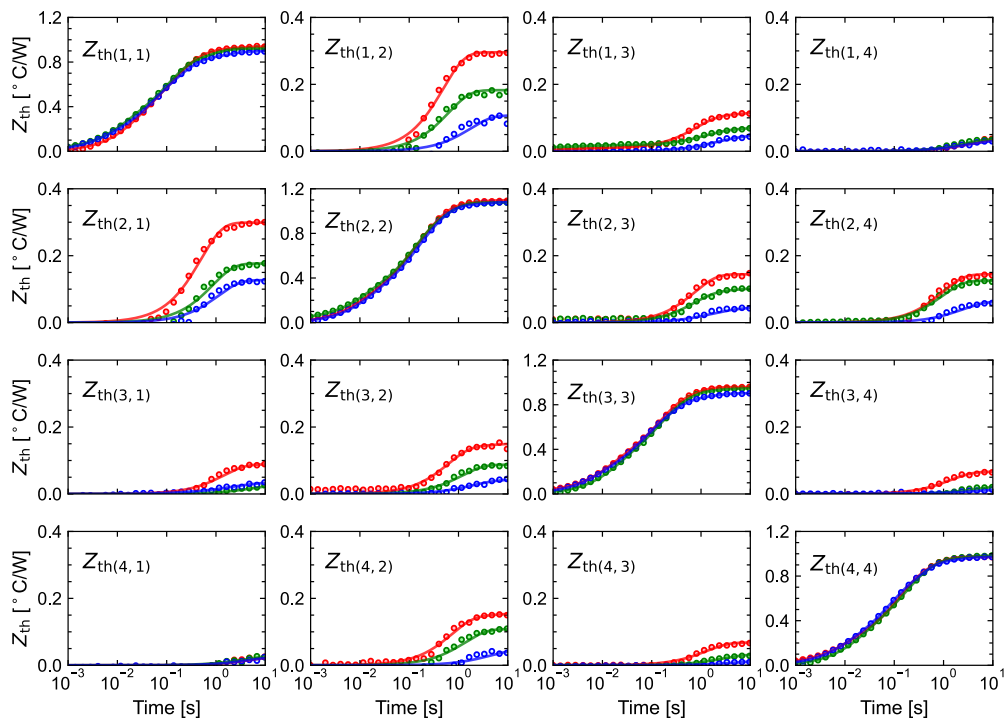
### 3.4.2 測定システムの開発

提案手法に基づいて開発した熱インピーダンス測定システムを図 3.6 に示す。図 3.6 では  $Z_{th(2,1)}$ 、すなわち  $Q_1$  から  $Q_2$  への熱干渉起因の熱インピーダンスの測定を例に挙げて説明する。上記測定では、はじめに  $Q_1$  に対して  $I_H$  が印加される。 $Q_1$  の発熱  $P_1$  は、 $I_H$  および  $Q_1$  のボディダイオードの順方向電圧  $V_{F1}$  を用い、 $P_{w1} = I_H \cdot V_{F1}$  で算出される。次に、 $t = 0$  において  $I_H$  による  $Q_1$  の発熱を停止する。 $t > 0$  の冷却過程において、温度測定対象である  $Q_2$  のボディダイオードの順方向電圧  $V_F$  の時間遷移を測定する。表 3.1 に、本測定システムで用いた機器およびソフトウェアを示す。測定時は、加熱対象の  $Q_1$  に対して  $P_1 = 100 \text{ W}$  となるように  $I_H$  を印加した。また、温度測定対象の  $Q_2$  に対しては、 $V_{gs} = -10 \text{ V}$ 、 $I_M = 10 \text{ mA}$  の条件において  $V_{F2}$  を測定した。任意の  $Z_{th(i,j)}$  ( $i, j = 1, \dots, n$ ) について、上記の  $Z_{th(2,1)}$  と同様の測定を行った。



表 3.1: 測定システムで用いた機器およびソフトウェア

型番	メーカー	種類	用途
PAN16-50A	菊水電子工業	直流電源	$I_H$ の印加
GS-210	横河計測	直流電源	$I_M$ の印加
PW24-1.5AQ	TEXIO	直流電源	$V_{gs}$ の印加
USB-6356	ナショナルインスツルメンツ	データ収集デバイス	$V_F$ の計測
LabVIEW	ナショナルインスツルメンツ	計測器制御ソフト	各機器の制御

図 3.7: S<sub>PM</sub>, M<sub>PM</sub>, L<sub>PM</sub> の熱インピーダンス特性

## 3.5 提案手法の適用

### 3.5.1 熱インピーダンスの特性測定結果

提案手法で測定した S<sub>PM</sub>, M<sub>PM</sub>, L<sub>PM</sub> の熱インピーダンス特性を図 3.7 に示す。図 3.7 の各サブグラフは、熱インピーダンス特性の各要素  $Z_{th(i,j)}$  を示す。各サブグラフの赤点、緑点、青点が S<sub>PM</sub>, M<sub>PM</sub>, L<sub>PM</sub> の  $Z_{th(i,j)}$  特性を表している。赤線、緑線、青線は提案手法で得た S<sub>PM</sub>, M<sub>PM</sub>, L<sub>PM</sub> の  $Z_{th(i,j)}$  特性から、フォスター型等価回路でモデリングを行った結果

を示している。各熱インピーダンスの特性測定時の発熱およびヒートシンク温度条件はそれぞれ 100 W および  $T_{hs} = 60^\circ\text{C}$  とした。各デバイスの温度は、自己発熱による熱インピーダンス ( $i = j$ ) を測定するために、約  $150^\circ\text{C}$  まで上昇させた。熱干渉による熱インピーダンス ( $i \neq j$ ) の評価時のデバイス温度は、発熱デバイスとの配置距離によって異なり、約  $70^\circ\text{C}$  から  $100^\circ\text{C}$  であった。いずれのモジュールにおいても、自己発熱による熱インピーダンスの特性 ( $Z_{th(i,j)}, i = j$ ) はほぼ同じであることが分かる。自己発熱はデバイス間の配置距離にはほぼ依存しないと考えられるため、上記の結果は妥当である。自己発熱による熱インピーダンスの定常値は、モジュールに依らず約  $1.0^\circ\text{C/W}$  であった。一方、熱干渉による熱インピーダンス ( $Z_{th(i,j)}, i \neq j$ ) はデバイス間の配置距離によって異なることがわかる。例えば、S-PM における  $Z_{th(1,2)}, Z_{th(1,3)}, Z_{th(1,4)}$  の定常値はそれぞれ約 0.3, 0.1,  $0.05^\circ\text{C/W}$  である。 $Q_1$  との配置距離が近い順に  $Q_2, Q_3, Q_4$  であり、距離が近いデバイスとの熱インピーダンスほど定常値が大きいことから、物理的に妥当である。

### 3.5.2 熱インピーダンスのモデリング結果

各熱インピーダンスをモデル化する際、フォスター型等価回路の次数は、発熱経路上の層数に基づいて決定した。図 3.5 より、自己発熱による熱インピーダンスの発熱経路上には計 7 つの層 [SiC-はんだ-Cu-SiN-Cu-放熱グリス-Cu] が存在するため、 $Z_{th(i,j)} (i = j)$  の等価回路の次数は 7 とした。熱干渉による熱インピーダンスに関しては、 $Q_1$ - $Q_2$  間には 5 つのレイヤー [SiC( $Q_1$ )-はんだ-Cu-はんだ-SiC( $Q_2$ )] が存在する。したがって、 $Z_{th(1,2)}$  および  $Z_{th(2,1)}$  の等価回路の次数は 5 とした。 $Z_{th(1,2)}, Z_{th(2,1)}$  以外の熱干渉による熱インピーダンスに関しては、いずれも 7 つの層が存在するため [例: SiC( $Q_1$ )-はんだ-Cu-SiN-Cu-はんだ-SiC( $Q_3$ )]、等価回路の次数は 7 とした。図 3.7 に示すように、フォスター型等価回路による熱インピーダンスモデルは実測の熱インピーダンス特性を良く再現している。いずれの熱インピーダンスにおいても、実測-モデル間の RMSPE は 7.5% であった。

## 3.6 妥当性検証

### 3.6.1 検証設定

実験検証に用いた回路を図 3.8 に示す。検証時、各デバイスのゲート-ソー

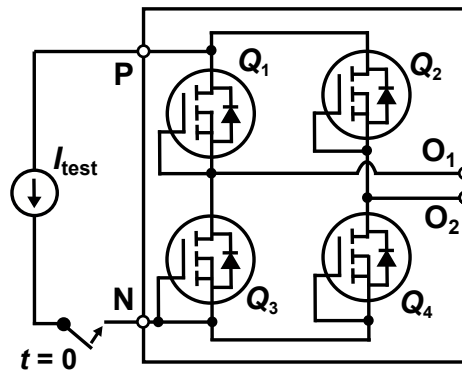


図 3.8: 熱インピーダンスの実験検証用回路 (Copyright (2022) The Japan Society of Applied Physics)

ス電極間はショート状態にした． $t = 0$ において，検証用の加熱電流  $I_{\text{test}}$  を各 SiC MOSFET デバイスのボディダイオードに印加した．したがって，全てのデバイスは同時に発熱し，各デバイスの自己発熱およびデバイス間の熱干渉によって温度上昇が生じる．この検証回路の動作で生じる各デバイスの温度上昇を，取得した熱インピーダンスに基づくモデルが再現できるか検証した． $I_{\text{test}}$  の印加のため，直流電源（高砂製作所，ZX-S-1600LA）を用いた．全てのデバイス温度が定常状態に達するように十分な加熱時間が経過した後，各デバイス  $Q_i$  ( $i = 1-4$ ) のソース電流  $I_{si}$  とソース-ドレイン電圧  $V_{sdi}$  を測定し，各デバイスの定常時の発熱  $P_i (= I_{si} \cdot V_{sdi})$  を算出した．本検証では，算出した定常発熱  $P_i$  は， $t = 0$  以降において，熱インピーダンスモデルの入力電力としてステップ波形状に与えられるとする．なお，加熱定常時の  $I_{si}$  は，ログスキー電流プローブ（岩通計測製，SS-663）を各デバイスのソースワイヤに巻いて測定した．ログスキー電流プローブは AC プローブであるため，直接的に定常電流  $I_{si}$  を測定できない．そのため，十分な加熱を行った後， $I_{\text{test}}$  を遮断した際に生じる  $I_{si}$  のターンオフ波形を取得し，波形の振幅値を  $I_{si}$  の定常電流値とした． $I_{si}$  のターンオフ波形は，ログスキー電流プローブの周波数帯域（65 Hz–30 MHz）に収まっており，この方法で得られた  $I_{si}$  の定常値が妥当であることは別途確認した．

実験検証における温度測定システム構成を図 3.9 に示す．本システムでは，赤外線サーモグラフィ（株式会社アピステ，FSV-2000）を用いてデバイス温度を測定した．赤外線サーモグラフィによって得た温度は，熱インピーダンスモデルから算出されたデバイス温度の検証データとして用いた．図 3.9 のように，赤外線サーモグラフィはパワーモジュールの上部に設置した．赤外

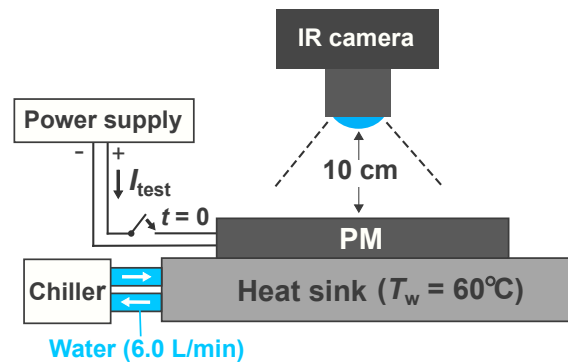


図 3.9: 実験検証における温度測定システム構成 (Copyright (2022) The Japan Society of Applied Physics)

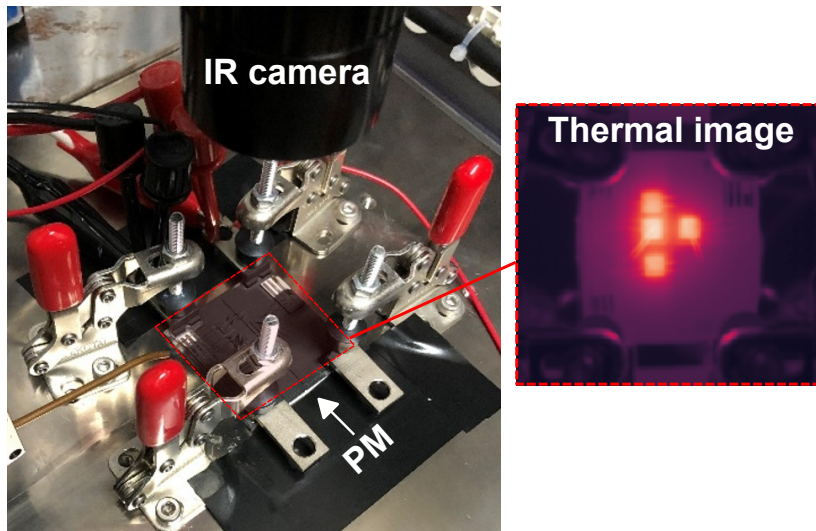


図 3.10: 実験検証における温度測定システム写真 (Copyright (2022) The Japan Society of Applied Physics)

線サーモグラフィの測定精度を確保するため、図 3.10 に示すようにモジュール表面に黒体 (株式会社タスコ, TA410KS) を塗布し、放射率の均一化を図った。図 3.10 の右側に、赤外線サーモグラフィで得られたモジュールの熱画像の例を示す。熱画像において、各デバイス温度はチップエリア全体の平均温度と定義する。40 ms のサンプリングレートで熱画像を取得し、加熱時の過渡的なデバイス温度を抽出した。得られた熱インピーダンスモデルを用いて温度シミュレーションを行い、上記実験で得られたデバイス温度と比較することで熱インピーダンスの妥当性検証を行った。温度シミュレーションに

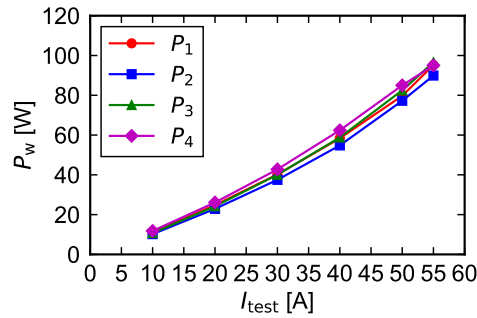


図 3.11: 異なる  $I_{test}$  条件における S\_PM 内の各デバイス発熱  $P_i$  ( $i = 1-4$ )  
(Copyright (2022) The Japan Society of Applied Physics)

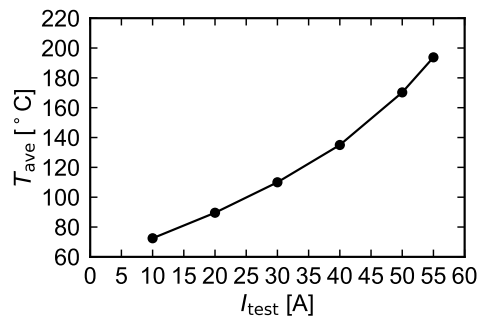


図 3.12: 異なる  $I_{test}$  条件における S\_PM 内の各デバイス温度  $T_i$  ( $i = 1-4$ ) の平均温度  $T_{ave}$  (Copyright (2022) The Japan Society of Applied Physics)

は，回路シミュレータ (株式会社インターソフト，SIMetrix) [67] を用いた．

提案手法によって得た熱インピーダンスモデルが実測のデバイス温度を広く再現可能か確認するため，複数の異なる  $I_{test}$  条件で検証を行った．異なる  $I_{test}$  条件における S\_PM 内の各デバイス発熱  $P_i$  ( $i = 1-4$ ) の算出結果を図 3.11 に示す．発熱の算出結果は，熱インピーダンスモデルの入力条件として用いた．また，異なる  $I_{test}$  条件における S\_PM 内の各デバイス温度  $T_i$  ( $i = 1-4$ ) の平均温度  $T_{ave}$  を図 3.12 に示す．図 3.12 のように，約  $70^{\circ}\text{C}$  から  $200^{\circ}\text{C}$  の温度範囲で熱インピーダンスの妥当性検証を実施した．

### 3.6.2 異なる $I_{test}$ 条件における検証結果

$I_{test} = 10$  A 条件における S\_PM の熱インピーダンスモデル検証結果を図 3.13 に示す． $I_{test} = 10$  A は，図 3.12 の最小条件である．各サブグラフ内の丸点が，赤外線サーモグラフィによる各デバイス温度  $T_i$  の実測結果を示

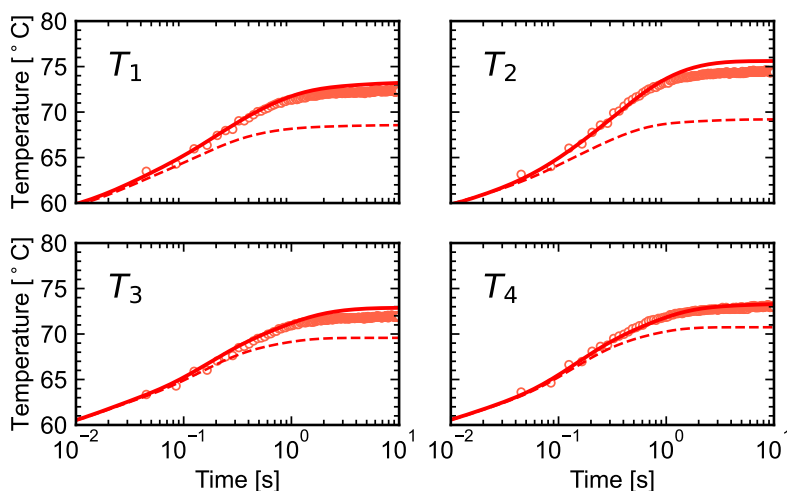


図 3.13:  $I_{\text{test}} = 10 \text{ A}$  条件における S-PM の熱インピーダンスモデル検証結果  
(Copyright (2022) The Japan Society of Applied Physics)

している．実線は作成した熱インピーダンスモデルによる温度シミュレーション結果を示している．また，点線は自己発熱による熱インピーダンス特性 ( $Z_{\text{th}(i,j)}, i = j$ ) のみを考慮した際の温度シミュレーション結果を示している．図 3.13 の内， $T_2$  は  $t = 10 \text{ s}$  において  $76.1^\circ\text{C}$  であり， $T_1$  から  $T_4$  の中で最大の温度である． $T_2$  が最大である理由としては，図 3.3 に示すように  $Q_2$  はそれ以外のデバイスに囲まれており，デバイス間の熱干渉の影響を最も強く受けるためと考えられる．実線で示す熱インピーダンスモデルによる温度シミュレーション結果が，実測の  $T_i$  を良く再現している．実測とシミュレーション間の最大誤差は  $1.2^\circ\text{C}$  であった．一方，自己発熱による熱インピーダンス特性のみを考慮した点線のシミュレーション結果は実測との乖離が大きく，最大誤差は  $5.4^\circ\text{C}$  であった． $I_{\text{test}} = 55 \text{ A}$  条件における S-PM の熱インピーダンスモデル検証結果を図 3.14 に示す． $I_{\text{test}} = 55 \text{ A}$  は，図 3.12 の最大条件である．図 3.13 の結果と同様， $T_1$  から  $T_4$  の内， $T_2$  が最大温度であり， $t = 10 \text{ s}$  において  $208.9^\circ\text{C}$  であった．デバイスの定格温度  $175^\circ\text{C}$  を超える本条件においても，熱インピーダンスモデルによるシミュレーション結果は実測のデバイス温度を良く再現している．実測とシミュレーションの最大誤差は  $8.1^\circ\text{C}$  であった．一方，熱干渉による熱インピーダンスを考慮していないシミュレーションは，実測との乖離が大きく，最大誤差は  $53.7^\circ\text{C}$  であった．上記より，提案手法で得た熱インピーダンスモデルは，パワーモジュール内において最大  $200^\circ\text{C}$  のデバイス温度を精度良く再現できていることを確認した．

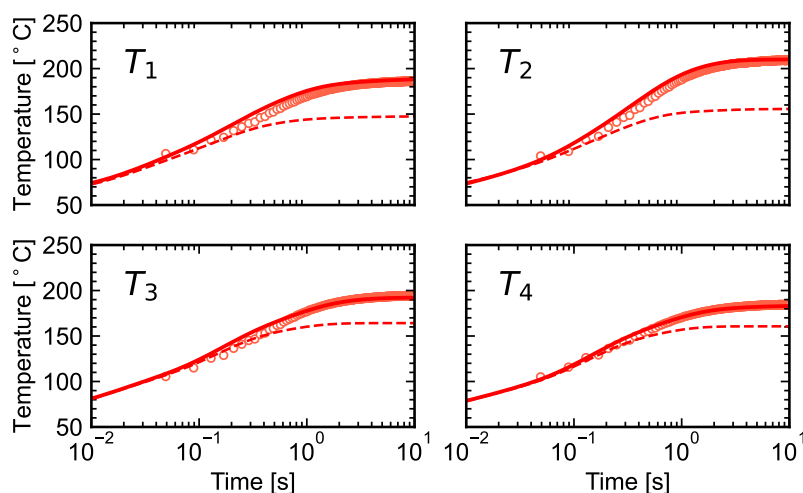


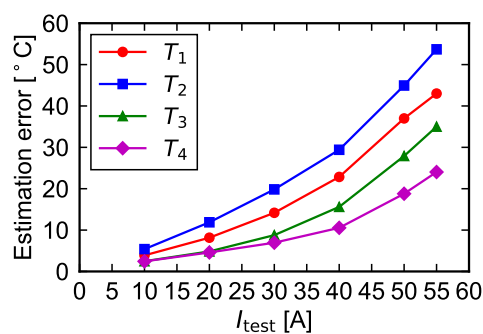
図 3.14:  $I_{\text{test}} = 55 \text{ A}$  条件における S-PM の熱インピーダンスモデル検証結果  
(Copyright (2022) The Japan Society of Applied Physics)

### 3.6.3 熱干渉が温度推定精度におよぼす影響

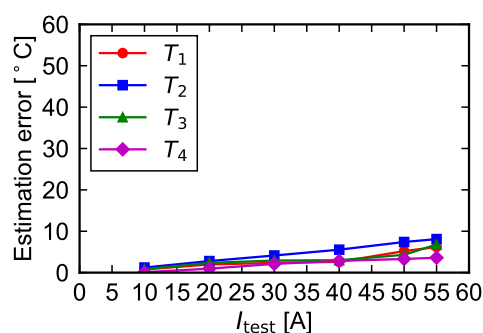
図 3.15 に、熱干渉を考慮しない場合と考慮した場合の熱インピーダンスモデルを用いたシミュレーションの、実測温度との最大誤差をそれぞれ示す。図 3.15(a) の通り、 $I_{\text{test}}$  が大きく、全体の発熱が大きい条件ほど実測のデバイス温度との誤差が広がっていることが分かる。特に、熱干渉の影響を強く受ける  $T_2$  の推定誤差が最も大きい。一方、 $T_4$  の誤差は  $T_1$  から  $T_3$  と比べると小さいことが分かる。これは、図 3.3 から分かるように、 $Q_4$  は他デバイスから離れた位置に実装されており、熱干渉の影響を比較的受けにくいと考えられる。 $I_{\text{test}} = 10 \text{ A}$  で  $T_{\text{ave}} = \text{約 } 70^\circ\text{C}$  の低い発熱条件においては、熱干渉を考慮しない場合でも誤差は約  $5.0^\circ\text{C}$  と比較的小さい。したがって、 $70^\circ\text{C}$  以下の条件でモデル検証を行っている従来研究 [14, 79–87] では、熱干渉の影響を十分に評価できていない。 $70^\circ\text{C}$  以上の高温条件において、熱干渉の影響が顕著になり、実測–モデル間の誤差がより大きくなる可能性がある。提案手法で得た熱インピーダンスモデルは、図 3.15(b) に示すように  $70^\circ\text{C}$  から  $200^\circ\text{C}$  の実用的な広い範囲において、最大誤差  $8.1^\circ\text{C}$  で実測のデバイス温度を良く再現できることを確認した。

提案手法によって広範囲な温度再現を実現しているが、依然として実測との誤差は存在している。誤差要因としては、以下が挙げられる：

1. 赤外線サーモグラフィ自体の測定誤差 ( $\pm 2.0\%$ )。



(a) 熱干渉を考慮しない場合



(b) 熱干渉を考慮した場合

図 3.15: 熱インピーダンスモデルによる温度推定誤差 (Copyright (2022) The Japan Society of Applied Physics)

2. パワーモジュールの表面に対して，黒体が均一に塗布出来ていない．その結果，温度測定が不均一になっている．
3. 提案手法の熱インピーダンスモデルにおいて，熱抵抗および熱容量の非線形性 (温度依存性) [88] が考慮されていない．200°C の高温動作に近い条件ほど，実測-モデル間の誤差が大きい原因の一つと考えられる．
4. 実験において，パワーモジュール内の各デバイスに印加される電力は，理想的なステップ波形ではない．一方，熱インピーダンスモデルへの入力電力はステップ波形としているため，これが実測のデバイス温度と乖離する要因の一つと考えられる．

熱インピーダンスモデルの精度をより正確に確認するためには，上記の誤差要因を改善していくことが必要である．



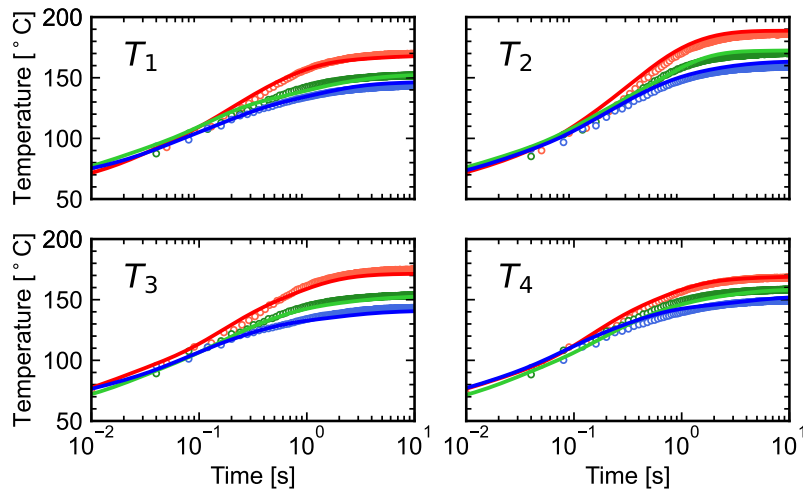


図 3.16:  $I_{\text{test}} = 50 \text{ A}$  条件における S\_PM, M\_PM, L\_PM の熱インピーダンスモデル検証結果 (Copyright (2022) The Japan Society of Applied Physics)

### 3.6.4 デバイス配置が異なるパワーモジュールによる検証結果

デバイスの配置が異なる 3 つのパワーモジュールを用い、提案手法がデバイスの配置による熱インピーダンス特性の違いを評価できるか検証した。 $I_{\text{test}} = 50 \text{ A}$  条件における S\_PM, M\_PM, L\_PM の熱インピーダンスモデル検証結果を図 3.16 に示す。各サブグラフにおいて、赤点、緑点、青点はそれぞれ S\_PM, M\_PM, L\_PM における各デバイス  $Q_1$ – $Q_4$  の実測温度を表している。赤線、緑線、青線は各モジュールの熱インピーダンスモデルによる温度シミュレーション結果を示している。3 つのモジュールの中で、各デバイスの温度上昇が最も大きいのは S\_PM である。これは、S\_PM におけるデバイス間の配置距離が 3 つのモジュール中で最も近く、熱干渉の影響が最も大きいためである。一方、L\_PM の温度上昇は最も小さい。これは、L\_PM のデバイス間の配置距離が最も大きく、熱干渉の影響が 3 つのモジュールの中で最も小さいためである。

全てのモジュールにおいて、熱インピーダンスモデルが実測のデバイス温度をよく再現しており、実測–モデル間の最大誤差は  $10^\circ\text{C}$  以内であった。以上のように、提案手法によってデバイス配置に依存する熱インピーダンスの違いを精度良く評価できることを確認した。

### 3.7 本章のまとめ

本章では、パワーモジュールパッケージの熱インピーダンスの特性測定およびモデリング手法を提案した。得られた熱インピーダンスモデルが、従来研究で検証されていなかった実用的な温度範囲 (70 °C 以上) において、デバイスの実測温度を良く再現していることから、提案手法の妥当性を確認した。また、提案手法を用いてデバイス間の配置距離が異なる3つのモジュールの熱インピーダンス特性評価およびモデリングを行なった。全てのモジュールにおいて、熱インピーダンスモデルがデバイスの実測温度を精度良く再現しており、実測-モデル間の最大誤差は10 °C 以内であった。提案手法はデバイス配置によらず、高精度な温度推定が可能な熱インピーダンスモデルを構築可能であることを示した。第4章の熱回路連成シミュレーションにおいて、第2章と本章で提案したデバイスモデルと熱インピーダンスモデルを組み合わせることで、電力変換回路におけるパワーモジュールの発熱・温度を高精度かつ高速に推定可能となる。

## 第4章

# 高精度・高速な熱回路連成シミュレーション

本章では、パワーモジュールにおけるデバイスの発熱と温度を、高精度・高速に推定可能な熱回路連成シミュレーションを提案する。提案の熱回路連成シミュレーションでは、第2章と第3章で提案したデバイスモデルおよび熱インピーダンスモデルを取り入れることで高精度な推定を可能にしている。また、シミュレーション時の課題となる計算時間の増大を解決する手法を取り入れることで、精度と速度の両立を図る。提案手法により、実際の回路動作におけるパワーモジュールの発熱・温度が推定可能になり、実用性を考慮した熱設計が可能となる。

### 4.1 はじめに

電力変換回路において、パワーモジュールはデバイスのスイッチング動作によって発熱が生じ、この発熱とパッケージの熱インピーダンス特性に応じてデバイス温度が上昇する。もし仮に発熱と温度に相関が無い場合、発熱と温度の推定を別々に実施しても問題ない。しかし実際には、温度によってデバイス特性(例：オン抵抗、閾値電圧)が変わると、発熱が変化する。発熱が変わると、再び温度が変化するといった様に、互いに相関をもっているため、発熱と温度を同時に推定する必要がある。この計算を実現するのが、熱回路連成シミュレーションである [13-18]。

熱回路連成シミュレーションの構成は、第1章で示した図 1.1 の通りである。電気パートでは、デバイスモデルを用いた電気シミュレーションで発熱を推定し、得られた発熱を熱パートに与える。熱パートでは、得られた発熱を条件に、熱インピーダンスモデルによる熱シミュレーションで温度を推定し、得られた温度を電気パートに与える。上記の電気-熱パートの計算サイ

クルを計算時間が進むごとに繰り返し行なうことで、発熱と温度を同時に推定する。

熱回路連成シミュレーションには、以下2点の課題がある：

- 精度の課題：デバイスモデルによる発熱推定と、熱インピーダンスモデルによる温度推定がともに高精度な必要がある。
- 計算時間の課題：時定数に大きく差がある電気と熱のシミュレーションを連成するため、計算時間が膨大となる。電気シミュレーションはデバイスのスイッチング動作を計算するため、ナノ秒オーダーの時定数であり熱シミュレーションはパッケージやヒートシンクの緩やかな温度を計算するため、分オーダーの時定数となる。

熱回路連成シミュレーションに関して、すでに多くの研究がなされている [13–18]。ほとんどの研究では、デバイスモデルとして従来の閾値電圧モデルを用い、熱インピーダンスモデルにはFEMを利用している [13,15–18]。しかし、第2章と第3章で述べた通り、閾値電圧モデル、FEMともに精度面に不安がある。また、いずれの研究も実測温度による妥当性検証がなされていない。文献 [14] では、デバイスモデルを一切用いず、代わりにデータシートの特性に基づくルックアップテーブルを利用することにより、高速な計算を実現している。実測検証もなされているが、回路動作時のデバイスの最大温度が 50°C 未満と低く、実用の温度範囲 (例：~175°C) での精度は確認されていない。第3章の実験結果で明らかな通り、動作温度が高いほど実測–シミュレーション間の誤差は広がる傾向のため、実用範囲での妥当性検証は必要不可欠と考えられる。

本章では、高精度・高速な発熱および温度推定を可能とするパワーモジュールの熱回路連成シミュレーションを提案する。提案手法では、以下の手法を組み合わせることにより、精度と計算速度の両立を図る：

- 精度：第2章と第3章で提案したデバイスモデルおよび熱インピーダンスモデルを電気パート、熱パートで利用することで、高精度な発熱・温度の推定を実現する。
- 計算時間：事前の回路シミュレーションで発熱ルックアップテーブル(LUT)を用意する。発熱LUTを用いることで、計算時間ごとに生じる電気パートでの発熱計算を省略し、計算時間の削減を図る。

また、提案手法の実用性を明らかにするため、デバイス温度 (定常時) が約 60°C から 150°C の広い温度範囲で妥当性を検証する。

以下，本章は次のように構成される．4.2 節にて，提案の熱回路連成シミュレーション手法を述べる．続く 4.3 節と 4.4 節で，妥当性検証の設定および結果を示し，最後に 4.5 節で本章をまとめる．

## 4.2 提案の熱回路連成シミュレーション

提案手法の手順は以下となる．まず，第 2 章のデバイスモデルを用いた電気パートのシミュレーションにより，対象の回路動作における各デバイス  $Q_i$  の発熱  $P_i$  と温度  $T_i$  の関係を紐づける発熱 LUT ( $=f_{\text{LUT}(i)}$ ) を求める ( $i = 1, 2, \dots, n$ )：

$$P_i = f_{\text{LUT}(i)}(T_1, T_2, \dots, T_n) \quad (4.1)$$

具体的には，対象の回路条件において，様々な  $T_i$  の条件で繰り返し回路シミュレーションを行い， $P_i$  を算出して  $f_{\text{LUT}(i)}$  を取得する．次に，第 3 章の提案手法によって以下に示す熱インピーダンス特性  $\mathbf{Z}_{\text{th}}$  の測定およびモデリングを行なう：

$$\mathbf{Z}_{\text{th}} = \begin{pmatrix} Z_{\text{th}(1,1)} & Z_{\text{th}(1,2)} & \cdots & Z_{\text{th}(1,n)} \\ Z_{\text{th}(2,1)} & Z_{\text{th}(2,2)} & \cdots & Z_{\text{th}(2,n)} \\ \vdots & \vdots & \ddots & \vdots \\ Z_{\text{th}(n,1)} & Z_{\text{th}(n,2)} & \cdots & Z_{\text{th}(n,n)} \end{pmatrix} \quad (4.2)$$

以上の手順で得た  $f_{\text{LUT}(i)}$  および  $\mathbf{Z}_{\text{th}}$  を用い，次の連立方程式を解く：

$$\begin{pmatrix} P_1(t) \\ P_2(t) \\ \vdots \\ P_n(t) \end{pmatrix} = \begin{pmatrix} f_{\text{LUT}(1)}(T_1(t), T_2(t), \dots, T_n(t)) \\ f_{\text{LUT}(2)}(T_1(t), T_2(t), \dots, T_n(t)) \\ \vdots \\ f_{\text{LUT}(n)}(T_1(t), T_2(t), \dots, T_n(t)) \end{pmatrix}, \quad (4.3)$$

$$\begin{pmatrix} T_1(t) \\ T_2(t) \\ \vdots \\ T_n(t) \end{pmatrix} = \mathbf{Z}_{\text{th}} \begin{pmatrix} P_1(t) \\ P_2(t) \\ \vdots \\ P_n(t) \end{pmatrix} + \begin{pmatrix} T_{\text{hs}}(t) \\ T_{\text{hs}}(t) \\ \vdots \\ T_{\text{hs}}(t) \end{pmatrix} \quad (4.4)$$

ここで，式 (4.4) の  $T_{\text{th,hs}}(t)$  はパワーモジュールに取り付けたヒートシンクの温度を表す．

上記の連立方程式は，第 3 章の図 3.2 と同様に  $\mathbf{Z}_{\text{th}}$  を等価回路で表現することで，回路シミュレータで効率的に計算することができる．連立方程式に対応する等価回路図を図 4.1 に示す．回路シミュレータで得た図 4.1 の  $\Delta T_{ij}$

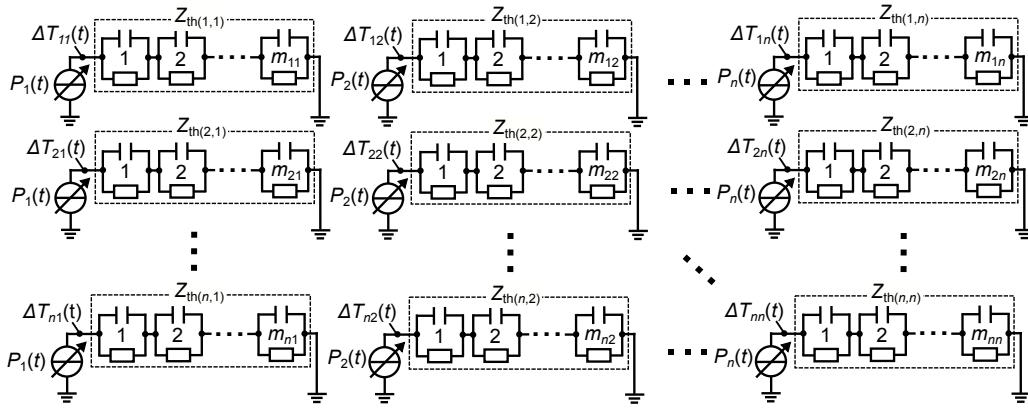


図 4.1: 提案の熱回路連成シミュレーションの等価回路

を用い，以下の計算で  $T_i(t)$  が得られる：

$$T_i(t) = \sum_{j=1}^n \Delta T_{ij}(t) + T_{hs}(t) \quad (4.5)$$

第3章との違いは，デバイス発熱を表す熱流源  $P_i(t)$  (図 4.1) が， $f_{LUT(i)}$  にしたがって時間変化する点である．これにより，回路動作時の  $T_i$  に応じた  $P_i$  の変化を再現できる．

### 4.3 提案手法の妥当性検証の準備

提案手法の妥当性検証として，試作モジュールによる回路実験を行った．実験および提案のシミュレーションから得られたデバイスの発熱および温度をそれぞれ比較した．本検証では，電力変換回路の定常動作時，すなわちデバイス温度が十分落ち着いた時の発熱・温度の再現性を確認した．計算時間に関しては，LUT を用いない従来手法との比較により，提案手法の妥当性を確認した．

以下では，使用した試作モジュール，回路条件，測定条件，シミュレーション設定についてそれぞれ説明する．

#### 4.3.1 試作モジュール

試作モジュールを図 4.2 に示す．実験をシンプルにするため，対象モジュールには最低限の 2 つの SiC MOSFET (ローム株式会社，S2303，定格電圧：

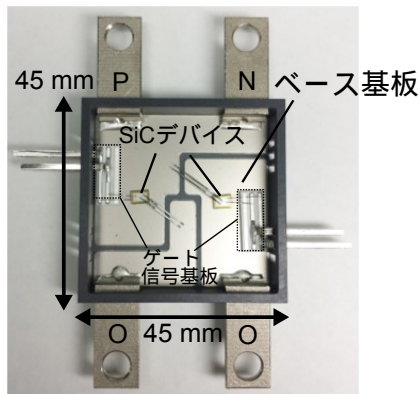


図 4.2: モジュールのレイアウト

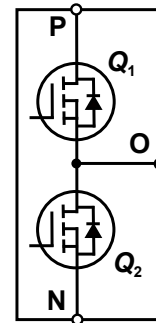


図 4.3: モジュールの回路構成

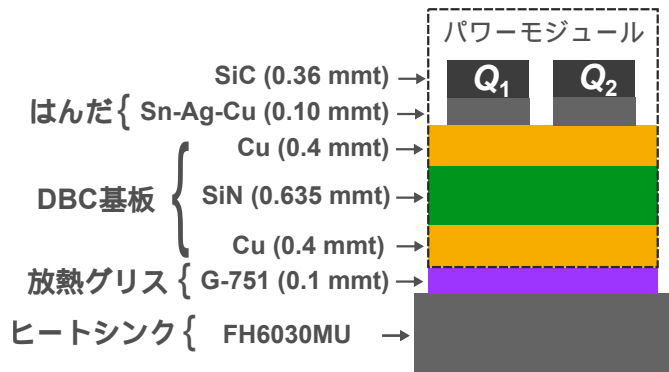


図 4.4: モジュールの断面構成

1,200 V, 定格電流: 40 A, ベアチップ) [89] を実装している。対象モジュールは電氣的端子 P, N, O を有しており, 図 4.3 に示すハーフブリッジ構成である。モジュール基板は第 3 章の試作モジュールと同一であり, 断面構成を図 4.4 に示す。各 SiC MOSFET は, DBC 基板上に 0.1 mm 厚の Sn-Ag-Cu 系鉛フリーはんだで接合している。各デバイスのソース電極と DBC 基板上との電気接続には, 直径 0.4 mm の Al ワイヤを用いた。また, 各デバイスのゲートおよびソース電極とゲート信号基板間の接続には, 直径 0.15 mm の Al ワイヤを用いた。図 4.5 のように, 対象モジュールは冷却のために空冷ヒートシンク (株式会社 Alpha, FH6030MU) を取り付けた。モジュールとヒートシンク間には, 放熱グリス (信越化学工業, G-751) を塗布した。赤外線サーモグラフィを用いたデバイス温度の測定精度を確保するため, モジュール表面に黒体 (株式会社タスコ, TA410KS) を塗布し, 放射率の均一化を図った。

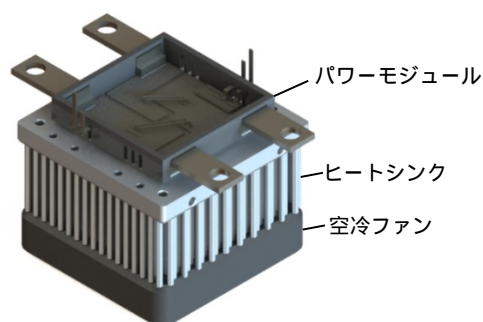


図 4.5: ヒートシンクの実装

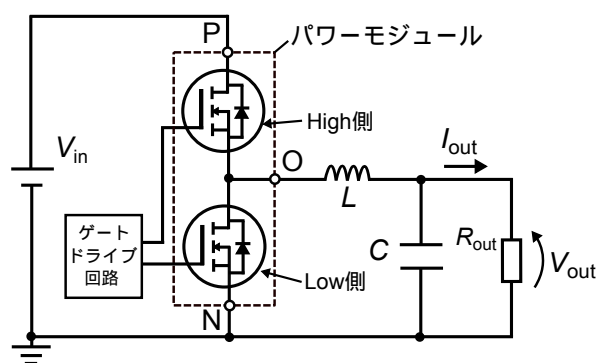


図 4.6: 降圧コンバータ回路

### 4.3.2 回路条件

図 4.6 の降圧コンバータによるモジュール動作を対象に，提案手法の検証を行った．降圧コンバータの回路条件を表 4.1 に示す． $V_{in}$ ， $V_{out}$ ， $I_{out}$  は，それぞれ入力電圧，出力電圧，および出力電流を示す． $L$ ， $C$  は出力インダクタおよび出力コンデンサである．High 側および Low 側のデバイスともに，オン時は 18 V，オフ時は -5 V の条件で各ゲートを駆動した．オンオフのデューティ比は 50% とした．降圧コンバータ動作において，High 側デバイスはスイッチの役割を果たし，Low 側デバイスは還流ダイオードの役割を果たす．今回は，還流時に Low 側デバイスのゲートも駆動しており，同期整流型のコンバータ動作となる [90]．High 側と Low 側デバイスの同時オン（アーム短絡）を防止するため， $0.5 \mu\text{s}$  のデッドタイムを設定した．異なる発熱，温度条件で提案手法の検証を行うため，スイッチング周波数  $f_{sw}$  は 50–350 kHz 間で複数の条件で試験を行なった． $f_{sw}$  が大きいほどスイッチング損失は増大し，デバイス温度が高い条件となる．



表 4.1: 降圧コンバータの回路条件

パラメータ	値
$V_{in}$ [V]	100
$V_{out}$ [V]	50
$I_{out}$ [A]	15
$L$ [ $\mu$ H]	250
$C$ [ $\mu$ F]	160
ゲート駆動条件	オン：18 V，オフ：-5 V デューティ比：50% デッドタイム：0.5 $\mu$ s $f_{sw}$ ：50-350 kHz (50 kHz 刻み)

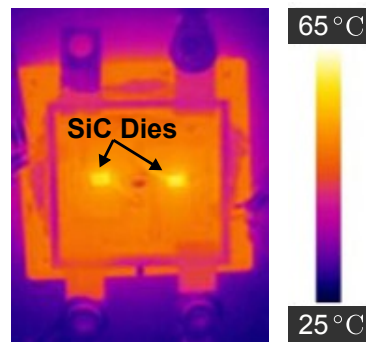


図 4.7: サーモグラフィで得た熱画像の例 © IEEE 2020

### 4.3.3 測定条件

デジタルオシロスコープ (横川計測株式会社, DL7480) と高電圧差動プローブ (横川計測株式会社, 701921 および 700924) を用いて High 側および Low 側デバイスの  $V_{gs}$  と  $V_{ds}$  を測定した。また、ロゴスキー電流プローブ (PEM, CWT3 Ultra-mini) を用いて High 側の  $I_d$ 、および Low 側の  $I_s$  を測定した。スイッチング周期当たりの  $V_{ds} \cdot I_d$  および  $V_{ds} \cdot I_s$  を積分して得た電力損失を、High 側および Low 側デバイスそれぞれの実測の発熱とした。温度測定には、赤外線サーモグラフィ (キーサイト・テクノロジー, U5855A) を用いた。回路動作中にサーモグラフィで得た熱画像の例において、各デバイス温度はチップエリア全体の平均温度と定義した。回路動作開始から、対象モジュールのデバイス温度が定常に至った約 100 秒後に発熱と温度を測定した。

表 4.2: 発熱 LUT ( $f_{\text{LUT}(1)}$ ,  $f_{\text{LUT}(2)}$ ) の取得条件

条件	$T_1$ [°C]	$T_2$ [°C]
1	25	25
2	25	87.5
3	25	150
4	87.5	25
5	87.5	87.5
6	87.5	150
7	150	25
8	150	87.5
9	150	150

#### 4.3.4 シミュレーション設定

High 側と Low 側の発熱 LUT ( $f_{\text{LUT}(1)}$ ,  $f_{\text{LUT}(2)}$ ) は, 表 4.2 の温度条件で回路シミュレーションを行って求めた. 回路シミュレーション時は第 2 章のデバイスモデルを用いた.  $T_1$ ,  $T_2$  はそれぞれ High 側と Low 側のデバイス温度を表す. また, 第 3 章で提案した測定手法によって対象モジュールの熱インピーダンス特性を取得し, フォスター型等価回路によるモデリングを行った. 対象モジュールには 2 つのデバイス ( $n = 2$ ) が実装されているため, 式 (4.3), 式 (4.4) の連立方程式は以下のように表される:

$$\begin{cases} \begin{pmatrix} T_1(t) \\ T_2(t) \end{pmatrix} = \begin{pmatrix} Z_{\text{th}(1,1)} & Z_{\text{th}(1,2)} \\ Z_{\text{th}(2,1)} & Z_{\text{th}(2,2)} \end{pmatrix} \begin{pmatrix} P_1(t) \\ P_2(t) \end{pmatrix} + \begin{pmatrix} T_{\text{hs}}(t) \\ T_{\text{hs}}(t) \end{pmatrix}, & (4.6) \\ \begin{pmatrix} P_1(t) \\ P_2(t) \end{pmatrix} = \begin{pmatrix} f_{\text{LUT}(1)}(T_1(t), T_2(t)) \\ f_{\text{LUT}(2)}(T_1(t), T_2(t)) \end{pmatrix} & (4.7) \end{cases}$$

ここで,  $P_1(t)$  と  $P_2(t)$  はそれぞれ High 側と Low 側のデバイス発熱を表す. 本実験では空冷ヒートシンク自身の温度上昇を考慮するため,  $T_{\text{hs}}(t)$  を以下の式で表す:

$$\begin{pmatrix} T_{\text{hs}}(t) \\ T_{\text{hs}}(t) \end{pmatrix} = Z_{\text{th.hs}} \begin{pmatrix} P_1(t) + P_2(t) \\ P_1(t) + P_2(t) \end{pmatrix} + \begin{pmatrix} T_a \\ T_a \end{pmatrix} \quad (4.8)$$

ここで,  $Z_{\text{th.hs}}$  はヒートシンクの熱インピーダンス,  $T_a$  は周囲温度を表す.  $T_a$  は時間に依らず室温 (25°C) で一定とする. ヒートシンクは, High 側と Low 側の発熱の合計値 ( $P_1(t)$ ,  $P_2(t)$ ) によって温度が上昇すると仮定する. 回路シミュレータ (株式会社インターソフト, SIMetrix) [67] を用い, 各デバイスの発熱と温度を求めた.

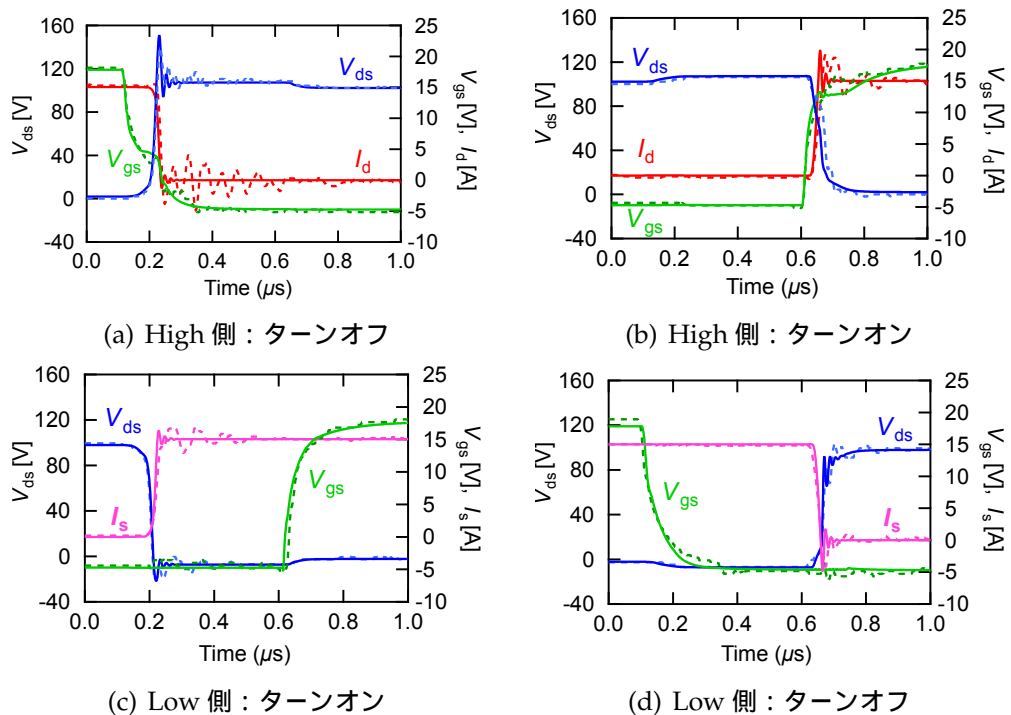


図 4.8: High 側と Low 側デバイスのスイッチング波形の実測-シミュレーション比較結果

## 4.4 検証結果

### 4.4.1 精度

#### デバイス発熱

図 4.8 に、High 側と Low 側デバイスのスイッチング波形の実測-シミュレーション比較結果を示す。 $f_{sw} = 200$  kHz 条件の結果である。点線が実測、実線がシミュレーションの結果を表している。図 4.8 において、 $0.1-0.6 \mu s$  の期間が High 側と Low 側デバイス間のデッドタイムである。いずれのデバイスでも、シミュレーションが実測のスイッチング波形を良く再現している。

異なる  $f_{sw}$  条件におけるデバイス発熱の実測-シミュレーション比較結果を図 4.9 に示す。実測を丸点、シミュレーションを実線で示す。いずれのデバイスでも、 $f_{sw}$  の増加に伴って発熱が増大している。特に、High 側デバイスはスイッチング損失の影響が大きく、Low 側デバイスよりも発熱の増大が顕著である。Low 側デバイスは、High 側と比べると影響は小さいも

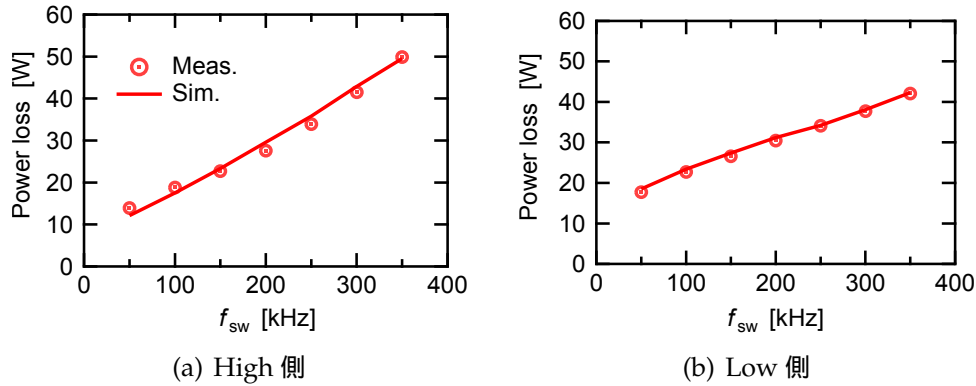


図 4.9: 異なる  $f_{sw}$  条件におけるデバイス発熱の実測-シミュレーション比較結果

の、 $f_{sw}$  が増加するとスイッチング周期におけるデッドタイム ( $0.5 \mu\text{s}$ ) の占める割合が大きくなるため、同様に発熱は増大する。図 4.9 から、シミュレーションが実測の発熱を良く再現しており、実測-シミュレーション間の最大誤差は  $2.0 \text{ W}$  以内であった。

### デバイス温度

図 4.11 に、対象モジュールの熱インピーダンス特性の実測およびモデリング結果を示す。実測を丸点、モデルを実線で表している。 $Z_{th(1,1)}$  と  $Z_{th(2,2)}$  は High 側と Low 側デバイスの自己発熱による熱インピーダンス、 $Z_{th(1,2)}$  と  $Z_{th(2,1)}$  は High 側-Low 側デバイス間の熱干渉による熱インピーダンスであり、いずれも第 3 章の提案手法で実測、モデリングを行なった結果である。 $Z_{th(1,1)}$  と  $Z_{th(2,2)}$  は同種類のデバイス、同一の実装方法にも関わらず、定常時 ( $t = 1,000 \text{ s}$ ) のインピーダンス値に僅かな差が見られる。これは、デバイス実装時のはんだ厚みや、モジュールとヒートシンク間の放熱グリスの厚みにばらつきが生じているためと考えられる。 $Z_{th.hs}$  は、High 側と Low 側デバイスに DC 電流を流した際のヒートシンクの  $T_{hs}$  を測定し、以下の式で求めた：

$$Z_{th.hs}(t) = \frac{T_{hs}(t) - T_a}{P_1 + P_2} \quad (4.9)$$

ただし、 $P_1$  と  $P_2$  はヒートシンク温度が定常に至った際の各デバイス発熱とした。フォスター型等価回路によるモデルが、実測の熱インピーダンス特性を良く再現していることが分かる。実測-シミュレーション間の RMSPE の

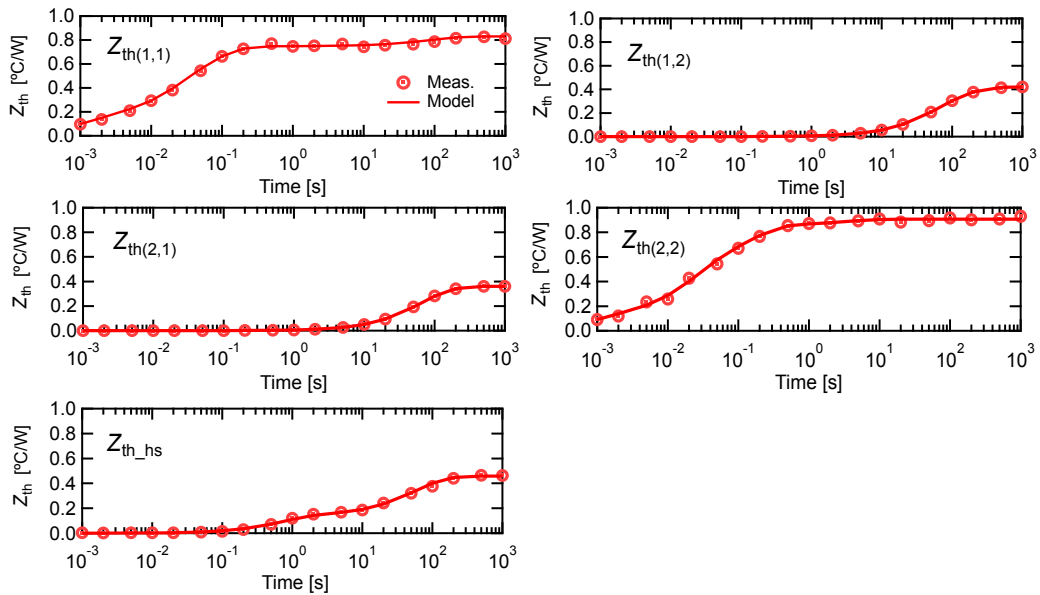


図 4.10: 熱インピーダンス特性の実測およびモデリング結果

最大値が 10%以内に収まっていることを確認した。

異なる  $f_{sw}$  条件におけるデバイス温度の実測-シミュレーション比較結果を図 4.11 に示す。High 側と Low 側デバイス間の発熱差 (図 4.9) に対応する形で、デバイス温度に関しても High 側デバイスの方が高い傾向であり、シミュレーションがこの傾向を再現している。60°C から最大 150°C の広い温度範囲にかけて、シミュレーションが実測のデバイス温度を良く模擬している。実測-シミュレーション間の最大誤差が 5°C 以内であることを確認した。

#### 4.4.2 計算時間

発熱 LUT を用いない従来手法で降圧コンバータのシミュレーションを行なった。タイムステップは 2 ns とした。この場合、シミュレーション時間が  $t = 10$  ms に至るまでに要する計算時間は約 110 s であった。 $t = 100$  s までに要する時間は、 $10^4$  倍の約  $1.1 \times 10^6$  s (約 300 h) と非常に長いことが分かる。一方、発熱 LUT を用いた提案手法では、 $t = 100$  s までに要する時間は 10 s 以内であり、従来手法と比べて高速に発熱および温度を推定できることを確認した。

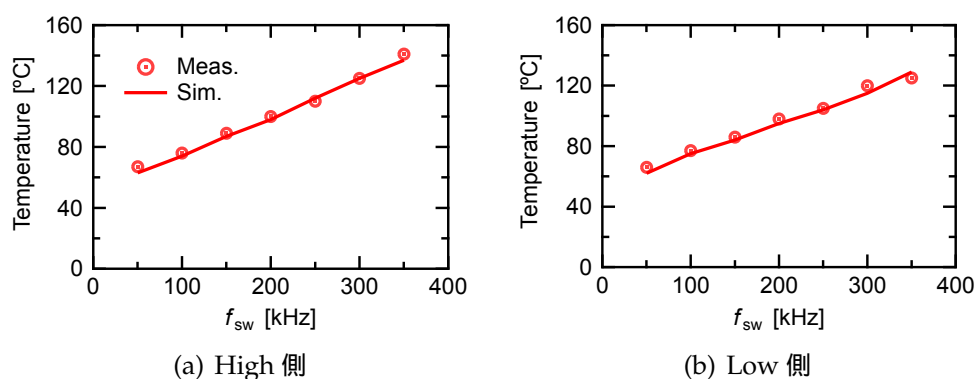


図 4.11: 異なる  $f_{sw}$  条件におけるデバイス温度の実測-シミュレーション比較結果

## 4.5 本章のまとめ

本章では，パワーモジュールにおけるデバイスの発熱と温度を，高精度・高速に推定可能な熱回路連成シミュレーションを提案した．熱回路連成シミュレーションでは，精度と計算時間の両面で課題があった．提案手法では，第2章と第3章で提案したデバイスモデルおよび熱インピーダンスモデルを応用することで，高精度な発熱と温度の推定を可能にした．約  $60^{\circ}\text{C}$  から  $150^{\circ}\text{C}$  の広い温度範囲において，発熱と温度の最大誤差は  $2.0\text{ W}$  および  $5^{\circ}\text{C}$  以内であったことから，提案手法の精度面についての有効性を確認した．また，高速な推定を可能にするため，事前の回路シミュレーションで作成した発熱 LUT を利用した．従来の発熱 LUT を用いない手法と比べ，遥かに短い時間でデバイスの発熱と温度を推定できることから，提案手法の高速性を確認した．提案手法により，実際の回路動作におけるパワーモジュールの熱的動作を推定可能となる．

## 第5章

# パワーモジュール内のデバイス特性ばらつきの影響に関する検討

前章までの検討では、デバイスの特性ばらつきは考慮されていない。しかしながら、実際の製造プロセスでは様々な要因でデバイス特性にばらつきが生じ、パワーモジュールの回路動作に対して無視できない影響をおよぼす。より現実的なパワーモジュールの発熱・温度推定のためには、熱回路連成シミュレーションにおいて、デバイス特性ばらつきの考慮が必要となる。本章では、デバイス特性ばらつきを考慮したシミュレーションを実現するための重要技術として、パワーモジュールの動作ばらつきへの影響が支配的なモデルパラメータの効率的な決定手法を提案する。本検討では、デバイス特性ばらつきが特に問題となる、パワーモジュールにおけるデバイス並列動作を対象とする。

### 5.1 はじめに

パワーモジュールは、電気自動車における主機インバータのような数百kWクラスの大電力応用に対応するため、モジュール内においてデバイスの並列動作が行われる [9-12, 38, 91-97]。しかし並列動作においては、デバイス特性ばらつきの影響が顕著になり、デバイス間で望ましくない電流アンバランスが生じる [11, 12, 38, 93-97]。電流アンバランスが生じると、並列デバイス間のエネルギー損失のばらつきにより、一部のデバイスに過剰な熱負荷がかかる。過剰な熱負荷はデバイスの寿命低下につながり、パワーモジュールの信頼性を著しく低下させる [38, 39, 98]。

並列動作時の電流アンバランスに関しては、数多くの研究がなされている [36-39, 97-99]。実験的な解析がいくつか報告されているが [97-99]、これらの研究ではデバイス特性ばらつきよりも、実装されたデバイスの回路

レイアウト上に存在する寄生インダクタンスに解析の重点が置かれている。デバイス特性ばらつきに着目した研究も行われているが、数個に限られたデバイスの実験にとどまっており、統計的なばらつきの解析には至っていない [36–38]。文献 [39] では、シミュレーションによって、デバイス特性ばらつきが並列動作時のエネルギー損失ばらつきにおよぼす影響を統計的に検討している。しかし、上記で使用しているモデルは、閾値電圧と電流ゲインファクタという事前に決められた2つのパラメータのばらつきしか考慮されていない。本来は、回路条件や使用するモデルに応じて、異なる種類のパラメータを統計的に扱うのが妥当と考えられる。

実用的な回路設計に用いられる近年のデバイスモデルは、デバイスの回路動作を高精度に再現するため、多数のモデルパラメータが用いられている [40–44]。しかし、デバイス特性ばらつきを解析する統計的シミュレーションのために必要なモデリングの作業、統計的シミュレーション自体に要する計算コストを考えると、限られた数のパラメータしか統計的に扱うことができない。一方、デバイス特性ばらつきの影響を正確に精度良く再現する必要があるため、統計的モデルパラメータを効率的に決定する必要がある [45]。著者の知る限り、デバイスの並列動作において、統計的モデルパラメータの効率的な決定方法に関する検討を行った事例は無い。

本章では、デバイス特性ばらつきの影響が特に問題となる、パワーモジュールにおける並列デバイスの電流アンバランスに着目し、デバイス特性ばらつきの影響が支配的なパラメータの効率的な決定手法を提案する。提案手法では、 $n$  個の並列デバイスのパラメータ間の相関を考慮した感度ベースの方程式を導入する。導入式は、CMOS デバイスのプロセスばらつきが回路動作性能に与える影響を推定する FPV (Forward Propagation of Variance) [47,48] を拡張したものとなる。以下では、導入式を NFPV (N-devices Forward Propagation of Variance) とする。

提案手法の新規性は以下の3点である：

- 並列デバイス間の電流アンバランスを効率的に解析可能な NFPV を導出した。NFPV により、デバイス間の相互干渉を考慮した上で、モデルパラメータのばらつきが電流アンバランスにおよぼす影響を高速に評価可能になった。
- 実際の SiC MOSFET の特性を用い、提案手法の有効性を検証した。提案手法による統計的モデルパラメータの決定は、従来と比べて桁違いに高速であることを明らかにした。また、決定したパラメータを用い



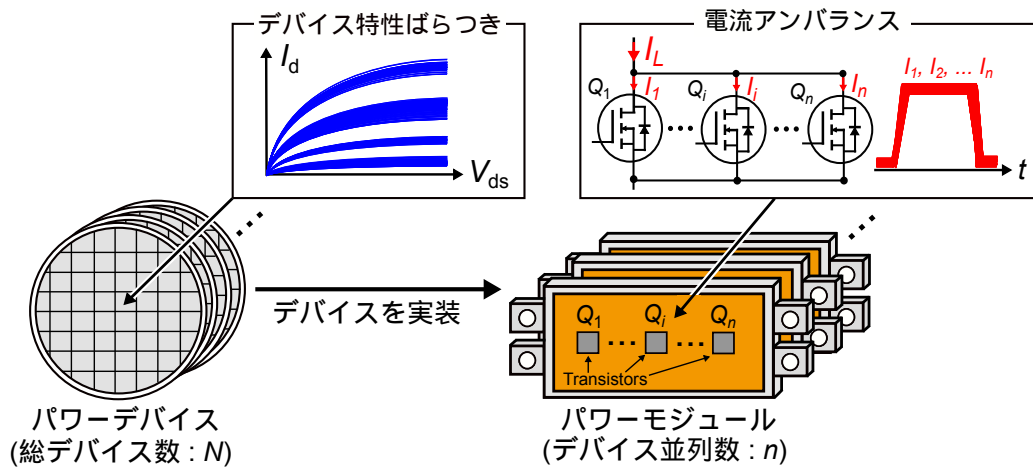


図 5.1: パワーモジュールにおける並列デバイス間の電流アンバランス © IEEE 2023

ることで、精度を損なうことなく、電流アンバランスの影響を再現できることを確認した。

- 並列デバイス間の寄生インダクタンスの不均一性やデバイス温度のアンバランスを考慮した実用的な回路条件下において、決定したパラメータの有効性を確認した。

以下、本章は次のように構成する。まず 5.2 節で、電流アンバランスのメカニズムおよび解析上の問題点を明らかにする。次に、5.3 節で従来の統計的パラメータの決定手法について述べる。5.4 節において、提案手法を説明する。5.5 節にて、提案手法の有効性の検証を行なう。従来手法との比較結果についても述べる。最後に、5.6 節で本章をまとめる。

## 5.2 電流アンバランスのメカニズム

パワーモジュールにおける並列デバイス間の電流アンバランスのイメージを図 5.1 に示す。図 5.1 においては、特性が異なる  $N$  個のデバイスが用意されており、これらのデバイスからランダムに  $n$  個 ( $n < N$ ) のデバイスを選定し、 $n$  並列のパワーモジュールを作成すると仮定する。ただし、 $I_L$  と  $I_i$  ( $i = 1, 2, \dots, n$ ) は、それぞれ負荷電流および各デバイス  $Q_i$  ( $i = 1, 2, \dots, n$ ) に流れるドレイン電流を示している。理想的には、全てのデバイスに負荷電流が等しく分担される状態、すなわち  $I_1 = I_2 = \dots = I_n$  となることが期待さ

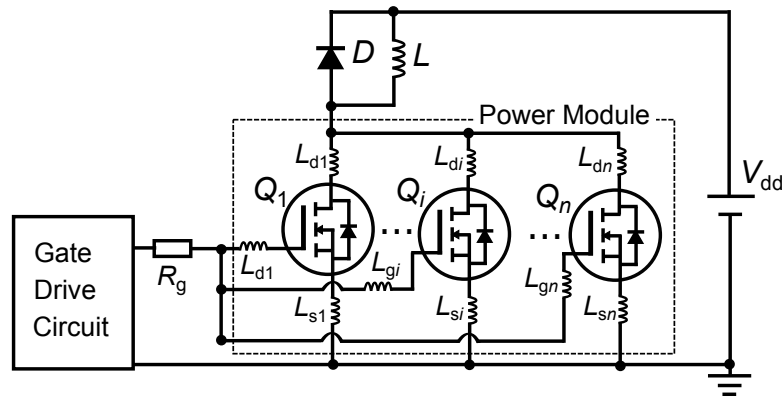


図 5.2:  $n$  並列パワーモジュールのスイッチング回路 © IEEE 2023

れる．しかし，実際にはデバイス特性ばらつきが原因で，負荷電流は等しく分担されない．この現象が電流アンバランスである [39,98,99]．

電流アンバランスによって，デバイス間のエネルギー損失ばらつきが発生する．特に SiC MOSFET は，従来の Si パワーデバイスに比べ，製造プロセスおよび MOS 界面の品質が未熟であるため，デバイス特性ばらつきが大きく，電流アンバランスがより深刻となる [12]．したがって，並列動作時の電流アンバランスにおよぼす影響を把握することは，SiC MOSFET を対象とした場合に特に重要となる．電流アンバランスの影響を実験的に把握するためには，パワーモジュール内に実装されたデバイスの電流を直接測定する必要があり，多大な労力を要する．したがって，シミュレーションによる解析が必要となる．

デバイス特性ばらつきによる電流アンバランスを解析する際の問題点を，簡単な事例を用いて説明する． $n$  並列パワーモジュールのスイッチング回路を図 5.2 に示す．ここで， $V_{dd}$ ， $L$ ， $D$ ， $R_g$  は，電源電圧，負荷コイル，還流ダイオード，外付けゲート抵抗である．図 5.2 において，各デバイス  $Q_i$  ( $i = 1, 2, \dots, n$ ) の閾値電圧  $v_{thi}$  および相互コンダクタンス  $g_{mi} (=dI_{di}/dV_{gsi})$  に特性ばらつきがあると仮定する．ただし， $I_{di}$  と  $V_{gsi}$  は， $Q_i$  のドレイン電流とゲート-ソース間電圧である．なお， $v_{thi}$  および  $g_{mi}$  以外のパラメータは全てのデバイスで同一，すなわち，特性ばらつきは存在しないと仮定する． $Q_i$  のエネルギー損失を  $E_i$  とし，デバイス特性ばらつきが電流アンバランスによって生じる  $E_i$  のばらつきにどのような影響をおよぼすか検討する． $Q_i$  の閾値電圧  $v_{thi}$  が，他デバイス  $Q_j$  ( $i \neq j$ ) の閾値電圧  $v_{thj}$  と比べて低い場合， $Q_i$  に比較的大きな電流が流れ， $E_i$  は  $Q_j$  のエネルギー損失  $E_j$  より大きくなる． $g_{mi}$  が  $g_{mj}$  より大きい場合も，同様の現象が生じる．一方， $v_{thj}$  が他デバイス

の閾値電圧と比べて小さい場合， $Q_j$  に大きな電流が流れる．この時， $Q_i$  に流れ込む電流は小さくなり，それにもなって  $E_i$  も小さくなる．以上より，各デバイスに流れる電流は，デバイス自身のパラメータ変動のみならず，他デバイスのパラメータ変動の影響も受けることが分かる．したがって，並列デバイスの電流アンバランスを解析する際には，全デバイスのパラメータの相関を考慮する必要がある．

上記の例では，限られた2つのパラメータ  $v_{thi}$  と  $g_{mi}$  ( $i = 1, 2, \dots, n$ ) のみが統計的に変動すると仮定している．しかし，回路条件によっては，上記以外のパラメータも考慮する必要があると考えられる．また，電流アンバランスに与える影響は，パラメータごとに大きく異なる可能性がある．統計シミュレーションの計算コストは，パラメータ数を増やすと急増する．したがって，電流アンバランスを精度良く分析するための必要最小限の統計的モデルパラメータを決定することが課題となる．

### 5.3 従来の統計的パラメータ決定手法

統計的パラメータを決定する従来手法について述べる．図 5.2 に示すように， $N$  個から  $n$  個のデバイスをランダムに選定し， $n$  並列パワーモジュールを作成すると仮定する． $N$  個のデバイス特性は， $m$  個のパラメータを有するデバイスモデルを用いて表されるとする ( $p = \{p_1, p_2, \dots, p_m\}$ )．すなわち，各デバイスのパラメータセット  $P = \{P_1, P_2, \dots, P_N\}$  が与えられているとする．各モデルパラメータセット  $P_i$  ( $i = 1, 2, \dots, N$ ) には，それぞれ  $m$  個のモデルパラメータ値が含まれている．

統計的パラメータを決定するシンプルな方法は，モンテカルロ (MC) シミュレーションを利用することである [39,100]．従来の MC ベースの統計的パラメータ決定手法をアルゴリズム 1 に示す．まず第 1 行目にて，アルゴリズム 2 に示す関数 MCSIM により，全てのパラメータを統計的に扱った際に得られる  $E_i$  ばらつきの標準偏差  $\sigma_{E_i}^m$  を求める．関数 MCSIM の計算の流れは以下である．まず，アルゴリズム 2 の第 1 行目にて，全モデルパラメータ  $p$  の中から，統計的に扱うモデルパラメータ  $p_{m_r}$  ( $< p$ ) を選定する．ここで， $m_r$  は統計的パラメータ数であり，全モデルパラメータ数  $m$  より小さい．なお，選定されなかった残りのモデルパラメータは，各パラメータの平均値で固定し，ばらつきは存在しないと仮定する．次に第 4 行目で，パラメータセット  $P$  の中から無作為に  $P_1$  から  $P_n$  を選定する．第 5 行目では， $P_1$  から  $P_n$  を  $n$  並列モジュールの各デバイス  $Q_1$  から  $Q_n$  に割り当てる．第 6 行目に

---

**アルゴリズム 1** MC ベースの統計的モデルパラメータ決定手法 © IEEE 2023
 

---

**Require:**  $P, p, n, L_{\max}, err_{\text{accept}}$ 

- 1:  $\sigma_{E_i}^m = \text{MCSIM}(P, p, n, L_{\max})$
  - 2: **for** ( $m_r = 1; m_r < m; m_r++$ ) **do**
  - 3:   **for each**  $p_{m_r} \in p$  **do**
  - 4:      $\sigma_{E_i}^{m_r} = \text{MCSIM}(P, p_{m_r}, n, L_{\max})$
  - 5:     calculate  $err_{\sigma_{E_i}}$
  - 6:   **end for**
  - 7: **end for**
  - 8: select  $p_{m_r}$  with the smallest  $m_r$ , giving  $err_{\sigma_{E_i}}$  within  $err_{\text{accept}}$  as  $p_{\text{dominant}}$
  - 9: **return**  $p_{\text{dominant}}$
- 

**アルゴリズム 2** 関数 MCSIM © IEEE 2023
 

---

- 1: **function** MCSIM ( $P, p_{m_r}, n, L_{\max}$ )
  - 2: set  $p_{m_r}$  as statistical parameters
  - 3: **for** ( $L_{\text{iter}} = 0; L_{\text{iter}} < L_{\max}; L_{\text{iter}}++$ ) **do**
  - 4:   select  $n$  parameter sets randomly from  $P_1$  to  $P_N$
  - 5:   assign the selected  $n$  parameter sets to each transistors,  $Q_1$  to  $Q_n$
  - 6:   perform circuit simulation to obtain  $E_i$
  - 7: **end for**
  - 8: calculate  $\sigma_{E_i}^{m_r}$
  - 9: **return**  $\sigma_{E_i}^{m_r}$
- 

において、上記のパラメータ設定で得た  $n$  並列モジュールの回路シミュレーションを行う。回路シミュレーションで得た各デバイスのスイッチング波形から、 $E_i$  を算出する。第4–6行目で、上記の計算を繰り返し  $L_{\max}$  回実施し、 $E_i$  のヒストグラムを求める。第8行目にて、 $E_i$  のヒストグラムから標準偏差  $\sigma_{E_i}^{m_r}$  を算出する。アルゴリズム1の第1行目において、関数 MCSIM で得た  $\sigma_{E_i}^m$  は、第2行目以降で支配的なパラメータを決定する際の基準値として用いる。アルゴリズム1の第4行目では、 $p$  のうち、限られた  $m_r$  個のモデルパラメータ  $p_{m_r}$  を統計的に扱った際に得られる  $E_i$  の標準偏差  $\sigma_{E_i}^{m_r}$  を取得する。上記により、 $p_{m_r}$  が  $E_i$  のばらつきにおよぼす影響が定量化される。第5行目において、以下で定義する推定誤差  $err_{\sigma_{E_i}}$  を算出する：

$$err_{\sigma_{E_i}} = \frac{|\sigma_{E_i}^m - \sigma_{E_i}^{m_r}|}{\sigma_{E_i}^m} \times 100 [\%] \quad (5.1)$$

$\sigma_{E_i}^{m_r}$  が十分小さい場合，選んだモデルパラメータ  $p_{m_r}$  は，全モデルパラメータをばらつかせた際に得られる本来の  $E_i$  のばらつきを良く再現できたことになり， $E_i$  のばらつきへの影響が支配的なモデルパラメータ  $p_{\text{dominant}}$  といえる．アルゴリズム 1 の第 3–6 行目にかけて，全モデルパラメータ数  $m$  から  $m_r$  個のパラメータを選ぶ全ての組み合わせで繰り返し  $err_{\sigma_{E_i}}$  を計算する．選定するモデルパラメータ数  $m_r$  自体も，1 から  $m - 1$  の値を取りうることを考慮すると， $p_{\text{dominant}}$  の全候補数は  $\sum_{m_r=1}^{m-1} \binom{m}{m_r}$  となる．アルゴリズム 1 の第 2–7 行目にかけて， $p_{\text{dominant}}$  の全候補に対して  $err_{\sigma_{E_i}}$  を算出する．続く第 8 行目にて， $m_r$  が最も小さく，かつ事前に設定した許容誤差  $err_{\text{accept}}$  以内の  $err_{\sigma_{E_i}}$  を満たす  $p_{m_r}$  を  $p_{\text{dominant}}$  として選ぶ． $err_{\text{accept}}$  の設定値は，電流アンバランスを解析する際に要求する精度に依存するが，例えば 5% もしくは 10% が適当である．

MC ベースである従来手法の欠点は，計算時間が膨大なことである．特に，アルゴリズム 1 の第 2–7 行目にわたる全パラメータ組み合わせの誤差評価では，多数の MCSIM を繰り返し行なう必要があり，最も計算時間を要する．従来手法に要する時間  $T_{\text{conv}}$  は以下の式で見積もることができる：

$$T_{\text{conv}} = T_{\text{MC}} \cdot \sum_{m_r=1}^{m-1} \binom{m}{m_r} \quad (5.2)$$

ここで， $T_{\text{MC}}$  は，ある一つのモデルパラメータ組み合わせの  $err_{\sigma_{E_i}}$  を評価するための MC シミュレーションに要する時間である．MC シミュレーションでは， $E_i$  のヒストグラムを得るために多数 ( $L_{\text{max}}$ ) の回路シミュレーションを行なう必要があり， $T_{\text{MC}}$  は少なくとも数分以上となる．モデルパラメータの全組み合わせ数  $\sum_{m_r=1}^{m-1} \binom{m}{m_r}$  は，全モデルパラメータ数  $m$  が増えると指数関数的に増大するため， $T_{\text{conv}}$  も膨大になる．

## 5.4 提案する統計的パラメータ決定手法

提案の統計的パラメータ決定手法をアルゴリズム 3 に示す．基本的な計算手順はアルゴリズム 1 の従来手法と同様である．従来手法との違いは，誤差評価時に MCSIM を行わず，代わりにアルゴリズム 4 に示す NFPV を使用することにある．NFPV によって，計算時間を要する多数回の回路シミュレーションを行う必要が無く，解析式 NFPV の計算のみで  $err_{\sigma_{E_i}}$  が評価可能となる．以下の 5.4.1 節および 5.4.2 節にて，NFPV の導出および提案手法の計算手順について述べる．

---

**アルゴリズム 3** NFPV ベースの統計的モデルパラメータ決定手法 © IEEE 2023
 

---

**Require:**  $P, p, n, err_{\text{accept}}$ 

- 1: calculate  $\mu_{p_k}, \sigma_{p_k}, \rho_{p_k p_l}, s_{p_k(ij)},$  and  $s_{p_k p_l(ij)}$
  - 2: check applicability of NFPV equation
  - 3:  $\sigma_{E_i}^m = \text{NFPV}(p, n, \sigma_{p_k}, \rho_{p_k p_l}, s_{p_k(ij)})$
  - 4: **for** ( $m_r = 1; m_r < m; m_r++$ ) **do**
  - 5:   **for each**  $p_{m_r} \in p$  **do**
  - 6:      $\sigma_{E_i}^{m_r} = \text{NFPV}(p_{m_r}, n, \sigma_{p_k}, \rho_{p_k p_l}, s_{p_k(ij)})$
  - 7:     calculate  $err_{\sigma_{E_i}}$
  - 8:   **end for**
  - 9: **end for**
  - 10: **select**  $p_{m_r}$  with the smallest  $m_r$ , giving  $err_{\sigma_{E_i}}$  within  $err_{\text{accept}}$  as  $p_{\text{dominant}}$
  - 11: **return**  $p_{\text{dominant}}$
- 

**アルゴリズム 4** 関数 NFPV © IEEE 2023
 

---

- 1: **function** NFPV ( $p_{m_r}, n, \sigma_{p_k}, \rho_{p_k p_l}, s_{p_k(ij)}$ )
  - 2: initialize  $\sigma_{E_i}^{m_r} = 0$
  - 3: **for** ( $j = 1; j \leq n; j++$ ) **do**
  - 4:   **for** ( $l = 1; l \leq m_r; l++$ ) **do**
  - 5:     **for** ( $k = 1; k \leq m_r; k++$ ) **do**
  - 6:        $\sigma_{E_i}^{m_r} += s_{p_k(ij)} s_{p_l(ij)} \rho_{p_k p_l} \sigma_{p_k(j)} \sigma_{p_l(j)}$
  - 7:     **end for**
  - 8:   **end for**
  - 9: **end for**
  - 10: **return**  $\sigma_{E_i}^{m_r}$
- 

### 5.4.1 NFPV の導出

$n$  並列パワーモジュールにおける  $Q_i$  ( $i = 1, 2, \dots, n$ ) のエネルギー損失のばらつき  $\Delta E_i$  を例に, NFPV を導出する. ここで,  $\Delta E_i$  は  $E_i$  の平均  $\mu_{E_i}$  からの変動とする. ただし,  $\mu_{E_i}$  は  $n$  個全てのデバイスのモデルパラメータが同一の場合に得られるエネルギー損失とする.  $n$  個のデバイスは, 多数のデバイスから無作為に選ぶと仮定する. 5.3 節と同様, 各デバイスの特性は  $m$  個のパラメータを有するデバイスモデルで表されるとする.

テイラー展開により,  $\Delta E_i$  は各モデルパラメータの摂動により以下のように

に表される：

$$\Delta E_i = \frac{1}{1!} \left( \sum_{j=1}^n \sum_{k=1}^m s_{p_{k(ij)}} \Delta p_{k(j)} \right) + \frac{1}{2!} \left( \sum_{j=1}^n \sum_{k=1}^m \sum_{l=1}^m s_{p_{kp_{l(ij)}}} \Delta p_{k(j)} \Delta p_{l(j)} \right) + \dots \quad (5.3)$$

ここで、 $p_{k(j)}$  と  $p_{l(j)}$  は  $Q_j$  における  $k$  番目と  $l$  番目のモデルパラメータを表す ( $k, l = 1, 2, \dots, m; j = 1, 2, \dots, n$ )。  $s_{p_{k(ij)}}$  と  $s_{p_{kp_{l(ij)}}$  は、各モデルパラメータの  $\Delta E_i$  に対する 1 次感度および 2 次感度であり、以下の式で表される：

$$s_{p_{k(ij)}} = \frac{\partial E_i}{\partial p_{k(j)}} \quad (5.4)$$

$$s_{p_{kp_{l(ij)}}} = \frac{\partial^2 E_i}{\partial p_{k(j)} \partial p_{l(j)}} \quad (5.5)$$

$i \neq j$  の場合、 $s_{p_{k(ij)}}$  と  $s_{p_{kp_{l(ij)}}$  は異なるデバイス  $Q_i$  および  $Q_j$  間の感度を表している。式 (5.3) において、2 次以上の高次の項を無視することで、 $E_i$  の分散  $\sigma_{E_i}^2$  は以下のように表される：

$$\sigma_{E_i}^2 = V[E_i] \quad (5.6)$$

$$= E[(\Delta E_i)^2] \quad (5.7)$$

$$= E \left[ \left( \sum_{j=1}^n \sum_{k=1}^m s_{k(ij)} \Delta p_{k(j)} \right)^2 \right] \quad (5.8)$$

ここで、 $V[\cdot]$  と  $E[\cdot]$  は分散および期待値を表す。式 (5.8) を展開して、以下の式が得られる：

$$\sigma_{E_i}^2 = E \left[ \sum_{j'=1}^n \sum_{j=1}^n \sum_{k=1}^m \sum_{l=1}^m s_{k(ij')} s_{l(ij)} \Delta p_{k(j')} \Delta p_{l(j)} \right] \quad (5.9)$$

$$= \sum_{j'=1}^n \sum_{j=1}^n \sum_{k=1}^m \sum_{l=1}^m s_{k(ij')} s_{l(ij)} \text{Cov} [p_{k(j')}, p_{l(j)}] \quad (5.10)$$

ここで、 $\text{Cov}[p_{k(j')}, p_{l(j)}]$  は  $p_{k(j')}$  と  $p_{l(j)}$  の間の共分散を表している。 $j \neq j'$  の場合、 $\text{Cov}[p_{k(j')}, p_{l(j)}]$  は異なるデバイス  $Q_j$  と  $Q_{j'}$  の間の共分散となる。いま、 $Q_j$  と  $Q_{j'}$  は多数のデバイスから無作為に選ばれているため、各デバイスのパラメータ  $p_{k(j')}$  と  $p_{l(j)}$  の間に相関は存在しない。すなわち、 $j \neq j'$  の場

合,  $\text{Cov}[p_{k(j)}, p_{l(j)}]$  はゼロとなる．したがって, 式 (5.10) は以下のように簡略化できる:

$$\sigma_{E_i}^2 = \sum_{j=1}^n \sum_{k=1}^m \sum_{l=1}^m s_{k(ij)} s_{l(ij)} \text{Cov}[p_{k(j)}, p_{l(j)}] \quad (5.11)$$

ところで, 共分散  $\text{Cov}[p_{k(j)}, p_{l(j)}]$  は, 各パラメータの標準偏差 ( $\sigma_{p_{k(j)}}$ ,  $\sigma_{p_{l(j)}}$ ) およびパラメータ間の相関係数  $\rho_{p_{k(j)}p_{l(j)}}$  を用いて以下のように表わすことができる:

$$\text{Cov}[p_{k(j)}, p_{l(j)}] = \rho_{p_{k(j)}p_{l(j)}} \sigma_{p_{k(j)}} \sigma_{p_{l(j)}} \quad (5.12)$$

したがって, 式 (5.11) は以下のように表される:

$$\sigma_{E_i}^2 = \sum_{j=1}^n \sum_{k=1}^m \sum_{l=1}^m s_{k(ij)} s_{l(ij)} \rho_{p_{k(j)}p_{l(j)}} \sigma_{p_{k(j)}} \sigma_{p_{l(j)}} \quad (5.13)$$

各パラメータの標準偏差や相関係数は, 選んだデバイスの母集団で決まり, そこから選んだデバイス  $Q_j$  には依存しない．そのため, 式 (5.13) は更に簡略化できる:

$$\sigma_{E_i}^2 = \sum_{j=1}^n \sum_{k=1}^m \sum_{l=1}^m s_{p_{k(ij)}} s_{p_{l(ij)}} \rho_{p_k p_l} \sigma_{p_k} \sigma_{p_l} \quad (5.14)$$

$j = i$  の場合, 式 (5.14) の右辺は  $Q_i$  自身のパラメータ変動による項を表す．一方,  $j \neq i$  の場合は  $Q_i$  と異なるデバイス  $Q_j$  のパラメータ変動が  $\Delta E_i$  におよぼす影響を表す． $n = 1$  の場合, 式 (5.14) は“Forward Propagation of Variance” (FPV) と呼ばれ, CMOS の特性ばらつきが回路におよぼす影響を推定する手法として用いられている [47,48]．従来の FPV ではデバイス間の相関が考慮できない一方, デバイス数を拡張する形で一般化した NFPV では, デバイス間の相関が新たに考慮可能となる．

NFPV のメリットは, 計算速度および汎用性の高さである．NFPV により, 並列デバイスの各パラメータによる影響の単純な総和で  $\sigma_{E_i}^2$  を求められる．多数回の回路シミュレーションを要する MCSIM の代わりに NFPV を用いることで, 統計的モデルパラメータの組み合わせの探索に必要な誤差評価を高速に実施可能となる．

上記の導出では, 電流アンバランスの評価指標としてエネルギー損失  $E_i$  を用いたが, NFPV は  $E_i$  以外の動作指標でも適用可能である．感度の定義を変更するだけで, ターンオンやターンオフ時のスイッチング時間, ドレイン電圧やドレイン電流のサージ, 逆回復のピーク電流値などの特性に適用可能である．また, 回路条件や使用するモデルが異なっても同様に適用可能である．



### 5.4.2 提案手法の計算手順

NFPV ベースの提案手法を利用するためには，式 (5.3) における 2 次以上の項が，1 次の項に対し十分無視できる条件を満たす必要がある．したがって，アルゴリズム 3 に示す計算手順では，まず上記の条件を満たすことを確認する．アルゴリズム 3 の第 1 行目において，与えられた全モデルパラメータセット  $P$  から，各パラメータの平均  $\mu_{p_k}$ ，標準偏差  $\sigma_{p_k}$ ，およびパラメータ間の相関係数  $\rho_{p_k p_l}$  を算出する．次に，図 5.2 の回路シミュレーションにより，並列デバイスの各パラメータの  $s_{p_{k(ij)}}$  と  $s_{p_k p_l(ij)}$  を全て計算する ( $k, l = 1, 2, \dots, m; i, j = 1, 2, \dots, n$ )．具体的には，各パラメータ  $p_{k(j)}$ ， $p_{l(j)}$  に対し，それぞれの平均値  $\mu_{p_k}$  から摂動を与えた上で回路シミュレーションを行い， $E_i$  の変動を得る．この時， $p_{k(j)}$ ， $p_{l(j)}$  以外のパラメータはそれぞれ平均値で固定する．この時， $s_{p_{k(ij)}}$  と  $s_{p_k p_l(ij)}$  は以下の式で算出できる：

$$s_{p_{k(ij)}} = \frac{E_i(\mu_{p_{k(j)}} + \Delta p_{k(j)})}{2\Delta p_{k(j)}} - \frac{E_i(\mu_{p_{k(j)}} - \Delta p_{k(j)})}{2\Delta p_{k(j)}} \quad (5.15)$$

$$\begin{aligned} s_{p_k p_l(ij)} &= \frac{E_i(\mu_{p_{k(j)}} + \Delta p_{k(j)}, \mu_{p_{l(j)}} + \Delta p_{l(j)})}{4\Delta p_{k(j)}\Delta p_{l(j)}} \\ &\quad - \frac{E_i(\mu_{p_{k(j)}} - \Delta p_{k(j)}, \mu_{p_{l(j)}} + \Delta p_{l(j)})}{4\Delta p_{k(j)}\Delta p_{l(j)}} \\ &\quad - \frac{E_i(\mu_{p_{k(j)}} + \Delta p_{k(j)}, \mu_{p_{l(j)}} - \Delta p_{l(j)})}{4\Delta p_{k(j)}\Delta p_{l(j)}} \\ &\quad + \frac{E_i(\mu_{p_{k(j)}} - \Delta p_{k(j)}, \mu_{p_{l(j)}} - \Delta p_{l(j)})}{4\Delta p_{k(j)}\Delta p_{l(j)}} \end{aligned} \quad (5.16)$$

ここで， $\Delta p_{k(j)}$  と  $\Delta p_{l(j)}$  は，それぞれ  $p_{k(j)}$  と  $p_{l(j)}$  の各平均値周辺の摂動を表す． $n$  個の並列デバイスがそれぞれ  $m$  個のパラメータを有しているため， $s_{p_{k(ij)}}$  は計  $nm$  個， $s_{p_k p_l(ij)}$  は計  $nm^2$  個だけ存在し，全てを求める必要がある．算出した感度を用いて，式 (5.3) における 1 次成分  $s_{p_{k(j)}}\sigma_{p_k}$  および 2 次成分  $s_{p_k p_l(ij)}\sigma_{p_k}\sigma_{p_l}$  を求める．アルゴリズム 3 の第 2 行目において，算出された全ての 2 次成分の絶対値が，1 次成分よりも十分小さいことを確認し，次の手順に進む．

アルゴリズム 3 の第 3–10 行目は，MC ベースの従来手法とほぼ同じである．第 3 行目において，アルゴリズム 4 の関数 NFPV によって  $\sigma_{E_i}^m$  を求める．従来手法と同様， $\sigma_{E_i}^m$  は推定誤差の基準値として用いる．第 4–9 行目に

かけて，全てのパラメータ組み合わせに対して  $err_{\sigma_{E_i}}$  を算出する．第 10 行目において，最小のパラメータ数で，かつ  $err_{\sigma_{E_i}}$  が  $err_{\text{accept}}$  以内を満たすパラメータの組み合わせを  $p_{\text{dominant}}$  として選ぶ．

提案手法に要する時間  $T_{\text{prop}}$  は以下の式で見積もられる：

$$T_{\text{prop}} = T_{\text{NFPV}} \cdot \sum_{m_r=1}^{m-1} \binom{m}{m_r} + T_{\text{sens}} \quad (5.17)$$

$$T_{\text{sens}} = T_{\text{cir}} \cdot (2nm + 4nm^2) \quad (5.18)$$

ここで， $T_{\text{NFPV}}$  は NFPV を用いてある一つのパラメータ組み合わせによる  $err_{\sigma_{E_i}}$  を算出するために要する時間である． $T_{\text{sens}}$  は，並列デバイスの各モデルパラメータの 1 次および 2 次感度を全て算出するために要する時間を表す． $T_{\text{cir}}$  は 1 回の回路シミュレーションに要する時間である． $(2nm + 4nm^2)$  は，式 (5.15) と式 (5.16) を用い，全ての 1 次および 2 次感度を求めるために必要な回路シミュレーションの合計回数である．従来手法と比べると，提案手法には  $T_{\text{sens}}$  の追加項が存在するため，計算時間は一見増大するよう見える．しかし実際には，提案手法の式 (5.2) における  $T_{\text{MC}}$  (例：数分以上) より，提案手法の式 (5.17) における  $T_{\text{NFPV}}$  (例：数 ms 以下) が小さいことによる計算時間全体の削減効果の方が大きく，従来手法より高速に統計的モデルパラメータの決定が可能になる．

## 5.5 提案手法の妥当性検証

シミュレーションにより，提案手法の妥当性検証を行った．本検証には，市販の 300 個の SiC MOSFET を用いた．デバイスモデルは，第 2 章で提案した表面電位モデルを利用した．従来手法および提案手法の計算には，回路シミュレータ (Synopsis, HSPICE) [101] を用いた．従来手法および提案手法は，プログラミング言語 Python で実装した．

以下では，5.5.1 節でシミュレーションについて説明し，続いて 5.5.2 節で検証結果を述べる．

表 5.1: 統計的モデルパラメータの候補 © IEEE 2023

モデルパラメータ	説明
TOX	ゲート酸化膜厚 [nm]
VFBC	チャネル領域のフラットバンド電圧 [V]
NA	アクセプタ濃度 [ $\text{cm}^{-3}$ ]
K	ドレイン電流利得係数 [ $\text{cm}^2/\text{V}$ ]
RD	ドレイン寄生抵抗 [ $\text{m}\Omega$ ]
LAMBDA	チャネル長変調係数 [ $1/\text{V}$ ]
THETA	チャネル移動度の劣化係数 [ $1/\text{V}$ ]
ALPHA	チャネル移動度の劣化開始電圧 [V]
DELTA	遷移領域のスミージング係数 [-]

### 5.5.1 シミュレーション設定

#### 統計的モデルパラメータの候補

本検証では、検証をシンプルにするために  $I$ - $V$  特性のばらつきのみを対象とし、 $C$ - $V$  特性のばらつきは考慮しない。 $I$ - $V$  特性のパラメータの内、表 5.1 に示す主要な 8 つのパラメータを統計的モデルパラメータの候補とする。すなわち、 $m = 8$  であり、 $p = \{\text{VFBC}, \text{NA}, \text{K}, \text{RD}, \text{LAMBDA}, \text{THETA}, \text{ALPHA}, \text{DELTA}\}$  となる。

デバイスの温度特性は、電流アンバランスに大きな影響をおよぼす可能性がある。本検証の後半では、温度特性起因の電流アンバランスが生じる状況において、提案手法で得たパラメータの妥当性を議論する。本検討では、VFBC, K, RD, THETA に対して式 (2.16) から式 (2.19) と同様に基準温度 ( $T_0 = 25^\circ\text{C}$ ) に対する線形な変化を仮定し、各温度係数を VFBCS, KS, RDS, THETAS とする。

#### モデルパラメータの抽出

SiC MOSFET 300 個の  $I_d$ - $V_{ds}$  特性を図 5.3 に示す。図 5.3(a) から図 5.3(c) は、周囲温度  $T_a$  が  $25^\circ\text{C}$ ,  $75^\circ\text{C}$ ,  $125^\circ\text{C}$  の場合の  $I_d$ - $V_{ds}$  特性をそれぞれ示している。 $T_a = 25^\circ\text{C}$  の  $I_d$ - $V_{ds}$  特性 (図 5.3(a)) から、表面電位モデルのパラメータセット  $P = \{P_1, P_2, \dots, P_{300}\}$  を抽出した。各パラメータセット  $P_i$  ( $i = 1, 2, \dots, 300$ ) は、表 5.1 に示す 8 つのパラメータで構成される。上記の

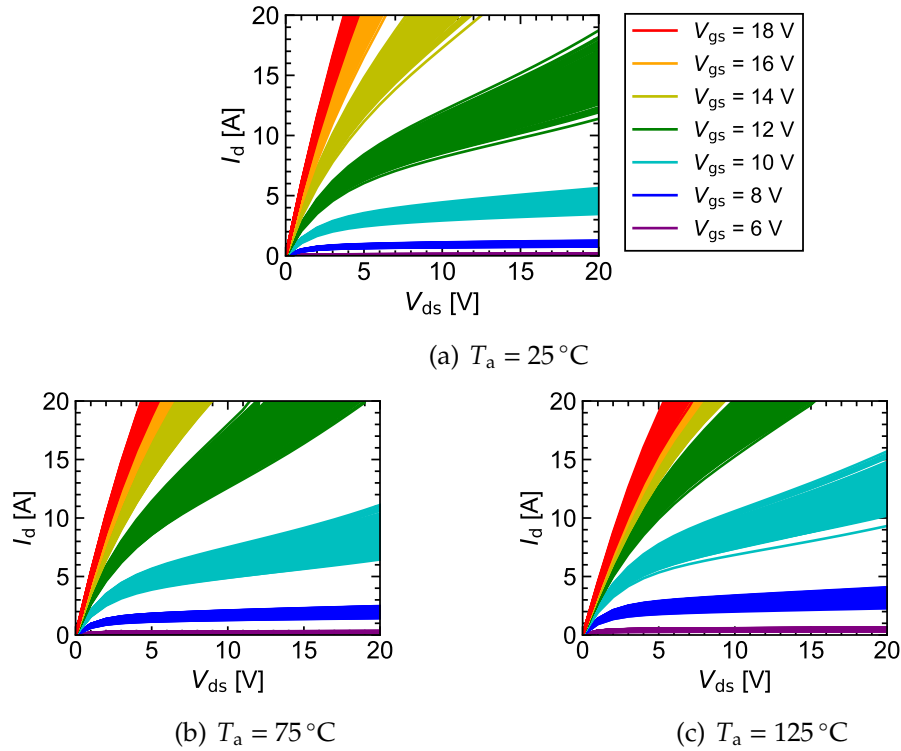


図 5.3: SiC MOSFET 300 個の  $I_d$ - $V_{ds}$  特性 © IEEE 2023

パラメータ抽出では、文献 [102] にしたがって各パラメータの初期値を決定した上で、SA 法を用いてパラメータの最適化を行った。最適化の際は、各  $V_{gs}$  および  $V_{ds}$  における  $I_d$  の値において、実測-モデル間の RMSE が最小になるようにした。300 個の各 RMSE の平均値は 0.21 A であり、良好なフィッティング結果であることを確認した。

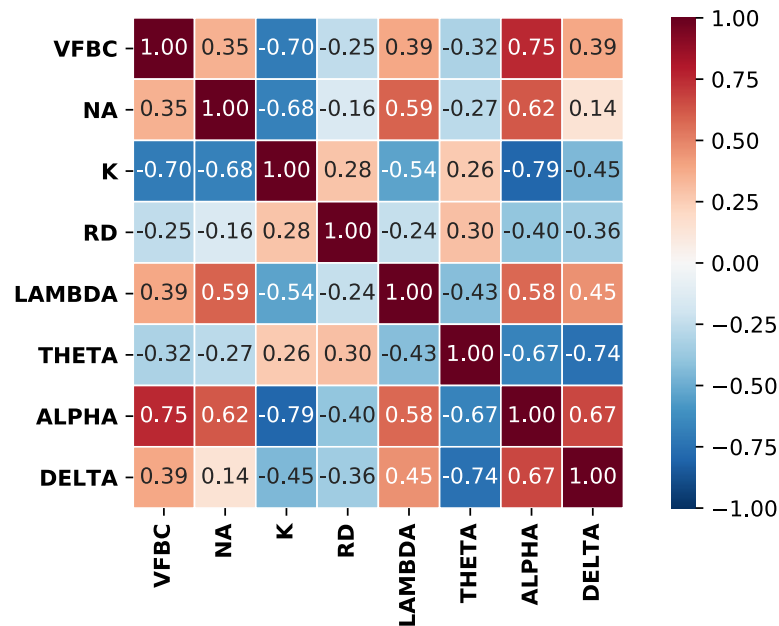
得られた各モデルパラメータの平均  $\mu_{p_k}$  および標準偏差  $\sigma_{p_k}$  を表 5.2 に、パラメータ間の相関係数  $\rho_{p_k p_l}$  を図 5.4 に示す。表 5.2 に示す各モデルパラメータの平均と標準偏差を用い、並列デバイスの各パラメータの 1 次感度および 2 次感度を求めた。図 5.2 に示すスイッチング回路を対象に、各感度を算出した。回路条件を表 5.3 に示す。電流アンバランスの動作指標は  $E_i$  とし、以下の式に基づいて  $E_i$  を求めた：

$$E_i = \int_{t_{\text{on.ini}}}^{t_{\text{on.fin}}} I_{di}(t) \cdot V_{dsi}(t) dt + \int_{t_{\text{off.ini}}}^{t_{\text{off.fin}}} I_{di}(t) \cdot V_{dsi}(t) dt \quad (5.19)$$

ここで、 $I_{di}$  と  $V_{dsi}$  は、 $Q_i$  のドレイン電流とドレイン-ソース間電圧を示す。 $t_{\text{on.ini}}$  は、ターンオン時において、 $Q_i$  のゲート-ソース間電圧  $V_{gsi}$  が定常オ

表 5.2: 各モデルパラメータの平均  $\mu_{p_k}$ ・標準偏差  $\sigma_{p_k}$  © IEEE 2023

モデルパラメータ	$\mu_{p_k}$	$\sigma_{p_k}$
TOX [nm]	50	0
VFBC [V]	-0.43	$7.28 \times 10^{-2}$
NA [ $\text{cm}^{-3}$ ]	$1.18 \times 10^{17}$	$2.23 \times 10^{15}$
K [ $\text{cm}^2/\text{V}$ ]	$2.88 \times 10^5$	$1.02 \times 10^4$
RD [m $\Omega$ ]	1.13	0.564
LAMBDA [1/V]	$9.22 \times 10^{-2}$	$2.01 \times 10^{-3}$
THETA [1/V]	$3.04 \times 10^{-2}$	$1.74 \times 10^{-3}$
ALPHA [V]	15.1	0.189
DELTA [-]	0.596	$9.69 \times 10^{-3}$

図 5.4: モデルパラメータの相関係数  $\rho_{p_k p_l}$  © IEEE 2023

ン時の 10%に達した時刻を表す． $t_{\text{on,fin}}$  は， $V_{\text{dsi}}$  が定常オフ時の 10%まで下がった時刻を示す．同様に， $t_{\text{off,ini}}$  は  $V_{\text{gsi}}$  が定常オン時の 90%まで下がった時刻を表し， $t_{\text{off,fin}}$  は  $V_{\text{dsi}}$  が定常オフ時の 90%に達した時刻を示す．式 (5.15) と式 (5.16) により，並列デバイスの各パラメータの 1 次感度  $s_{p_k(i)}$  および 2 次

表 5.3: 回路条件 © IEEE 2023

設定項目	値
並列デバイス数 ( $n$ )	2, 4, ..., 10 [pcs]
電源電圧 ( $V_{dd}$ )	600 [V]
負荷電流 ( $I_L$ )	$10 \cdot n$ [A]
負荷コイル ( $L$ )	1.0 [mH]
寄生インダクタンス	5.0 [nH]
ゲート抵抗 ( $R_g$ )	$94 / n$ [ $\Omega$ ]
ゲート駆動電圧	ON: 18 [V], OFF: 0 [V]

感度  $S_{pkp(ij)}$  を全て求めた．提案手法の有効性を確認するため，並列デバイス数  $n$  は 2 から 10 の条件で算出した． $n$  に依らず，各デバイスに約 10 A の電流が流れるように，負荷電流  $I_L$  は  $n$  に比例して増加させた．一方，各デバイスのスイッチング速度が  $n$  に依らずほぼ一定となるように，ゲート抵抗  $R_g$  は  $n$  に応じて減少させた．デバイス特性ばらつきが回路動作におよぼす影響に着目しているため，並列デバイスの各端子に存在する寄生インダクタンスは全て等しく 5.0 nH とした．すなわち，図 5.2 において以下が成り立つと仮定した：

$$L_{gi} = L_{di} = L_{si} = 5.0 \text{ nH} \quad (i = 1, \dots, n) \quad (5.20)$$

感度計算の際は，表 5.2 に示す各モデルパラメータの平均値の 1.0% の値をパラメータの摂動として与えた．本検証では， $err_{\text{accept}}$  は 10% とした．

## 5.5.2 検証結果

### 提案手法の適用可能性の確認

まずは提案手法の適用可能性を確認するため，各パラメータの 1 次および 2 次成分を計算した結果を表 5.4 と表 5.5 に示す．いずれも， $n = 2$  かつ  $j = i$  の場合である．表 5.4 の 1 次成分と比べて，表 5.5 の 2 次成分が十分小さいことが分かる．同様に， $n$  が 4 から 10 の場合，および  $j \neq i$  の場合でも 2 次成分が 1 次成分より十分小さいことを確認している．以上より， $n$  がいずれの値でも，提案手法が適用可能であることを確認した．

NFPV で MCSIM を代用するためには，MCSIM によって得られる  $\sigma_{E_i}^m$  を NFPV が精度良く再現できる必要がある．上記を確認するため，NFPV と

表 5.4: 1 次成分の計算結果 © IEEE 2023

$s_{p_k(j)}\sigma_{p_k}$	$[\mu]$
<b>VFBC</b>	-49.3
<b>NA</b>	-31.6
<b>K</b>	15.7
<b>RD</b>	-0.122
<b>LAMBDA</b>	8.68
<b>THETA</b>	-0.173
<b>ALPHA</b>	0.176
<b>DELTA</b>	0.134

表 5.5: 2 次成分の計算結果 © IEEE 2023

$s_{p_k p_l(j)}\sigma_{p_k}\sigma_{p_l}$ $[\mu]$	<b>VFBC</b>	<b>NA</b>	<b>K</b>	<b>RD</b>	<b>LAMBDA</b>	<b>THETA</b>	<b>ALPHA</b>	<b>DELTA</b>
<b>VFBC</b>	-0.013							
<b>NA</b>	-0.028	0.064						
<b>K</b>	0.015	-0.053	-0.042					
<b>RD</b>	-0.061	0.081	-0.013	0.022				
<b>LAMBDA</b>	0.012	0.000	-0.073	-0.036	-0.010			
<b>THETA</b>	-0.002	0.000	-0.001	-0.001	0.004	-0.007		
<b>ALPHA</b>	-0.024	0.012	-0.012	-0.004	0.077	0.000	-0.024	
<b>DELTA</b>	0.030	0.000	0.034	0.029	-0.041	0.030	-0.017	-0.011

MCSIM のそれぞれで  $\sigma_{E_i}^m$  を求め、両者を比較した。抽出した SiC MOSFET  $\times 300$  個のパラメータセット  $P = \{P_1, P_2, \dots, P_{300}\}$  を用い、MCSIM を行った。シミュレーション時は、表 5.3 の回路条件を用いた。MCSIM における回路シミュレーション回数  $L_{\max}$  は 1,000 とした。異なる並列デバイス数  $n$  ごとの MCSIM 結果を図 5.5 に示す。 $V_{dsi}$ ,  $I_{dsi}$  それぞれのターンオンおよびターンオフ波形、および  $E_i$  のヒストグラムを示している。 $n$  が大きくなるほど、波形のばらつきが大きくなり、それに応じて  $E_i$  のばらつきも増大していることが分かる。MCSIM および NFPV のそれぞれから得た  $\sigma_{E_i}^m$  の比較結果を図 5.6 に示す。異なる  $n$  の条件ごとで両者から得られた  $\sigma_{E_i}^m$  を比較している。なお、MCSIM および NFPV とともに 8 個のパラメータ全てを統計的パラメータとしている。図 5.6 より、NFPV は  $n$  に依らず MCSIM の  $\sigma_{E_i}^m$  を再現しており、両者の最大誤差は 2.5% であった。以上により、NFPV の精度が確認できたことから、NFPV は MCSIM を代用できる。なお、残りの誤差要因としては、NFPV の計算において、2 次以上の成分を考慮していないこ

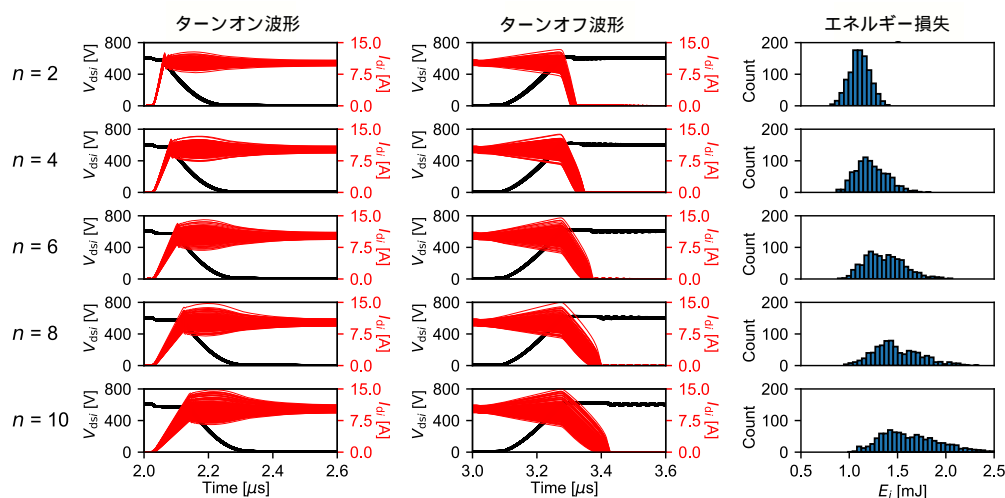


図 5.5: 異なる並列デバイス数  $n$  ごとの MCSIM 結果 © IEEE 2023

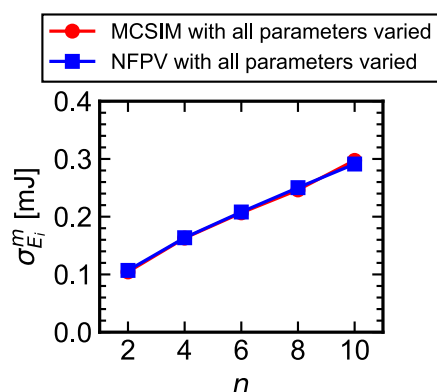


図 5.6: NFPV の精度確認結果

とが挙げられる。

### 統計的モデルパラメータの決定

アルゴリズム 3 の提案手法を用いて、統計的モデルパラメータを決定した結果について述べる。各パラメータ組み合わせごとに算出された推定誤差  $err_{\sigma_{E_i}}$  の評価結果を図 5.7 に示す。各棒グラフの高さは、各パラメータ組み合わせにおいて、 $n$  が 2–10 の場合に得られた各推定誤差の平均値を示している。また、各棒グラフの上部に示す誤差棒は、 $n$  が異なる場合の推定誤差値の範囲を示している。



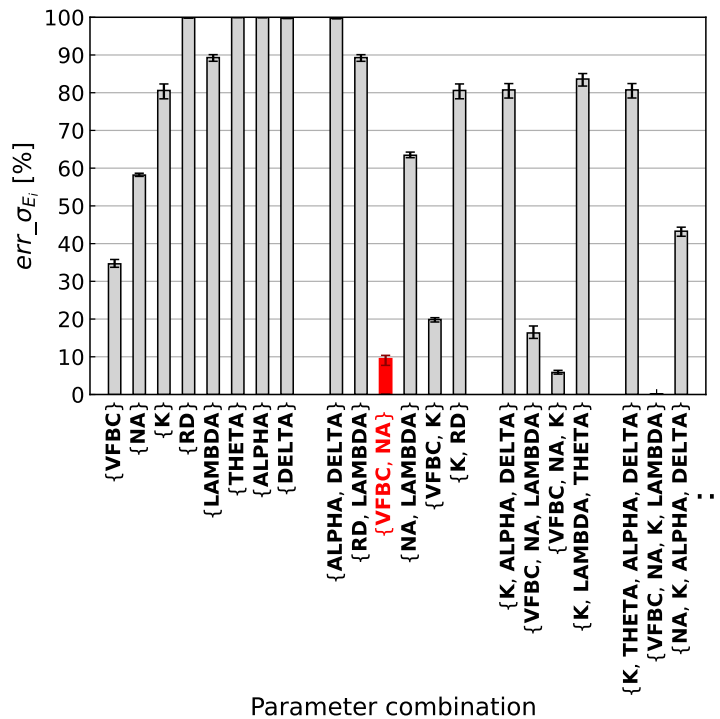


図 5.7: 各パラメータ組み合わせごとの推定誤差  $err_{\sigma_{E_i}}$  の評価結果 © IEEE 2023

統計的モデルパラメータ数が1, すなわち  $m_r = 1$  の場合,  $\{VFBC\}$ ,  $\{NA\}$ ,  $\{K\}$ , もしくは  $\{LAMBDA\}$  を  $p_{m_r}$  として選んだ場合に推定誤差が下がることが分かる. しかし, 最も小さい場合でも 35% の誤差が存在し, 本検討で設定した  $err_{\text{accept}} = 10\%$  を満たしていない.  $m_r = 2$  では,  $\{VFBC, NA\}$  を  $p_{m_r}$  として選んだ場合の推定誤差は 9.5% であり, 最も誤差が小さい結果であった. 上記は,  $err_{\text{accept}} = 10\%$  を満たしている.  $m_r = 3$  または 4 の場合,  $\{VFBC, NA, K\}$ ,  $\{VFBC, NA, K, LAMBDA\}$  を  $p_{m_r}$  として選ぶのが最も良く, 推定誤差はそれぞれ 5.8%, 0.14% であった, より精度が必要な場合, これらの組み合わせを選ぶ必要がある. 今回は,  $m_r$  が最も少なく, かつ  $err_{\text{accept}}$  を満たす組み合わせとして,  $p_{m_r} = \{VFBC, NA\}$  を  $p_{\text{dominant}}$  として選んだ.

決定した  $p_r$  が, 本来のエネルギー損失のばらつきを再現しているか確認することで, 妥当性を検証した.  $p_{m_r} = \{VFBC, NA\}$  の場合に, MCSIM と NFPV のそれぞれから得たエネルギー損失の標準偏差  $\sigma_{E_i}^{m_r}$  の比較を図 5.8 に示す. 両者の最大誤差は 2.3% であり,  $n$  に依らず MCSIM の結果を NFPV が良く再現している. 図 5.9 に, 全てのパラメータを統計的に扱った場合,

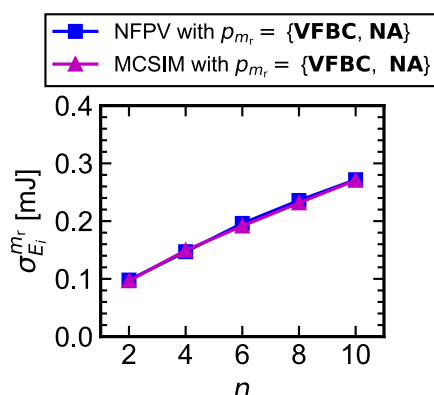


図 5.8:  $p_{m_r} = \{\text{VFBC}, \text{NA}\}$  における NFPV の精度確認結果

および  $\{\text{VFBC}, \text{NA}\}$  のみを統計的パラメータとした場合の MCSIM の比較結果を示す。 $\{\text{VFBC}, \text{NA}\}$  のみを考慮した MCSIM は、全てのパラメータを考慮した場合に得られる  $E_i$  のヒストグラムを、 $n$  に依らず良く再現している。以上より、提案手法で決定した  $p_{m_r} = \{\text{VFBC}, \text{NA}\}$  が  $p_{\text{dominant}}$  として妥当性であることを示した。

#### 実用的な回路動作を考慮した際の妥当性検証

提案手法によって決定した統計的パラメータが、以下に示す実用的な動作条件において有効であるかを検証した：

- 各デバイスの寄生インダクタンスが不均一
- 各デバイスの温度にアンバランスが発生

パワーモジュールのレイアウト設計において、各デバイスの電流経路は等長となるように設計される。各デバイスの寄生インダクタンスの差を小さくし、電流アンバランスをできる限り生じないようにするためである。しかし、実際にはレイアウト上の制約から電流経路を理想的に均等にはできず、寄生インダクタンスが不均一になることは避けられない [97,98]。また、電力変換回路の連続動作においては、デバイスの損失がばらつく結果、デバイス温度にアンバランスが生じる。この温度アンバランスによってデバイス間の特性の差異が大きくなり、電流アンバランスが顕著になる [103]。

上記の検証のシミュレーション設定について述べる。基本の回路条件は表 5.3 と同じであり、 $n$  は 10 とした。ただし、各デバイスの寄生インダクタ

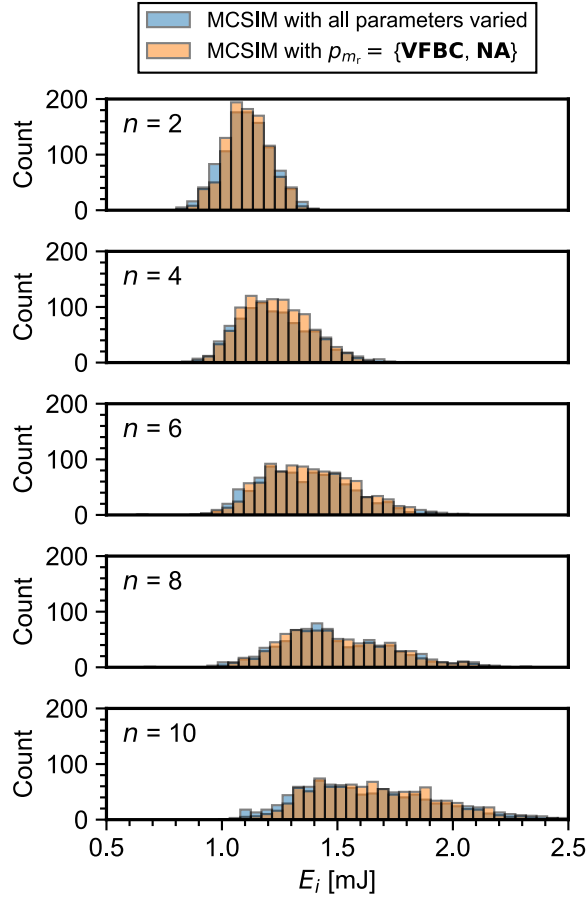


図 5.9:  $p_{m_r} = \{\text{VFBC}, \text{NA}\}$  における  $E_i$  のヒストグラムの再現性 © IEEE 2023

ンスは、以下に示す不均一な条件とした：

$$L_{gi} = L_{di} = L_{si} = i \text{ nH} \quad (i = 1, \dots, n) \quad (5.21)$$

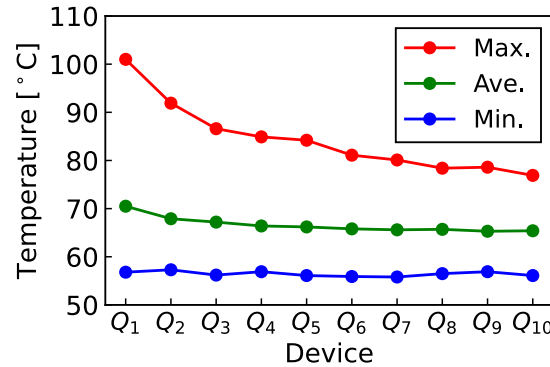
添字  $i$  の小さいデバイス  $Q_i$  ほど寄生インダクタンスが小さく、大きな電流が流れることになる。例えば、 $Q_1$  と  $Q_{10}$  の各寄生インダクタンスはそれぞれ  $1.0 \text{ nH}$ 、 $10 \text{ nH}$  となる。また、デバイスの温度アンバランスを考慮するため、パワーモジュールがスイッチング周波数  $f_{\text{sw}} = 10 \text{ kHz}$  で連続的にコンバータ動作していると仮定した。並列接続された各デバイスの熱抵抗は  $R_{\text{th}i} = 1.0 \text{ }^\circ\text{C/W}$  ( $i = 1, \dots, n$ ) と仮定した。各デバイスの温度  $T_i$  は、以下の式で与えられる：

$$T_i = E_i \cdot f_{\text{sw}} \cdot R_{\text{th}i} + T_a \quad (i = 1, \dots, n) \quad (5.22)$$

ここで、 $T_a = 50 \text{ }^\circ\text{C}$  とした。SiC MOSFET モデルの温度依存性は、温度特性パ

表 5.6: 各温度特性パラメータの平均  $\mu_{p_k}$ ・標準偏差  $\sigma_{p_k}$  © IEEE 2023

$p_k$	$\mu_{p_k}$	$\sigma_{p_k}$
VFBCS [V/°C]	$-9.47 \times 10^{-3}$	$1.10 \times 10^{-3}$
KS [A/(°C·V)]	$2.13 \times 10^3$	$3.38 \times 10^2$
RS [mΩ/°C]	1.80	0.130
THETAS [1/(°C·V)]	$3.86 \times 10^{-4}$	$6.16 \times 10^{-5}$

図 5.10: 並列デバイス  $Q_1$ – $Q_{10}$  の最高，平均，および最低温度 © IEEE 2023

ラメータ VFBCS, KS, RDS, THETAS で考慮した。これらのパラメータは，図 5.3(b) および図 5.3(c) に示す  $T_a = 75^\circ\text{C}$ ,  $125^\circ\text{C}$  における SiC MOSFET 300 個の  $I_d$ – $V_{ds}$  特性から抽出した。抽出した温度特性パラメータの平均・標準偏差を表 5.6 に示す。パラメータ抽出には SA 法を用いた。300 個の各 RMSE の平均値は 0.47 A であり，良好なフィッティング結果であることを確認した。

第 4 章でも述べた通り， $T_i$  が変化すると，デバイス特性の変化により， $E_i$  が変化する。さらに  $E_i$  の変化により， $T_i$  が再び変化する。この相互依存性を解くため，全てのデバイスについて  $E_i$  と  $T_i$  が収束するまで回路シミュレーションによる損失計算と式 (5.22) の温度計算を交互に繰り返した。

1,000 回の MC シミュレーションを行った際の並列デバイス  $Q_1$ – $Q_{10}$  の最高，平均，および最低温度を図 5.10 に示す。 $Q_1$  が最も高温の傾向であり，最高温度と最低温度の差が  $40^\circ\text{C}$  以上と非常に大きい。デバイス特性ばらつきにより，顕著な温度アンバランスが生じている。 $Q_1$  および  $Q_{10}$  のドレイン電流の波形ばらつきを図 5.11 に示す。寄生インダクタンスの不均一性と温度アンバランスにより，並列デバイス間の電流アンバランスが顕著に現れている。

寄生インダクタンスの不均一と温度アンバランスを考慮した場合におい

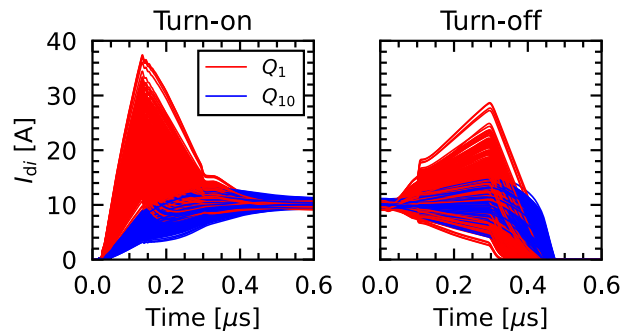


図 5.11:  $Q_1$  および  $Q_{10}$  のドレイン電流の波形ばらつき © IEEE 2023

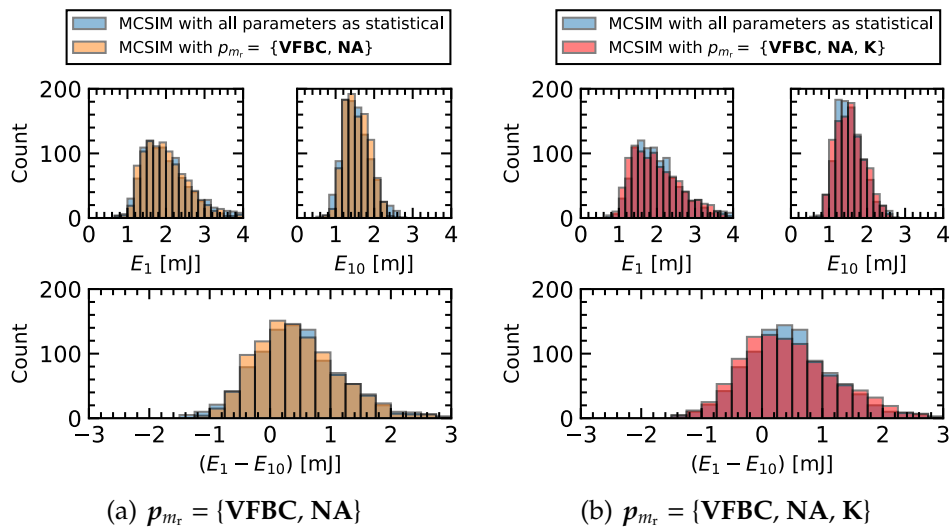


図 5.12:  $E_1$ ,  $E_{10}$ , および  $(E_1 - E_{10})$  のばらつき © IEEE 2023

て、提案手法で決定した SiC MOSFET の統計的パラメータの検証を行った結果を図 5.12 に示す．図 5.12(a) は、全てのパラメータを統計的パラメータとした場合、および  $p_{m_r} = \{\text{VFBC}, \text{NA}\}$  の場合の MCSIM で得られた  $E_1$ ,  $E_{10}$ ,  $(E_1 - E_{10})$  のヒストグラムである．ここで、 $(E_1 - E_{10})$  は同一パワーモジュール上の  $Q_1$  と  $Q_{10}$  のエネルギー損失差である．提案手法で決定した統計的パラメータが、全てのパラメータを考慮した場合に得られる損失ヒストグラムを再現している．

$p_{m_r} = \{\text{VFBC}, \text{NA}\}$  は、エネルギー損失のヒストグラムを定性的に再現しているものの、例えば  $(E_1 - E_{10})$  の標準偏差や範囲という定量値で比べると、それぞれ 14.8%、19.4%の誤差がある．より精度が求められる設計では、上

表 5.7: 計算時間の比較条件 © IEEE 2023

設定項目	値
全モデルパラメータ数 ( $m$ )	8 [-]
並列デバイス数 ( $n$ )	10 [pcs]
回路シミュレーションに要する時間 ( $T_{\text{cir}}$ )	5.0 [s]
MCSIM に要する回路シミュレーション回数 ( $L_{\text{max}}$ )	100
1 回の MCSIM に要する時間 ( $T_{\text{MC}}$ )	500 [s] ( $=L_{\text{max}} \cdot T_{\text{cir}}$ )
1 回の NFPV に要する時間 ( $T_{\text{NFPV}}$ )	1.8 [ms]

記の誤差は無視できない可能性がある．そこで，より高精度な推定が可能か確認するため， $err_{\text{accept}} = 5\%$ として統計的パラメータを再決定した．図 5.7 より， $err_{\text{accept}} = 5\%$ の場合は {VFBC, NA, K} が選ばれる． $p_{m_r} = \{\text{VFBC, NA, K}\}$ における各エネルギー損失のヒストグラムの再現結果を図 5.12(b) に示す．各エネルギー損失をより精度良く再現し， $(E_1 - E_{10})$ の標準偏差および範囲で見た場合，それぞれ 0.82%，0.91%と定量的にも精度が向上していることがわかる．

以上より，寄生インダクタンスの不均一性や温度アンバランスといった実用的な回路動作条件を考慮した場合でも，提案手法で決定した統計的パラメータの有効性を確認できた．

#### 従来手法との計算時間比較

式 (5.2) と式 (5.17) を用いて，従来手法の計算時間  $T_{\text{conv}}$  および提案手法の計算時間  $T_{\text{prop}}$  を比較した．比較条件を表 5.7 に示す．回路シミュレーションに要する時間  $T_{\text{cir}}$  は，図 5.2 のシミュレーションを行った際の平均的な時間 (約 5 s) を用いた．各パラメータ組み合わせにおける誤差推定時の MCSIM の回路シミュレーション回数  $L_{\text{max}}$  は 100 とした．提案手法の適用時，1 回の NFPV の計算時間は平均的に約 1.8 ms であったため，この値を  $T_{\text{NFPV}}$  とした．上記の条件で算出した結果， $T_{\text{conv}}$  は約 127,000 s， $T_{\text{prop}}$  は 13,600 s であった．従来手法と比べて約 9.33 倍の速度で統計的モデルパラメータを決定できていることから，提案手法の有効性を確認した．

全モデルパラメータ数  $m$  が増加した場合について，従来と提案手法の計算時間を比較した．前節の検討では， $m = 8$  で統計的パラメータを決定を行った．しかし，より実用的な回路を想定した場合に，8 個のパラメータでは不十分な可能性がある．表面電位モデルの電流式におけるパラメータ数

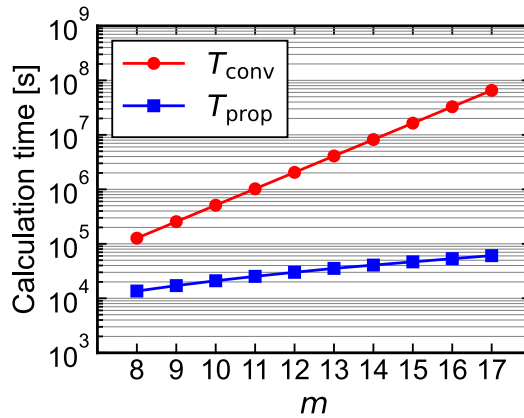


図 5.13: 従来と提案手法の計算時間比較 © IEEE 2023

は計 17 個あり，これらを全て考慮することで，より最適な統計的モデルパラメータを決定できると考えられる．パラメータ数  $m$  が異なる場合において，従来と提案手法の計算時間を比較した結果を図 5.13 に示す． $m$  以外は表 5.7 の条件を用いた． $T_{conv}$  は， $m$  の増加に応じて指数関数的に上昇している．一方， $T_{prop}$  の上昇は緩やかであり， $m = 17$  でも  $1.0 \times 10^5$  s (約 1 日) 以内におさまっている． $T_{conv}$  の計算オーダーは  $\sum_{m_i=1}^{m-1} \binom{m}{m_i}$  の項によって  $O(2^m)$  となり [104]，計算時間が  $m$  に対して指数関数的に上昇する． $T_{prop}$  も同じ項を持つが，その係数  $T_{NFPV}$  は  $T_{conv}$  の係数 ( $T_{MC}$ ) と比べて約  $10^5$  倍小さい．そのため， $T_{prop}$  の計算オーダーは  $O(m^2)$  となり， $T_{conv}$  と比べて計算時間の上昇を大幅に抑制できる．以上より，全パラメータ数が多いほど，提案手法は従来と比べてより効率的に統計的モデルパラメータを決定できることを示した．

## 5.6 本章のまとめ

本章では，デバイス特性ばらつきに起因して生じる，パワーモジュールの動作ばらつきへの影響が支配的なモデルパラメータを効率的に決定する手法を提案した．シミュレーションによる検証により，並列デバイス数に依らず，パワーモジュールのエネルギー損失ばらつきを再現する統計的モデルパラメータを決定した．決定したパラメータは，デバイス間の寄生インダクタンスの不均一性や温度アンバランスを考慮した実用的な回路動作条件においても有効であることを確認した．従来手法と比べ，約 9.33 倍の速度でパラ

メータが決定可能なことを明らかにした。また、ばらつきを考慮すべきパラメータの候補が多い場合ほど、従来手法より効率的に統計的モデルパラメータを決定できることを示した。提案手法により、デバイス特性ばらつきの影響が支配的なモデルパラメータが決定できることで、今後のばらつきを考慮した統計的シミュレーションに要する計算時間の大幅削減が期待できる。



## 第6章

### 結論

#### 6.1 研究成果のまとめ

本論文は、シミュレーションによるパワーモジュールの熱設計の実現を目的として、電力変換回路におけるパワーモジュールの熱推定を高精度・高速に可能にする特性測定およびモデリング手法を提案した。以下では、各章の概要および得られた結果をまとめる。

第2章では、高精度な発熱推定のためにスイッチング動作を精度良く再現可能なSiC MOSFETモデルを提案した。提案モデルでは、表面電位をベースに、SiC MOSFETの物理構造にしたがって $I-V$ および $C-V$ 特性を表現している。表面電位に界面トラップの影響を考慮することで、20 mWから1 kWにおよぶ広い電力範囲の特性再現を実現した。提案モデルにより、外付けゲート抵抗、電源電圧、デバイス温度などの条件に依らず、実測のスイッチング波形を良く再現できることを確認した。また、より実用的なモデルを実現するため、従来より広い電流電圧範囲の $I-V$ 測定を可能にする手法を提案した。提案の $I-V$ 測定手法は、ダブルパルス試験によるスイッチング波形を利用した従来手法に基づいている。測定時に生じる自己発熱を、DUTではなく新たに追加した並列トランジスタに負担させることで、測定時に生じるDUTの温度上昇の大幅抑制を可能にした。提案手法を用い、600 V / 200 Aという従来手法では測定が困難な高電圧大電流範囲の $I-V$ 測定を実現した。 $I-V$ 測定時の自己発熱により生じるデバイス温度を推定した結果、従来手法では上記の範囲において最大50°C以上の温度上昇が生じるのに対し、提案手法では10°C以内に抑制できていることから優位性を確認した。提案手法で得た $I-V$ 特性を用いることにより、600 V / 80 Aという、より実用的なSiC MOSFETの電流電圧動作において高い波形再現性を有するモデルが実現可能であることを示した。提案モデルにより、回路動作時におけるデバイス発熱の高精度な推定が可能となった。

第3章では、高精度な温度推定のため、モジュールパッケージの熱インピーダンスの特性測定およびモデリング手法を提案した。従来のSiC MOSFET単体の過渡熱測定手法を応用することで、パッケージに実装された複数のSiC MOSFET間の熱インピーダンス特性を測定可能にした。提案手法で得た特性を用い、フォスター型等価回路に基づく熱インピーダンスモデルを構築することにより、回路シミュレータ上において熱干渉を考慮した温度推定を可能にした。提案の熱インピーダンスモデルは、デバイスの動作保証温度(175°C)をカバーする最大200°Cまでの範囲で実測検証を行なった。上記の範囲において、最大誤差8.1°Cで実測温度を再現できたことから、提案の熱インピーダンスモデルの妥当性を確認した。また、提案手法によって、デバイス配置が異なる3つのモジュールの熱インピーダンス特性評価とモデリングを行なった。全てのモジュールにおいて、熱インピーダンスモデルによるデバイスの推定温度が実測をよく再現しており、実測-モデル間の最大誤差は10°C以内であった。提案手法はデバイス配置によらず、高精度な温度推定が可能な熱インピーダンスモデルを構築可能であることを示した。

第4章では、電力変換回路におけるパワーモジュールの発熱および温度を、高精度・高速に推定可能な熱回路連成シミュレーション手法を提案した。従来の熱回路連成シミュレーションは、精度と計算時間の両面で課題があった。提案手法では、第2章と第3章で提案したデバイスモデルおよび熱インピーダンスモデルを応用することで、高精度な発熱・温度の推定を可能にした。降圧コンバータの回路実験による妥当性検証の結果、約60から150°Cの広い実動作範囲において、発熱・温度の最大誤差が2.0Wおよび5.0°C以内と良好な結果であったことから、提案手法の精度に関する有効性を確認した。また、高速な推定を可能にするため、事前の回路シミュレーションで発熱LUTを用意した。LUTを用いることで、タイプステップごとにスイッチング波形から発熱を求める電気パートの計算を省略でき、計算時間の大幅な削減が可能となった。LUTを用いない従来手法で同コンバータのシミュレーションを行なった結果、デバイス温度が定常に至る $t = 100$  sまでに要した計算時間は約 $1.1 \times 10^6$  s(約300 h)であった。一方、発熱LUTを用いた提案手法に要した時間は10 s以内であり、従来比で約 $10^4$ 倍と高速に発熱・温度が推定可能であったことから、提案手法の計算速度に関する優位性を示した。

第5章では、従来の熱回路連成シミュレーションにおいて検討が十分なされていない、デバイス特性ばらつきを考慮した統計的シミュレーションに関する検討を行った。デバイス特性ばらつきが特に問題となる、パワーモ

ジュールにおけるデバイスの並列動作を対象とし、並列動作においてデバイス特性ばらつきの影響が支配的な統計的モデルパラメータの効率的な決定手法を提案した。提案手法では、 $n$  個の並列デバイスのパラメータ間の相関を考慮した NFPV を導入した。NFPV は、CMOS の動作ばらつきを推定する FPV を拡張して導出したものである。NFPV により、デバイス間の相互作用を考慮した上で、モデルパラメータのばらつきが並列動作時の電流アンバランスにおよぼす影響を高速に評価可能になった。SiC MOSFET×300 個の実測特性を用い、提案手法の妥当性を検証した。デバイスモデルは第 2 章で提案した表面電位モデルを用い、 $I$ - $V$  特性における 8 つのパラメータを候補とした。シミュレーションによる検証により、並列デバイス数に依らず、電流アンバランス起因で生じるエネルギー損失ばらつきを再現するモデルパラメータの組み合わせを決定した。従来の MC シミュレーションに基づいたパラメータ決定手法と同等の精度を維持しつつ、約 9.33 倍の速度でパラメータが決定できることを示した。また、ばらつきを考慮すべきパラメータの候補が多い場合ほど、従来手法より効率的にパラメータを決定できることを明らかにした。提案手法により、デバイス特性ばらつきの影響が支配的な統計的モデルパラメータが決定できることで、今後のばらつきを考慮した統計的シミュレーションに要する計算時間の大幅削減が期待できる。

本論文では、シミュレーションによるパワーモジュールの熱設計の実現を目的として、特性測定およびモデリングに基づいた熱回路連成シミュレーションによる熱推定を提案した。提案手法を適用することで、2.0 W および 5.0 °C 以内の発熱・温度の高精度推定を実現しつつ、従来手法と比べて約  $10^4$  倍高速に推定できることを示した。提案手法では、デバイスモデル、熱インピーダンスモデルともに、SiC MOSFET の実動作範囲をカバーするために開発した測定システムに基づいていることが大きな新規点であり、新たな検討分野を開拓したと言える。具体的には、本論文で検討したモデル作成への応用のみならず、実動作範囲の特性を考慮したデバイスやパッケージ開発への応用が期待できる。また、熱回路連成シミュレーションにおいてデバイス特性ばらつきに関する検討が不十分である中、デバイス特性ばらつきの影響が支配的なパラメータ決定手法を先駆けて提案し、その有効性を明らかにした。本技術は、今後のデバイス特徴ばらつきを考慮したパワーモジュールの設計に要する時間コストの削減に貢献できると考えられる。

提案の熱回路連成シミュレーション手法を実用化するためには、さらなる大電力のアプリケーション (例：電気自動車の主機インバータ) による実機検証を行う必要がある。

## 6.2 今後の展望

本論文で提案したデバイスやパッケージの特性測定は、わずかな変更あるいはそのままの形で SiC MOSFET 以外の従来デバイス (例: Si IGBT, GaN HEMT など) に広く適用できる。また、次世代のパワーデバイスとして研究が進んでいる酸化ガリウム ( $\text{Ga}_2\text{O}_3$ ) やダイヤモンド半導体パワーデバイスにも適用できる可能性がある。いずれのデバイスでも、実動作範囲の特性を把握することは必要不可欠である。提案した特性測定をこれらのデバイスに適用することで、SiC MOSFET 同様に高精度なモデルの実現が期待できる。同様に、熱回路連成シミュレーション手法も SiC MOSFET に限らず適用可能である。そこで、本論文で提案した特性測定、モデリング、シミュレーションを統合したプラットフォームを開発することで、様々なデバイスの熱設計を実現していく。

デバイス特性ばらつきを考慮したシミュレーションの実用化に向けて、実機検証が不可欠となる。しかし、パワーエレクトロニクスはデバイス特性ばらつきに関する解析や設計がまだ一般的ではないため、検証に要する実験データが乏しい。この実験データは、繰り返しの試験によって得られる統計データであり、手作業では多大な時間コストを要する。そこで今後はシミュレーション手法の検討と並行して、特性ばらつきの自動評価システムを開発していく。

以上の研究により、高信頼かつ低コストなパワーモジュールの開発および提供の実現が期待できる。今後の低炭素社会の実現に向けて、環境問題、エネルギー問題を解決するためのキーテクノロジーの一つであるパワーエレクトロニクスにおいてパワーモジュールが大きな役割を果たすと予想され、本研究の技術がこれに貢献していくと考えられる。

## 参考文献

- [1] N. Mohan, T. M. Undeland, and W. P. Robbins: *Power Electronics: Converters, Applications, and Design, 3rd Edition* John Wiley & Sons, Inc. (2003).
- [2] 荒井和雄, 吉田貞史: SiC 素子の基礎と応用 オーム社 (2003).
- [3] 松波弘之: 半導体 SiC 技術と応用 日刊工業新聞社 (2003).
- [4] 山口浩, "次世代パワーエレクトロニクスの研究動向," 電気学会論文誌 B, vol. 132, no. 3, pp. 209–212 (2012).
- [5] T. Kimoto, "Material science and device physics in SiC technology for high-voltage power devices," *Japanese Journal of Applied Physics*, vol. 54, no. 4, p. 040103 (2015).
- [6] T. Kimoto and J. A. Cooper: *Fundamentals of Silicon Carbide Technology: Growth, Characterization, Devices and Applications* John Wiley & Sons Singapore Pte. Ltd. (2014).
- [7] B. J. Baliga: *Fundamentals of Power Semiconductor Devices* Springer (2008).
- [8] H. Lee, V. Smet, and R. Tummala, "A review of SiC power module packaging technologies: challenges, advances, and emerging issues," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 8, no. 1, pp. 239–255 (2013).
- [9] J. Zhu, H. Kim, and H. Chen, "High efficiency SiC traction inverter for electric vehicle applications," *Proceedings of IEEE Applied Power Electronics Conference and Exposition*, pp. 1428–1433 (2018).

- [10] W. Zhou, Q. Quo, X. Wu, Y. Liu, and K. Sheng, "A 1200V/100A all-SiC power module for boost converter of EV/HEV's motor driver application," *Proceedings of China International Forum on Solid State Lighting: International Forum on Wide Bandgap Semiconductors China*, pp. 38–41 (2016).
- [11] D. P. Sadik, J. Colmenares, D. Peftitsis, J. K. Lim, J. Rabkowski, and H. P. Nee, "Experimental investigations of static and transient current sharing of parallel-connected silicon carbide MOSFETs," *Proceedings of European Conference on Power Electronics and Applications*, (2013).
- [12] H. Li, S. Munk-Nielsen, X. Wang, R. Maheshwari, S. Beczkowski, C. Uhrenfeldt, and W. T. Franke, "Influences of device and circuit mismatches on paralleling silicon carbide MOSFETs," *IEEE Transactions on Power Electronics*, vol. 31, no. 1, pp. 621–634 (2016).
- [13] A. Raciti, D. Cristaldi, G. Greco, G. Vinci, and G. Bazzano, "Electro-thermal PSpice modeling and simulation of power modules," *IEEE Transactions on Industrial Electronics*, vol. 62, no. 10, pp. 6260–6271 (2015).
- [14] C. Batard, N. Ginot, and J. Antonios, "Lumped dynamic electrothermal model of IGBT module of inverters," *IEEE Transportation on Components, Packaging and Manufacturing Technology*, vol. 5, no. 3, pp. 355–364 (2015).
- [15] J. Li, A. Castellazzi, M. A. Eleffendi, E. Gurpinar, C. M. Johnson, and L. Mills, "A physical RC network model for electrothermal analysis of a multichip SiC power module," *IEEE Transactions on Power Electronics*, vol. 33, no. 3, pp. 2494–2508 (2018).
- [16] L. Ceccarelli, A. S. Bahman, F. Iannuzzo, and F. Blaabjerg, "A fast electro-thermal co-simulation modeling approach for SiC power MOSFETs," *Proceedings of IEEE Applied Power Electronics Conference and Exposition*, pp. 966–973 (2017).
- [17] S. Yin, T. Wang, K. J. Tseng, J. Zhao, and X. Hu, "Electro-thermal modeling of SiC power devices for circuit simulation," *Proceedings*

- of Annual Conference of IEEE Industrial Electronics Society*, pp. 718–723 (2013).
- [18] H. M. N. Achiri, L. Streit, V. Smidl, and Z. Peroutka, "Experimental validation of IGBT thermal impedances from voltage-based and direct temperature measurements," *Proceedings of Annual Conference of IEEE Industrial Electronics Society*, pp. 3396–3401 (2016).
- [19] K. Yang, J. Guo, H. Ge, B. Bilgin, V. Loukanov, and A. Emadi, "Transient electro-thermal analysis for a MOSFET based traction inverter," *Proceedings of IEEE Transportation Electrification Conference & Expo*, pp. 1–6 (2014).
- [20] N. Phankong, T. Funaki, and T. Hikihara, "A static and dynamic model for a silicon carbide power MOSFET," *Proceedings of European Conference on Power Electronics and Applications*, no. 3, pp. 1–10 (2009).
- [21] R. Fu, A. Grekov, J. Hudgins, A. Mantooh, and E. Santi, "Power SiC DMOSFET model accounting for nonuniform current distribution in JFET region," *IEEE Transactions on Industry Applications*, vol. 48, no. 1, pp. 181–190 (2012).
- [22] T. R. McNutt, A. R. Hefner, H. A. Mantooh, D. Berning, and S. H. Ryu, "Silicon carbide power MOSFET model and parameter extraction sequence," *IEEE Transactions on Power Electronics*, vol. 22, no. 2, pp. 353–363 (2007).
- [23] A. P. Arribas, F. Shang, M. Krishnamurthy, and K. Shenai, "Simple and accurate circuit simulation model for SiC power MOSFETs," *IEEE Transactions on Electron Devices*, vol. 62, no. 2, pp. 353–363 (2015).
- [24] S. Potbhare, N. Goldsman, A. Akturk, M. Gurfinkel, A. Lelis, and J. S. Suehle, "Energy- and time-dependent dynamics of trap occupation in 4H-SiC MOSFETs," *IEEE Transactions on Electron Devices*, vol. 55, no. 8, pp. 2061–2070 (2008).
- [25] M. Mudholkar and H. A. Mantooh, "Characterization and modeling of 4H-SiC lateral MOSFETs for integrated circuit design," *IEEE Transactions on Electron Devices*, vol. 60, no. 6, pp. 1923–1930 (2013).

- [26] Y. Tanimoto, A. Saito, K. Matsuura, H. Kikuchihara, H. J. Mattausch, M. Miura-Mattausch, and N. Kawamoto, "Power-loss prediction of high-voltage SiC-MOSFET circuits with compact model including carrier-trap influences," *IEEE Transactions on Power Electronics*, vol. 31, no. 6, pp. 4509–4516 (2016).
- [27] A. Raciti, D. Cristaldi, G. Greco, G. Vinci, and G. Bazzano, "Electrothermal PSpice modeling and simulation of power modules," *IEEE Transactions on Industrial Electronics*, vol. 62, no. 10, pp. 6260–6271 (2015).
- [28] Y. Zhang, H. Wang, Z. Wang, and F. Blaabjerg, "Simplified multi-time scale thermal model considering thermal couple IGBT modules," *Proceedings of IEEE Applied Power Electronics Conference and Exposition*, pp. 319–324 (2019).
- [29] D. Schweitzer, F. Ender, G. Hantos, and P. G. Szabó, "Thermal transient characterization of semiconductor devices with multiple heat sources—Fundamentals for a new thermal standard," *Microelectronics Journal*, vol. 46, no. 2, pp. 174–182 (2015).
- [30] Z. Luo, H. Ahn, and M. A. E. Nokali, "A thermal model for insulated gate bipolar transistor module," *IEEE Transactions on Power Electronics*, vol. 19, no. 4, pp. 902–907 (2004).
- [31] M. Whitehead and C. Johnson, "Determination of thermal cross-coupling effects in multi-device power electronic modules," *Proceedings of International Conference on Power Electronics, Machines and Drives*, pp. 261–265 (2006).
- [32] M. J. Whitehead and C. M. Johnson, "Junction temperature elevation as a result of thermal cross coupling in a multi-device power electronic module," *Proceedings of Electronics System-Integration Technology Conference*, vol. 2, pp. 1218–1223 (2006).
- [33] K. Górecki, P. Górecki, and J. Zarebski, "Measurements of parameters of the thermal model of the IGBT module," *IEEE Transactions on Instrumentation and Measurement*, vol. 68, no. 12, pp. 4864–4875 (2019).



- [34] G. Mandrusiak, X. She, A. M. Waddell, and S. Acharya, "On the transient thermal characteristics of silicon carbide power electronics modules," *IEEE Transactions on Power Electronics*, vol. 33, no. 11, pp. 9783–9789 (2018).
- [35] H. Sakairi, T. Yanagi, H. Otake, N. Kuroda, and H. Tanigawa, "Measurement methodology for accurate modeling of SiC MOSFET switching behavior over wide voltage and current ranges," *IEEE Transactions on Power Electronics*, vol. 33, no. 9, pp. 7314–7325 (2018).
- [36] J. Muting, N. Schneider, T. Ziemann, R. Stark, and U. Grossner, "Exploring the behavior of parallel connected SiC power MOSFETs influenced by performance spread in circuit simulations," *Proceedings of IEEE Applied Power Electronics Conference and Exposition*, pp. 280–286 (2018).
- [37] Y. Zhang, Z. Zhang, B. Hu, F. Alsaif, K. Alkhalid, X. Li, and J. Wang, "Current sharing analysis of SiC power modules in parallel operation," *Proceedings of IEEE Energy Conversion Congress and Exposition*, pp. 711–716 (2020).
- [38] M. Riccio, A. Borghese, G. Romano, V. D'Alessandro, A. Fayyaz, A. Castellazzi, L. Maresca, G. Breglio, and A. Irace, "Analysis of device and circuit parameters variability in SiC MOSFETs-based multichip power module," *Proceedings of European Conference on Power Electronics and Applications*, pp. 1–9 (2018).
- [39] A. Borghese, M. Riccio, A. Fayyaz, A. Castellazzi, L. Maresca, G. Breglio, and A. Irace, "Statistical analysis of the electrothermal imbalances of mismatched parallel SiC power MOSFETs," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 7, no. 3, pp. 1527–1538 (2019).
- [40] G. Gildenblat, X. Li, W. Wu, H. Wang, A. Jha, van R. Langevelde, G. D. J. Smit, A. J. Scholten, and D. B. M. Klaassen, "PSP: An advanced surface-potential-based MOSFET model for circuit simulation," *IEEE Transactions on Electron Devices*, vol. 53, no. 9, pp. 1979–1993 (2006).

- [41] Y. Oritsuki, M. Yokomichi, T. Kajiwara, A. Tanaka, N. Sadachika, M. Miyake, H. Kikuchihara, K. Johguchi, U. Feldmann, H. J. Mattausch, and M. Miura-Mattausch, "HiSIM-HV: A compact model for simulation of high-voltage MOSFET circuits," *IEEE Transactions on Electron Devices*, vol. 57, no. 10, pp. 2671–2678 (2010).
- [42] H. Agarwal, C. Gupta, R. Goel, P. Kushwaha, Y.-K. Lin, M.-Y. Kao, J.-P. Duarte, H.-L. Chang, Y. S. Chauhan, S. Salahuddin, and C. Hu, "BSIM-HV: High-voltage MOSFET model including quasi-saturation and self-heating effect," *IEEE Transactions on Electron Devices*, vol. 66, no. 10, pp. 4258–4263 (2019).
- [43] H. Li, X. Zhao, K. Sun, Z. Zhao, G. Cao, and T. Q. Zheng, "A non-segmented PSpice model of SiC MOSFET with temperature-dependent parameters," *IEEE Transactions on Power Electronics*, vol. 34, no. 5, pp. 4603–4612 (2019).
- [44] M. Shintani, Y. Nakamura, K. Oishi, M. Hiromoto, T. Hikihara, and T. Sato, "Surface-potential-based silicon carbide power MOSFET model for circuit simulation," *IEEE Transactions on Power Electronics*, vol. 33, no. 12, pp. 10774–10783 (2018).
- [45] H. Tsukamoto, M. Shintani, and T. Sato, "Statistical extraction of normally and lognormally distributed model parameters for power MOSFETs," *IEEE Transactions on Semiconductor Manufacturing*, vol. 33, no. 2, pp. 150–158 (2020).
- [46] M. White, M. Cooper, and Y. Chen, "Impact of junction temperature on microelectronic device reliability and considerations for space applications," *Proceedings of IEEE International Integrated Reliability Workshop Final Report*, pp. 1–4 (2003).
- [47] C. C. McAndrew, "Statistical modeling for circuit simulation," *Proceedings of IEEE International Symposium on Quality Electronic Design*, pp. 1–6 (2003).
- [48] N. Telang and J. M. Higman, "Statistical modeling techniques: FPV vs. BPV," *Proceedings of International Conference on Microelectronic Test Structures*, pp. 71–75 (2003).

- [49] M. Miura-Mattausch, H. Ueno, H. Tanaka, H. J. Mattausch, S. Kumashiro, T. Yamaguchi, K. Yamashita, and N. Nakayama, "HiSIM: A MOSFET model for circuit simulation connecting circuit performance with technology," *IEEE International Electron Devices Meeting Technical Digest*, pp. 109–112 (2002).
- [50] M. Miura-Mattausch, N. Sadachika, D. Navarro, G. Suzuki, Y. Takeda, M. Miyake, T. Warabino, Y. Mizukane, R. Inagaki, T. Ezaki, H. J. Mattausch, T. Ohguro, T. Iizuka, M. Taguchi, S. Kumashiro, and S. Miyamoto, "HiSIM2: Advanced MOSFET model valid for RF circuit simulation," *IEEE Transactions on Electron Devices*, vol. 53, no. 9, pp. 1994–2007 (2006).
- [51] G. Gildenblat, X. Li, W. Wu, H. Wang, A. Jha, van R. Langevelde, G. D. J. Smit, A. J. Scholten, and D. B. M. Klaassen, "PSP: An advanced surface-potential-based MOSFET model for circuit simulation," *IEEE Transactions on Electron Devices*, vol. 53, no. 9, pp. 1979–1993 (2006).
- [52] W. Yao, G. Gildenblat, C. C. McAndrew, and A. Cassagnes, "SP-HV: A scalable surface-potential-based compact model for LDMOS transistors," *IEEE Transactions on Electron Devices*, vol. 59, no. 3, pp. 542–550 (2012).
- [53] H. J. Mattausch, M. Miyake, T. Iizuka, H. Kikuchihara, and M. Miura-Mattausch, "The second-generation of HiSIM\_HV compact models for high-voltage MOSFETs," *IEEE Transactions on Electron Devices*, vol. 60, no. 2, pp. 653–661 (2013).
- [54] Y. Nakamura, M. Shintani, K. Oishi, T. Sato, and T. Hikihara, "A simulation model for SiC power MOSFET based on surface potential," *Proceedings of International Conference on Simulation of Semiconductor Processes and Devices*, pp. 121–124 (2016).
- [55] Y. Tsividis and C. McAndrew: *Operation and Modeling of the MOS Transistor (third edition)* Oxford University Press (2011).
- [56] V. R. Vathulya and M. H. White, "Characterization of inversion and accumulation layer electron transport in 4H and 6H-SiC MOSFETs

- on implanted p-type regions," *IEEE Transactions on Electron Devices*, vol. 47, no. 11, pp. 2018–2023 (2000).
- [57] S. K. Powell, N. Goldsman, J. M. McGarrity, J. Bernstein, C. J. Scozzie, and A. Lelis, "Physics-based numerical modeling and characterization of 6H-silicon-carbide metal-oxide-semiconductor field-effect transistors," *Journal of Applied Physics*, vol. 92, pp. 4053–4061 (2002).
- [58] M. Akbi, "On the temperature dependence of the photoelectric work function of contact materials," *International Conference on Electrical Contacts*, pp. 463–467 (2014).
- [59] T. Ayalew, A. Gehring, J. M. Park, T. Grasser, and S. Selberherr, "Improving SiC lateral DMOSFET reliability under high field stress," *Microelectronics Reliability*, vol. 43, no. 9, pp. 1889–1894 (2003).
- [60] S. Potbhare, N. Goldsman, A. Lelis, J. M. McGarrity, F. B. McLean, and D. Habersat, "A physical model of high temperature 4H-SiC MOSFETs," *IEEE Transactions on Electron Devices*, vol. 55, no. 8, pp. 2029–2040 (2008).
- [61] N. Phankong, T. Yanagi, and T. Hikihara, "Evaluation of inherent elements in a SiC power MOSFET by its equivalent circuit," *Proceedings of European Conference on Power Electronics and Applications*, pp. 1–8 (2011).
- [62] I. K. Budihardjo, P. O. Lauritzen, and H. A. Mantooh, "Performance requirements for power MOSFET models," *IEEE Transactions on Power Electronics*, vol. 12, no. 1, pp. 36–45 (1997).
- [63] ROHM Co., Ltd.: *SCT2450KE N-channel SiC power MOSFET Datasheet* (2013).
- [64] Y. Nakamura, M. Shintani, T. Sato, and T. Hikihara, "A high power curve tracer for characterizing full operational range of SiC power transistors," *Proceedings of International Conference on Microelectronic Test Structures*, pp. 90–94 (2016).
- [65] Keysight Technologies, Inc.: *B1505A Power Device Analyzer/Curve Tracer* (2014).

- [66] C. C. McAndrew, G. J. Coram, K. K. Gullapalli, J. R. Jones, L. W. Nagel, A. S. Roy, J. Roychowdhury, A. J. Scholten, G. D. J. Smit, X. Wang, and S. Yoshitomi, "Best practices for compact modeling in Verilog-A," *IEEE Journal of the Electron Devices Society*, vol. 3, no. 5, pp. 383–396 (2015).
- [67] InterSoft Co., Ltd.: *SIMatrix SPICE and Mixed Mode Simulation* (2014).
- [68] Agilent Technologies, Ltd.: *4294A Precision Impedance Analyzer* (2000).
- [69] S. Kirkpatrick, C. D. Gelatt, and M. P. Vecchi, "Optimization by simulated annealing," *Science*, vol. 220, no. 4598, pp. 671–680 (1983).
- [70] M. Shintani, Y. Nakamura, M. Hiromoto, T. Hikihara, and T. Sato, "Measurement and modeling of gate-drain capacitance of silicon carbide vertical double-diffused MOSFET," *Japanese Journal of Applied Physics* Vol. 56 No. 4, (2017).
- [71] G. Massobrio and P. Antognetti: *Semiconductor Device Modeling with SPICE* McGraw-Hill (1993).
- [72] Z. Chen, D. Boroyevich, R. Burgos, and F. Wang, "Characterization and modeling of 1.2 kV, 20 A SiC MOSFETs," *Proceedings of IEEE Energy Conversion Congress and Exposition*, pp. 1480–1487 (2009).
- [73] ROHM Co., Ltd.: *SCT3022KL N-channel SiC power MOSFET Datasheet* (2018).
- [74] Murata Software Co., Ltd.: *CAE Software FEMTET* (2022).
- [75] ROHM Co., Ltd.: *Package Dimensions, SiC Power Devices, TO-247N* (2017).
- [76] S. Fukunaga and T. Funaki, "An experimental study on estimating dynamic junction temperature of SiC MOSFET," *IEICE Electronics Express*, vol. 15, no. 8, pp. 1–6 (2018).
- [77] T. Funaki and S. Fukunaga, "Difficulties in characterizing transient thermal resistance of SiC MOSFETs," *Proceedings of International*

- Workshop on Thermal Investigations of ICs and Systems*, pp. 141–146 (2016).
- [78] ROHM Co., Ltd.: *S4103 N-channel SiC power MOSFET bare die Datasheet* (2018).
- [79] S. Carubelli and Z. Khatir, "Experimental validation of a thermal modelling method dedicated to multichip power modules in operating conditions," *Microelectronics Journal*, vol. 34, no. 12, pp. 1143–1151 (2003).
- [80] J. Reichl, "3-D thermal component model for electrothermal analysis of multichip power modules with experimental validation," *IEEE Transactions on Power Electronics*, vol. 30, no. 6, pp. 3300–3308 (2015).
- [81] H. Li, X. Liao, Y. Li, S. Liu, Y. Hu, Z. Zeng, and L. Ran, "Improved thermal couple impedance model and thermal analysis of multichip paralleled IGBT module," *Proceedings of IEEE Energy Conversion Congress and Exposition*, pp. 3748–3753 (2015).
- [82] A. S. Bahman, K. Ma, and F. Blaabjerg, "General 3D lumped thermal model with various boundary conditions for high power IGBT modules," *Proceedings of IEEE Applied Power Electronics Conference and Exposition*, pp. 261–268 (2016).
- [83] M. Ouhab, Z. Khatir, A. Ibrahim, J.-P. Ousten, R. Mitova, and M.-X. Wang, "New analytical model for real-time junction temperature estimation of multichip power module used in a motor drive," *IEEE Transactions on Power Electronics*, vol. 33, no. 6, pp. 5292–5301 (2018).
- [84] A. S. Bahman, K. Ma, and F. Blaabjerg, "A lumped thermal model including thermal coupling and thermal boundary conditions for high-power IGBT modules," *IEEE Transactions on Power Electronics*, vol. 33, no. 3, pp. 2518–2530 (2018).
- [85] W. Yuan, H. Yigang, B. Li, J. Zhou, Z. Ma, and C. Li, "Improved cauer thermal network considering thermal coupling effects of multi-chip modules," *IET Power Electronics*, vol. 13, no. 16, pp. 3707–3716 (2020).

- [86] Z. Hu, Y. Zhou, T. Zhang, and Y. Jiang, "An adaptive electrothermal model for estimating the junction temperature of power device," *IEEE Transactions on Electron Devices*, vol. 68, no. 7, pp. 3475–3482 (2021).
- [87] Z. X. Wang, H. Wang, Y. Zhang, and F. Blaabjerg, "A multi-port thermal coupling model for multi-chip power modules suitable for circuit simulators," *Microelectronics Reliability*, vol. 88–90, pp. 519–523 (2018).
- [88] M. Bernardoni, N. Delmonte, D. Chiozzi, and P. Cova, "Non-linear thermal simulation at system level: Compact modelling and experimental validation," *Microelectronics Reliability*, vol. 80, pp. 223–229 (2018).
- [89] ROHM Co., Ltd.: *S2303 N-channel SiC power MOSFET bare die Datasheet* (2017).
- [90] O. Djekic and M. Brkovic and A. Roy, "High frequency synchronous buck converter for low voltage applications," *Annual IEEE Power Electronics Specialists Conference*, pp. 1248–1254 (1998).
- [91] Z. Liu, B. Li, F. C. Lee, and Q. Li, "High-efficiency high-density critical mode rectifier/inverter for WBG-device-based on-board charger," *IEEE Transactions on Industrial Electronics*, vol. 64, no. 11, pp. 9114–9123 (2017).
- [92] E. Gurpinar, R. Wiles, B. Ozpineci, T. Raminosa, F. Zhou, Y. Liu, and E. M. Dede, "SiC MOSFET-based power module design and analysis for EV traction systems," *Proceedings of IEEE Energy Conversion Congress and Exposition*, pp. 1722–1727 (2018).
- [93] C. Hui, Y. Yang, Y. Xue, and Y. Wen, "Research on current sharing method of SiC MOSFET parallel modules," *Proceedings of International Conference on Electron Devices and Solid State Circuits*, (2018).
- [94] G. Wang, J. Mookken, J. Rice, and M. Schupbach, "Dynamic and static behavior of packaged silicon carbide MOSFETs in paralleled

- applications," *Proceedings of IEEE Applied Power Electronics Conference and Exposition*, pp. 1478–1483 (2014).
- [95] J. Tu, H. Ben, T. Meng, Z. Yao, J. Ning, and H. Yu, "Research on parallel current sharing scheme of 1200V/100A SiC MOSFET," *Proceedings of IEEE Energy Conversion Congress and Exposition*, pp. 1–4 (2019).
- [96] R. Horff, T. Bertelshofer, A. Marz, and M. M. Bakran, "Current mismatch in paralleled phases of high power SiC modules due to threshold voltage unsymmetry and different gate-driver concepts," *Proceedings of European Conference on Power Electronics and Applications*, (2016).
- [97] J. Hu, O. Alatise, J. A. Ortiz Gonzalez, R. Bonyadi, P. Alexakis, L. Ran, and P. Mawby, "Robustness and balancing of parallel-connected power devices: SiC versus CoolMOS," *IEEE Transactions on Industrial Electronics*, vol. 63, no. 4, pp. 2092–2102 (2016).
- [98] H. Li, S. Munk-Nielsen, C. Pham, and S. Beczkowski, "Circuit mismatch influence on performance of paralleling silicon carbide MOSFETs," *Proceedings of European Conference on Power Electronics and Applications*, (2014).
- [99] H. Li, W. Zhou, X. Wang, S. Munk-Nielsen, D. Li, Y. Wang, and X. Dai, "Influence of paralleling dies and paralleling half-bridges on transient current distribution in multichip power modules," *IEEE Transactions on Power Electronics*, vol. 33, no. 8, pp. 6483–6487 (2018).
- [100] Z. Zheng, A. Lenze, D. Levett, K. Mainka, and M. Zhang, "A practical example of hard paralleling SiC MOSFET modules," *Proceedings of PCIM Asia; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, pp. 108–114 (2019).
- [101] Synopsys: *HSPICE User Guide: Simulation and Analysis* (2014).
- [102] M. Shintani, H. Tsukamoto, and T. Sato, "Parameter extraction procedure for surface-potential-based SiC MOSFET model," *Proceedings*



- 
- of IEEE Workshop on Wide Bandgap Power Devices and Applications*, pp. 444–448 (2019).
- [103] C. Zhao, L. Wang, X. Yang, F. Zhang, and Y. Gan, "Comparative investigation on paralleling suitability for SiC MOSFETs and SiC/Si cascode devices," *IEEE Transactions on Industrial Electronics*, vol. 69, no. 4, pp. 3503–3514 (2022).
- [104] L. C. Andrews: *Special Functions of Mathematics for Engineers*, 2nd edition New York: McGraw-Hill (1992).



## 付録A

### 表面電位式および電流式の導出

#### A.1 表面電位式

第2章の式(2.1)に示した表面電位  $\phi_s$  の式導出を行なう [55] . 導出にあたり, 図 A.1 の p 型基板 MOS 構造を考える . なお, 図 A.1 では p 型基板 MOS 構造とあわせて, そのエネルギー準位図を示している . 図 A.1 において,  $E_c, E_v, E_i, E_F$  はそれぞれ伝導帯, 価電子帯, 真性フェルミ準位, フェルミ準位を表している .

$$\left\{ \begin{array}{l} \frac{d^2\phi(x)}{dx^2} = -\frac{q}{\epsilon_{\text{SiC}}}(p(x) - N_A + N_D - n(x)) \quad (\text{A.1}) \\ n(x) = n_0 e^{\phi(x)/\phi_t} \quad (\text{A.2}) \\ p(x) = p_0 e^{-\phi(x)/\phi_t} \quad (\text{A.3}) \end{array} \right.$$

ただし, 位置  $x$  は MOS 界面を基準とし, 半導体の深さ方向を正としている . また,  $\phi(x), n(x), p(x)$  はそれぞれ, 位置  $x$  のポテンシャル, 電子密度, 正孔密度である .  $n_0, p_0$  は, それぞれ p 型基板部分の電子密度, 正孔密度である . 式 (A.1) ~ 式 (A.3) から, 以下の式が得られる :

$$\frac{d^2\phi(x)}{dx^2} = -\frac{q}{\epsilon_{\text{SiC}}}(p_0 e^{-\phi(x)/\phi_t} - N_A + N_D - n(x) = n_0 e^{\phi(x)/\phi_t}) \quad (\text{A.4})$$

上式の両辺にそれぞれ  $2 \cdot d\phi(x)/dx$  を掛け,  $x$  方向に積分したのちに整理すると, 以下の式が得られる :

$$\frac{d^2\phi(x)}{dx^2} = -\sqrt{\frac{2q}{\epsilon_{\text{SiC}}}} \sqrt{p_0 \phi_t (e^{-\phi(x)/\phi_t} - 1) + (N_D - N_A) \phi(x) + n_0 \phi_t (e^{\phi(x)/\phi_t} - 1)} \quad (\text{A.5})$$

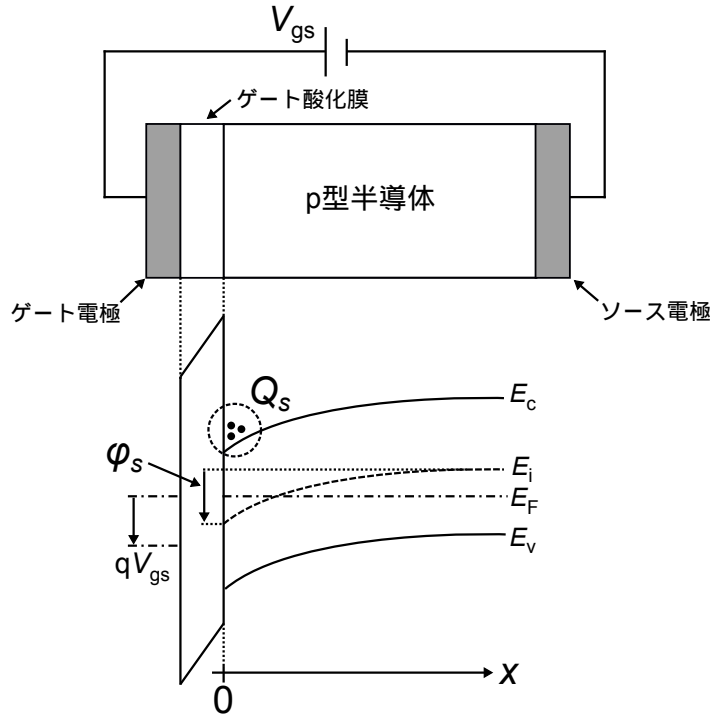


図 A.1: p 型基板 MOS 構造とそのエネルギー準位図 [55]

ただし，境界条件は  $d\phi(x)/dx|_{\phi(x)=0} = 0$  である．式 (A.5) より，以下に示す電荷密度  $Q(x)$  が得られる：

$$Q(x) = \varepsilon_{\text{SiC}} E_{\text{SiC}}(x) = \sqrt{2q\varepsilon_{\text{SiC}}} \sqrt{p_0\phi_t(e^{-\phi(x)/\phi_t} - 1) + (N_D - N_A)\phi(x) + n_0\phi_t(e^{\phi(x)/\phi_t} - 1)} \quad (\text{A.6})$$

ただし，上式において  $E_{\text{SiC}} (= -d\phi(x)/dx)$  は電界を表している．ところで，p 型基板 MOS 構造において，半導体基板部分の電荷中性条件に着目すると，以下の式が成り立つ：

$$p_0 + N_D - N_A - n_0 = 0 \quad (\text{A.7})$$

また，フェルミ準位を  $\phi_F$  とすると，熱平衡状態において  $p_0$  と  $n_0$  の関係は以下のように表される [55]：

$$n_0 = p_0 e^{-2\phi_F/\phi_t} \quad (\text{A.8})$$

式 (A.7)，式 (A.8) の条件から式 (A.6) を整理すると，以下の式が得られる：

$$Q(x) = \sqrt{2q\varepsilon_{\text{SiC}}p_0} \sqrt{\phi_t e^{-\phi(x)/\phi_t} + \phi(x) - \phi_t + e^{-2\phi_F/\phi_t} (\phi_t e^{\phi(x)/\phi_t} - \phi(x) - \phi_t)} \quad (\text{A.9})$$

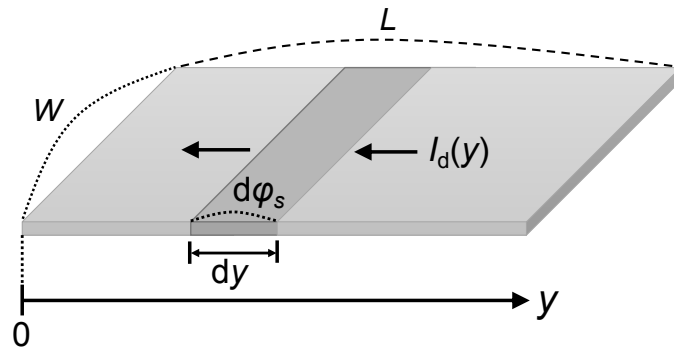


図 A.2: n型 MOSFET のチャネル部分 [55]

ところで，アクセプタがすべてイオン化していると仮定すると  $p_0 \sim N_A$  であるため，式 (A.9) から以下の式が得られる：

$$Q(x) = \sqrt{2q\epsilon_{\text{SiC}}N_A} \sqrt{\phi_t e^{-\phi(x)/\phi_t} + \phi(x) - \phi_t + e^{-2\phi_F/\phi_t} (\phi_t e^{\phi(x)/\phi_t} - \phi(x) - \phi_t)} \quad (\text{A.10})$$

したがって，MOS界面 ( $x = 0$ ) における表面電荷密度を  $Q_s$  とすると，式 (A.10) から以下の  $Q_s$  と  $\phi_s$  の関係式が得られる：

$$Q(x) = \sqrt{2q\epsilon_{\text{SiC}}N_A} \sqrt{\phi_t e^{-\phi_s/\phi_t} + \phi_s - \phi_t + e^{-2\phi_F/\phi_t} (\phi_t e^{\phi_s/\phi_t} - \phi(x) - \phi_t)} \quad (\text{A.11})$$

上式の  $N_A$  をパラメータ  $NA$  に置き換える，また，外部印加電圧によるフェルミ準位の変動  $\phi_f$  を考慮して  $2\phi_F$  を  $2\phi_F + \phi_f$  に置き換えることで第2章の式 (2.1) が得られる．

## A.2 電流式

第2章の式 (2.8) に示した表面電位に基づく電流式の導出を行なう．式の導出にあたり，図に示すチャネル上の位置  $y$  における微小領域  $dy$  について考える． $L, W$  はそれぞれチャネル長，チャネル幅である．位置  $y$  のドレイン電流  $I_d(y)$  は，以下のようにドリフト電流  $I_{\text{drift}}(y)$  と拡散電流  $I_{\text{diff}}(y)$  の和により表される [55]：

$$I_d(y) = I_{\text{drift}}(y) + I_{\text{diff}}(y) \quad (\text{A.12})$$

ここで,  $I_{\text{drift}}(y)$ ,  $I_{\text{diff}}(y)$  は, それぞれ以下の式で表される:

$$\left\{ \begin{array}{l} I_{\text{drift}}(y) = \mu W(-Q_I(y)) \frac{d\phi_s}{dy} \\ I_{\text{diff}}(y) = \mu W \phi_t \frac{dQ_I}{dy} \end{array} \right. \quad (\text{A.13})$$

$$\left\{ \begin{array}{l} I_{\text{drift}}(y) = \mu W(-Q_I(y)) \frac{d\phi_s}{dy} \\ I_{\text{diff}}(y) = \mu W \phi_t \frac{dQ_I}{dy} \end{array} \right. \quad (\text{A.14})$$

定式において,  $Q_I(y)$  は位置  $y$  における反転層の電荷密度であり, 表面電荷密度  $Q_s(y)$  および空乏層の電荷密度  $Q_{\text{dep}}(y)$  との間で  $Q_s(y) = Q_I(y) + Q_{\text{dep}}(y)$  が成り立つ. 式 (A.12) から式 (A.14) より,  $I_{\text{ds}}(y)$  は以下のように表される:

$$I_{\text{ds}}(y) = \mu W(-Q_I(y)) \frac{d\phi_s}{dy} + \mu W \phi_t \frac{dQ_I(y)}{dy} \quad (\text{A.15})$$

上式を  $0 \leq y \leq L$  の範囲で積分することで, 以下の式が得られる:

$$\int_0^L I_{\text{ds}}(y) dy = W \int_{\phi_{sS}}^{\phi_{sD}} \mu(-Q_I(y)) d\phi_s + W \phi_t \int_{Q_{IS}}^{Q_{ID}} \mu dQ_I \quad (\text{A.16})$$

ただし, 上式において  $\phi_{sS}$ ,  $Q_{IS}$  はそれぞれソース端 ( $y = 0$ ) の表面電位および反転層の電荷密度,  $\phi_{sD}$ ,  $Q_{ID}$  はそれぞれドレイン端 ( $y = L$ ) の表面電位および反転層の電荷密度である. 式 (A.16) において,  $I_d(y)$  および  $\mu$  が任意の位置  $y$  において一様であると仮定すると, 以下の式が得られる:

$$I_d = \mu \frac{W}{L} \left[ \int_{\phi_{sS}}^{\phi_{sD}} (-Q_I(y)) d\phi_s + \phi_t \int_{Q_{IS}}^{Q_{ID}} dQ_I \right] \quad (\text{A.17})$$

ところで, 空乏層の電荷密度  $Q_{\text{dep}}(y)$  は,  $y$  における表面電位  $\phi_s(y)$  の関数として以下のように表される [55]:

$$Q_{\text{dep}}(y) = -\sqrt{2\varepsilon_{\text{SiC}} k T N_A} \sqrt{\phi_s(y)/\phi_t - 1} \quad (\text{A.18})$$

式 (2.2), 式 (A.18) および  $Q_s(y) = Q_I(y) + Q_{\text{dep}}(y)$  の関係から,  $Q_I(y)$  は  $\phi_s(y)$  を用いて以下のように表される:

$$Q_I(y) = C_{\text{ox}}(V_{\text{gs}} - V'_{\text{fbc}} - \phi_s(y)) + \sqrt{2\varepsilon_{\text{SiC}} k T N_A} \sqrt{\phi_s(y)/\phi_t - 1} \quad (\text{A.19})$$

式 (A.19) を式 (A.17) に代入して計算した結果, 式 (2.8) が得られる. ただし, 式 (2.8) では  $N_A$ ,  $\mu$  はそれぞれ  $N_A$ ,  $\mu_{\text{eff}}$  に置き換えている. また, 本導出では単一の MOSFET セルを扱っているため, MOSFET のセル数  $M$  は 1 である.

# 目次

1.1	熱回路連成シミュレーションの基本構成	2
1.2	本論文の構成	9
2.1	SiC MOSFET の断面構成図 © IEEE 2018	12
2.2	提案モデルの等価回路 © IEEE 2018	13
2.3	$I_d$ - $V_{ds}$ 特性のモデリング結果 © IEEE 2018	24
2.4	$I_d$ - $V_{gs}$ 特性のモデリング結果 © IEEE 2018	24
2.5	75 °C , 125 °C における $I_d$ - $V_{ds}$ 特性のモデリング結果 © IEEE 2018	25
2.6	$C_{gs}$ および $C_{ds}$ 特性のモデリング結果 © IEEE 2018	25
2.7	$C_{gd}$ 特性のモデリング結果 © IEEE 2018	26
2.8	ダブルパルス試験回路 © IEEE 2018	26
2.9	スイッチング波形の実測-シミュレーション比較 ( $T = 25$ °C) © IEEE 2018	27
2.10	スイッチング波形の実測-シミュレーション比較 ( $T = 75$ °C) © IEEE 2018	28
2.11	スイッチング波形の実測-シミュレーション比較 ( $T = 125$ °C) © IEEE 2018	29
2.12	従来手法	31
2.13	提案手法	33
2.14	$V_{ds}$ , $I_d$ の測定波形例 ( $V_{set} = 600$ V , $I_{set} = 50$ A)	34
2.15	従来および提案手法による $I$ - $V$ 測定結果	35
2.16	従来および提案手法に基づくモデルの検証結果	38
3.1	$n$ 個のデバイスが実装されたパワーモジュールの構造図 (Copyright (2022) The Japan Society of Applied Physics)	40
3.2	フォスター型等価回路に基づく熱インピーダンスモデル (Copyright (2022) The Japan Society of Applied Physics)	42

3.3	熱インピーダンス検証用の試作モジュール (Copyright (2022) The Japan Society of Applied Physics) . . . . .	44
3.4	試作モジュールの回路構成 (Copyright (2022) The Japan Society of Applied Physics) . . . . .	45
3.5	試作モジュールの断面構成 (Copyright (2022) The Japan Society of Applied Physics) . . . . .	45
3.6	熱インピーダンスの特性測定システム (Copyright (2022) The Japan Society of Applied Physics) . . . . .	46
3.7	S_PM, M_PM, L_PMの熱インピーダンス特性 . . . . .	47
3.8	熱インピーダンスの実験検証用回路 (Copyright (2022) The Japan Society of Applied Physics) . . . . .	49
3.9	実験検証における温度測定システム構成 (Copyright (2022) The Japan Society of Applied Physics) . . . . .	50
3.10	実験検証における温度測定システム写真 (Copyright (2022) The Japan Society of Applied Physics) . . . . .	50
3.11	異なる $I_{\text{test}}$ 条件における S_PM 内の各デバイス発熱 $P_i$ ( $i = 1-4$ ) (Copyright (2022) The Japan Society of Applied Physics) . . . . .	51
3.12	異なる $I_{\text{test}}$ 条件における S_PM 内の各デバイス温度 $T_i$ ( $i = 1-4$ ) の平均温度 $T_{\text{ave}}$ (Copyright (2022) The Japan Society of Applied Physics) . . . . .	51
3.13	$I_{\text{test}} = 10$ A 条件における S_PM の熱インピーダンスモデル検証結果 (Copyright (2022) The Japan Society of Applied Physics) . . . . .	52
3.14	$I_{\text{test}} = 55$ A 条件における S_PM の熱インピーダンスモデル検証結果 (Copyright (2022) The Japan Society of Applied Physics) . . . . .	53
3.15	熱インピーダンスモデルによる温度推定誤差 (Copyright (2022) The Japan Society of Applied Physics) . . . . .	54
3.16	$I_{\text{test}} = 50$ A 条件における S_PM, M_PM, L_PM の熱インピーダンスモデル検証結果 (Copyright (2022) The Japan Society of Applied Physics) . . . . .	55
4.1	提案の熱回路連成シミュレーションの等価回路 . . . . .	60
4.2	モジュールのレイアウト . . . . .	61
4.3	モジュールの回路構成 . . . . .	61
4.4	モジュールの断面構成 . . . . .	61
4.5	ヒートシンクの実装 . . . . .	62
4.6	降圧コンバータ回路 . . . . .	62
4.7	サーモグラフィで得た熱画像の例 © IEEE 2020 . . . . .	63



4.8	High 側と Low 側デバイスのスイッチング波形の実測-シミュレーション比較結果 . . . . .	65
4.9	異なる $f_{sw}$ 条件におけるデバイス発熱の実測-シミュレーション比較結果 . . . . .	66
4.10	熱インピーダンス特性の実測およびモデリング結果 . . . . .	67
4.11	異なる $f_{sw}$ 条件におけるデバイス温度の実測-シミュレーション比較結果 . . . . .	68
5.1	パワーモジュールにおける並列デバイス間の電流アンバランス © IEEE 2023 . . . . .	71
5.2	$n$ 並列パワーモジュールのスイッチング回路 © IEEE 2023 . . . . .	72
5.3	SiC MOSFET 300 個の $I_d-V_{ds}$ 特性 © IEEE 2023 . . . . .	82
5.4	モデルパラメータの相関係数 $\rho_{p_k p_l}$ © IEEE 2023 . . . . .	83
5.5	異なる並列デバイス数 $n$ ごとの MCSIM 結果 © IEEE 2023 . . . . .	86
5.6	NFPV の精度確認結果 . . . . .	86
5.7	各パラメータ組み合わせごとの推定誤差 $err_{\sigma E_i}$ の評価結果 © IEEE 2023 . . . . .	87
5.8	$p_{m_r} = \{\text{VFBC}, \text{NA}\}$ における NFPV の精度確認結果 . . . . .	88
5.9	$p_{m_r} = \{\text{VFBC}, \text{NA}\}$ における $E_i$ のヒストグラムの再現性 © IEEE 2023 . . . . .	89
5.10	並列デバイス $Q_1-Q_{10}$ の最高, 平均, および最低温度 © IEEE 2023 . . . . .	90
5.11	$Q_1$ および $Q_{10}$ のドレイン電流の波形ばらつき © IEEE 2023 . . . . .	91
5.12	$E_1, E_{10}$ , および $(E_1 - E_{10})$ のばらつき © IEEE 2023 . . . . .	91
5.13	従来と提案手法の計算時間比較 © IEEE 2023 . . . . .	93
A.1	p 型基板 MOS 構造とそのエネルギー準位図 [55] . . . . .	114
A.2	n 型 MOSFET のチャネル部分 [55] . . . . .	115



# 表目次

1.1	第2～5章の提案技術，特徴，および目標	7
2.1	提案モデルで用いるシンボルリスト © IEEE 2018	14
2.2	$I$ - $V$ 特性のモデルパラメータ © IEEE 2018	15
2.3	$C$ - $V$ 特性のモデルパラメータ © IEEE 2018	15
2.4	物理定数 © IEEE 2018	21
2.5	抽出した $I$ - $V$ 特性のパラメータ (25 °C) © IEEE 2018	22
2.6	抽出した $C$ - $V$ 特性のパラメータ (25 °C) © IEEE 2018	23
2.7	抽出した温度特性のパラメータ © IEEE 2018	23
2.8	測定システムで用いた機器およびソフトウェア	34
2.9	FEMTET の過渡熱解析で用いた材料定数	35
2.10	RMSPE に基づくモデル精度比較	36
3.1	測定システムで用いた機器およびソフトウェア	47
4.1	降圧コンバータの回路条件	63
4.2	発熱 LUT ( $f_{LUT(1)}$ , $f_{LUT(2)}$ ) の取得条件	64
5.1	統計的モデルパラメータの候補 © IEEE 2023	81
5.2	各モデルパラメータの平均 $\mu_{p_k}$ ・標準偏差 $\sigma_{p_k}$ © IEEE 2023	83
5.3	回路条件 © IEEE 2023	84
5.4	1 次成分の計算結果 © IEEE 2023	85
5.5	2 次成分の計算結果 © IEEE 2023	85
5.6	各温度特性パラメータの平均 $\mu_{p_k}$ ・標準偏差 $\sigma_{p_k}$ © IEEE 2023	90
5.7	計算時間の比較条件 © IEEE 2023	92



## 図表の著作権に関する注意事項

本研究の成果の一部は学術論文として出版されている (研究業績, p. 125) . 本学位論文の図表の一部は, 各出版社の許諾を得た上でこれらの論文から引用している. 対象となる図表のキャプションには, 各出版社の指定形式で著作権明示を行っている.

IEEE で出版された論文からの引用に関する注意事項を以下に示す:

"In reference to IEEE copyrighted material which is used with permission in this thesis, the IEEE does not endorse any of Kyoto University's products or services. Internal or personal use of this material is permitted. If interested in reprinting/republishing IEEE copyrighted material for advertising or promotional purposes or for creating new collective works for resale or redistribution, please go to [http://www.ieee.org/publications\\_standards/publications/rights/rights\\_link.html](http://www.ieee.org/publications_standards/publications/rights/rights_link.html) to learn how to obtain a License from RightsLink. If applicable, University Microfilms and/or ProQuest Library, or the Archives of Canada may supply single copies of the dissertation."

(<https://journals.ieeeauthorcenter.ieee.org/choose-a-publishing-agreement/avoid-infringement-upon-ieee-copyright/>)



## 研究業績

### 学術論文

本学位論文に関する論文：

1. M. Shintani, Y. Nakamura, K. Oishi, M. Hiromoto, T. Hikihara, and T. Sato, "Surface-potential-based silicon carbide power MOSFET model for circuit simulation," *IEEE Transactions on Power Electronics*, vol. 33, no. 12, pp. 10074–10783 (2018).
2. Y. Nakamura, N. Kuroda, T. Yanagi, H. Sakairi, and K. Nakahara, "High-voltage and high-current  $I_d$ - $V_{ds}$  measurement method for power transistors improved by reducing self-heating," *IEEE Electron Device Letters*, vol. 41, issue 4, pp. 581–584 (2020).
3. Y. Nakamura, T. M. Evans, N. Kuroda, H. Sakairi, Y. Nakakohara, H. Otake, and K. Nakahara, "Electrothermal cosimulation for predicting the power loss and temperature of SiC MOSFET dies assembled in a power module," *IEEE Transactions on Power Electronics*, vol. 35, no. 3, pp. 2950–2958 (2020).
4. Y. Nakamura, N. Kuroda, K. Nakahara, M. Shintani, and T. Sato, "Evaluation of thermal couple impedance model of power modules for accurate die temperature estimation up to 200 °C," *Japanese Journal of Applied Physics*, vol. 61, no. SC1082, pp. 1–8 (2022).
5. Y. Nakamura, M. Shintani, and T. Sato, "Dominant model-parameter determination for the analysis of current imbalance across paralleled power transistors," *IEEE Transactions on Power Electronics*, (Accepted for publication, DOI: 10.1109/TPEL.2022.3231894).

その他の論文：

6. M. Shintani, Y. Nakamura, T. Hikihara, and T. Sato, "Measurement and modeling of gate-drain capacitance of silicon carbide vertical double-diffused MOSFET," *Japanese Journal of Applied Physics*, vol. 56, no. 04CR07, pp. 1–5 (2017).
7. K. Shimozato, Y. Nakamura, S. Bian, and T. Sato, "An electrothermal compact model of SiC MOSFETs for analyzing avalanche failure mechanisms," *Japanese Journal of Applied Physics*, vol. 60, no. SBBD11, pp. 1–5 (2021).

## 国際学会 (査読有り)

本学位論文に関する発表：

1. Y. Nakamura, M. Shintani, K. Oishi, T. Sato, and T. Hikihara: "A simulation model for SiC power MOSFET based on surface potential," *Proceedings of International Conference on Simulation of Semiconductor Processes and Devices (SISPAD)*, pp. 121–124 (2016).
2. Y. Nakamura, T. M. Evans, H. Otake, Y. Nakakohara, H. Sakairi, N. Kuroda, and K. Nakahara, "Electro-thermal simulation for predicting the temperature of SiC dies in the power module of a high frequency operating power converter," *Proceedings of International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM Europe)*, pp. 525–528 (2018).
3. Y. Nakamura, T. Yanagi, H. Sakairi, and K. Nakahara, "Dynamic measurement method to extract high voltage and high current  $I$ - $V$  characteristics of SiC MOSFET without self heating," *Extended Abstract of International Conference on Silicon Carbide and Related Materials (ICSCRM)*, Mo-P-38 (2019).
4. Y. Nakamura, N. Kuroda, A. Yamaguchi, K. Nakahara, M. Shintani, and T. Sato, "Influence of device parameter variability on current



sharing of parallel-connected SiC MOSFETs," *Proceedings of IEEE Asian Test Symposium (ATS)*, pp. 1–6 (2020).

5. Y. Nakamura, N. Kuroda, K. Nakahara, M. Shintani, and T. Sato: "Experimental validation of thermal couple impedance model for accurate die temperature estimation in power modules," *Extended Abstract of Solid State Devices and Materials (SSDM)*, pp. 209–210 (2021).
6. Y. Nakamura, M. Shintani, and T. Sato, "Dominant model parameter extraction for analyzing current imbalance in parallel connected SiC MOSFETs," *Proceedings of IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 5622–5628 (2021).

その他の発表 :

7. Y. Nakamura, M. Shintani, T. Sato, and T. Hikihara, "A high power curve tracer for characterizing full operational range of SiC power transistors," *Proceedings of International Conference on Microelectronics Test Structures (ICMTS)*, pp. 90–94 (2016).
8. T. Okuda, Y. Nakamura, T. Hikihara, M. Shintani, and T. Sato, "Analysis of transient behavior of SiC application to boost converter," *Proceedings of IEEE Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, pp. 101–104 (2016).
9. K. Shimozato, Y. Nakamura, T. Sato, "An electrothermal compact model of SiC MOSFETs for simulating unclamped inductive switching tests," *Proceedings of International Conference on Solid State Devices and Materials (SSDM)*, pp. 273–274 (2020).
10. K. Shimozato, Y. Nakamura, T. Sato, "Analysis of thermal concentration failure in unclamped inductive switching based on three-dimensional electro-thermal simulation with on-chip variation," *Proceedings of International Conference on Simulation of Semiconductor Processes and Devices (SISPAD)*, pp. 197–200 (2021).

## 国内学会および研究会

本学位論文に関する発表：

1. 中村洋平, 引原隆士, "SiC パワー MOSFET への表面ポテンシャルモデル適用に関する一検討," 電子情報通信学会ソサイエティ大会, A-1-15 (2014).
2. 中村洋平, 引原隆士, "表面ポテンシャルモデルを用いた SiC パワー MOSFET の過渡解析に関する一検討," 電気学会全国大会, 電力用半導体デバイスとその応用 (SiC), 4-005 (2015).

その他の発表：

3. 新谷道広, 中村洋平, 廣本正之, 引原隆士, 佐藤高史, "SiC パワー MOSFET における帰還容量の測定とモデル化," 電気学会研究会, SPC-15-201/HCA-15-070/VT-15-041 (2015).
4. 中村洋平, 引原隆士, "パワートランジスタの大電力領域における静特性・動特性の測定及び考察," 電気学会電子デバイス/半導体電力変換研究会, EDD-15-084/SPC-15-166 (2015).
5. 中村洋平, 引原隆士, "パワートランジスタの飽和領域を測定するための大電力 I-V カーブトレーサの検討," 関西支部連合大会, G4-1 (2015).
6. 奥田貴史, 中村洋平, 新谷道広, 佐藤高史, 引原隆士, "表面ポテンシャルモデルを用いた SiC パワー MOSFET の過渡解析および昇圧回路への応用," 電気学会産業応用部門大会, LA-1 (2016).

## 特許

1. WO 2019/146460 A1, Method for Measuring Current-Voltage Characteristic, Y. Nakamura, and T. Yanagi.

## 受賞

1. 第 68 回電気科学技術奨励賞「パワーエレクトロニクスの事前設計を実現させる SiC パワー MOSFET の測定技術及び高精度デバイスモデルの開発」, 2020 年 11 月.

## 謝辞

本研究は、京都大学大学院情報学研究科教授 佐藤高史先生のご指導のもとで行われたものです。2014年から2016年にかけての研究室間の共同研究(当時の著者は同大学院工学研究科 引原研究室の修士課程に在学)、および2020年から社会人博士として佐藤研究室に受け入れていただき、本研究を進めさせていただきました。業務後や休日に問わず、対面のご指導をいただくとともに、メール、ウェブ会議でも丁寧にご指導いただいたことで、業務と学業を両立しながらスムーズに研究を進めることができました。また、本研究を遂行する上で常に熱心なご指導とご鞭撻を賜りました。心から御礼申し上げます。

京都大学大学院情報学研究科教授 橋本昌宜先生、新津葵一先生には本論文をまとめるにあたって貴重なご助言をいただきました。既存の分野にとらわれない視点で議論させていただいたことで、本研究の応用可能性を広げることができました。深く感謝いたします。

京都工芸繊維大学電気電子工学系准教授 新谷道広先生には、著者が修士課程の頃から現在に至るまでの間、日々の議論やご指導をしていただき、研究の進め方から論文執筆までに至る基礎力を鍛えていただきました。熱心なご指導をいただいていた中で、自身の未熟さゆえに心が折れそうになった時もありましたが、そのご指導のおかげで、駆け出しではありますが一人の研究者として成長することができたと考えております。厚く御礼申し上げます。

京都大学大学院工学研究科教授 引原隆士先生には、著者が先生の研究室に学部・修士課程で在籍していたときに、本論文の基礎となる研究テーマを分け与えていただきました。先生のご指導のもとで研究させていただいたことで、研究の楽しさや奥深さを学ぶことができました。入社してから約3年後、社会人博士としての編入学を胸に研究室を再訪問させていただいた際に、佐藤研究室を推薦していただきました。著者が博士課程で自身の向上に励もうと決意し、それを実現できたのは引原先生の導きがあったからに他なりません。心から感謝申し上げます。

本研究につきまして、引原研究室および佐藤研究室の大学院生、学部生、秘書の皆様には有益なご助言、ご協力をいただきました。ここに御礼申し上げます。

本研究は主に、著者がローム株式会社 研究開発センターに所属している間に遂行したものです。同社での業務と研究の両立を推進、ご支援いただいた皆様に深く御礼申し上げます。特に、同社の中原健センター長、山口敦司グループリーダー、黒田直孝次席研究員、坂入寛之研究員（現在 昭和電工株式会社）、柳達也研究員、若本恵佑研究員、梅上大勝研究員、小川翔悟研究員には、社会人博士の編入学および研究の遂行に関して、多大なご理解とご協力をいただいたおかげで、ここまで至ることができました。心より厚く御礼申し上げます。

本研究は、国立研究開発法人 科学技術振興機構 (JST) によるスーパークラスタープログラム (京都地域) および産学共創プラットフォーム共同研究推進プログラム (OPERA, グラント番号: JPMJOP1841), ならびに国立研究開発法人 新エネルギー・産業技術総合開発機構 (NEDO) による戦略的イノベーション創造プログラム (SIP) より助成金の支援を受けたことを記し、謝意を表します。

最後に、私をこれまで支えてくれた家族に心より感謝いたします。在学時を振り返ると、業務、研究、家庭のいずれも中途半端な自分に落胆することが正直少なくありませんでした。自身のあるべき姿とのギャップが広がっていく中で、結局は手を動かすしかない頭では理解しつつも、悶々としてしまう意志の弱い自分と向き合うことが課題でした。そんな中、いつもそばで支え、励ましてくれた妻に心から感謝します。在学中に幼稚園に入園した娘の元気に遊ぶ姿、無邪気な寝顔を見て、「またがんばろう」と何度も励まされました。父にも相談に乗ってもらい、時には励ましてもらいました。妻のご両親および兄夫婦には娘の世話をたくさんしていただき、たくさん遊んでいただきました。おかげさまで、自身の研究に専念する時間を取ることができました。ここに感謝の意を示します。