

(論文内容の要旨)

本論文は、実装応力に起因する半導体デバイスの電気特性変動を評価する手法の構築を目的に、実装時の残留応力簡易評価手法、応力に対する n タイプ絶縁ゲート型電界効果トランジスタ (nMOSFET) の基本挙動およびその計測・評価方法、応力効果を評価するためのデバイスシミュレーション手法を示し、かつ、その有効性を実証したもので、7 章から構成されている。

第 1 章は緒論であり、本研究実施の背景となった半導体・実装関連産業界の技術トレンドと学術的な要請について述べている。半導体デバイス実装時の機械的負荷が引き起こす電氣的信頼性の問題とその評価技術の開発状況について示すとともに、既存の技術の問題点と研究が必要な具体的課題を指摘し、本研究の位置づけと目的を示している。

第 2 章では、ピエゾ抵抗効果を利用したテストチップによる計測と線形の有限要素法熱応力解析を組み合わせた方法により、樹脂封止工程でシリコンチップ表面上に生じる残留応力を、樹脂の粘弾性材料特性や硬化収縮過程を考慮する解析と比較して簡便で、かつ、シリコンチップ上の残留応力に起因する半導体デバイスの特性変動を評価する上で十分な精度を有する評価手法を提案している。評価手法の妥当性を検証するため、樹脂封止型電子パッケージの樹脂封止工程でシリコンチップ表面上に生じる残留応力を評価し、テストチップによる計測結果と比較・検証することにより評価手法の妥当性を確認している。

第 3 章では、四点曲げ試験により半導体デバイスに応力を負荷した状態でその DC 特性を計測する試験システムを構築し、nMOSFET において一軸の引張りまたは圧縮の応力下でのトランジスタ特性の変動を評価している。その結果、一軸負荷に対するトランジスタ特性の応力感度やその負荷方向依存性、ゲート長さ依存性等、実験結果に基づく多くの知見を得ている。さらに、nMOSFET の応力感度に影響を及ぼす因子の検討を実施している。具体的には、簡易的に nMOSFET のソース・ドレイン部分の寄生抵抗値を見積もる手法を示し、寄生抵抗がトランジスタ特性の応力感度に及ぼす影響を評価している。その結果、本研究で用いられた nMOSFET の場合、応力感度のゲート長さ依存性が、ソース・ドレイン部分の寄生抵抗の影響と見なせることを明確にしている。

第 4 章では、実際の電子パッケージにおける樹脂封止実装工程で生じる残留応力に起因する nMOSFET のトランジスタ特性の変動を評価している。すなわち、第 3 章で一軸の応力感度を評価した nMOSFET を、第 2 章で残留応力を評価した樹脂封止工程で実装し、実装による多軸応力状態での nMOSFET のトランジスタ特性変動を評価している。その結果、ドレイン電流や増幅率の変動、しきい値電圧の挙動等、実験結果に基づく多くの知

見を得ている。さらに、このトランジスタ特性変動測定結果を第3章で得られた一軸負荷による応力感度を用いて評価し、樹脂封止工程で生じる残留応力による nMOSFET のトランジスタ特性変動が、有限要素法により評価された残留応力値、および四点曲げ試験により測定された一軸応力感度を用いて、ピエゾ効果の関係から見積もり可能であることを示している。

第5章では、デバイスシミュレータへの実装を念頭に置いた、簡便で入力パラメータの少ない応力効果を考慮した電子移動度モデルについて検討を行っている。すなわち、応力・ひずみによるシリコン伝導帯エネルギーの変化、および伝導帯エネルギー変化によって引き起こされる電子存在確率と電子散乱確率の変化を考慮した電子移動度モデルを示している。このモデルを用いて算出される移動度変化率を第4章で得られた実験結果と比較することにより、この電子移動度モデルの妥当性を検証している。その結果、応力効果として、ひずみによる各伝導バレーの電子存在確率の変化に加えて各伝導バレー間の電子散乱確率の変化を考慮した電子移動度モデルでは、電子存在確率の変化のみを反映したモデルと比較して応力の効果が大きくなることを明らかにしている。また、第4章で得られた実験結果との比較・検証から、ひずみによる各伝導バレーの電子存在確率の変化と電子散乱確率の変化を考慮した電子移動度モデルは、nMOSFET ゲート水平面内の二軸等負荷による移動度変化を定性的・定量的に再現できることを明らかにしている。

第6章では、応力に起因する nMOSFET のトランジスタ特性変動を、デバイスシミュレーションを用いて評価している。すなわち、第5章で示した応力効果を考慮した電子移動度モデルを用いてデバイスシミュレーションを実施し、第4章で実験結果を示した実装応力による nMOSFET のトランジスタ特性変動をシミュレーションしている。その結果、本研究で構築された応力効果を考慮したデバイスシミュレーション手法により、実装時の残留応力に起因する nMOSFET のドレイン電流の変動、しきい値電圧の挙動および相互コンダクタンスの変動をシミュレーションできることを確認している。デバイスシミュレーションを用いた評価手法は、半導体デバイスの応力感度に影響を及ぼす因子の解明、半導体デバイスの薄膜プロセス（真性応力）に起因した電気特性変動の評価、およびひずみシリコンデバイスの設計・評価への応用が期待される。

第7章は結論であり、本論文で得られた成果について要約している。

(論文審査の結果の要旨)

本論文は、応力に起因する半導体デバイスの電気特性変動現象とその評価手法開発に関する研究、特にこれまでほとんど実施されていないデバイスシミュレーションを利用した応力効果の評価技術に関する研究を行い、その成果をまとめたものであり、得られた主な成果は次のとおりである。

1. ピエゾ抵抗ゲージによる実測から応力フリー温度を同定することで、線形熱弾性有限要素法解析を用いることにより、樹脂封止型電子パッケージ中の残留応力を簡易かつ実用上十分な精度で見積もる手法を提案している。解析値をピエゾ抵抗ゲージによる実測値と比較することにより、提案した手法の妥当性および有用性を確認している。
2. nタイプ絶縁ゲート型電界効果トランジスタ (nMOSFET) の一軸応力感度、応力感度のゲート長さ依存性および負荷方向依存性を測定・評価し、実測される応力感度のゲート長さ依存性が、主に nMOSFET の寄生抵抗の影響であることを明らかにしている。また、実際の樹脂封止型電子パッケージの実装工程で生じる nMOSFET の電気特性変動を計測し、実装による多軸応力状態での電気特性変動が一軸の応力感度を用いて見積もり可能であることを示している。その際、実装による応力状態を1に示した手法を用いて評価しており、本研究で提案された残留応力評価手法の有用性を確認している。
3. シリコンデバイスにおける応力効果の物理現象、すなわち、応力によるシリコン伝導帯エネルギーの変化、およびそれによって引き起こされる電子存在確率と電子散乱確率の変化を反映した電子移動度モデルを示している。このモデルを用いて算出される移動度変化率と実験結果から得られる移動度変化率を比較・検証し、このモデルにより実験結果を定性的・定量的に再現できることを確認している。また、この電子移動度モデルを用いて実装応力に起因する nMOSFET の電気特性変動デバイスシミュレーションを実施し、実験結果と比較・検証してデバイスシミュレーションを用いた評価手法の妥当性および有用性を確認している。

以上、本論文は、実験およびシミュレーションにより応力に起因する半導体デバイスの電気特性変動を評価する手法を示し、いくつかの重要な実験・評価結果および知見を提示し、学術上、實際上寄与するところが少なくない。よって、本論文は博士(工学)の学位論文として価値あるものと認める。また、平成20年5月29日、論文内容とそれに関連した事項について試問を行った結果、合格と認めた。