

新 制

工

850

京大附図

有機金属気相成長法による  
Si基板上へのGaAsの  
ヘテロエピタキシャル成長の研究

1991年 2 月

秋 山 正 博



C122

有機金属気相成長法による  
Si基板上へのGaAsの  
ヘテロエピタキシャル成長の研究

1991年 2 月

秋 山 正 博

く ともこのとき、 $\text{As}_2\text{O}_3$  の還元

$\text{As}_2\text{O}_3 + 2\text{H}^+ + 2\text{e}^- \rightarrow \text{As}_2\text{O}_3 + \text{H}_2\text{O}$

と、 $\text{As}_2\text{O}_3$  の酸化

As<sub>2</sub>O<sub>3</sub> → As<sub>2</sub>O<sub>5</sub>



## 有機金属気相成長法 による

### Si 基板上への GaAs のヘテロエピタキシャル成長の研究

#### 内容梗概

本研究は有機金属気相成長法 (MOVPE) を用いた GaAs の Si 基板上へのヘテロエピタキシャル成長について、Si 基板上への GaAs の直接成長に至るまでの過程、それぞれの過程での成長層の特性、Si 基板上への GaAs の成長機構、GaAs/Si ウェハのデバイスへの応用に関するものである。

論文は 6 章で構成されている。

第 1 章では、GaAs と Si の一般的な特徴と Si 基板上への GaAs の成長技術の意義、MOVPE の概要、Si 基板上への GaAs の成長に先だつ格子不整合系のエピタキシャル成長技術の概要、Si 基板上への GaAs の成長技術の概要を述べ、本研究の位置付けと目的を明らかにしている。

第 2 章では、MOVPE による GaAs の成長の基礎となる GaAs 基板上への無添加の GaAs の成長について述べている。成長条件の各パラメータの成長層の特性に及ぼす影響の検討を行い、高純度の GaAs を成長させるための条件を明らかにした。この結果に基づいて高純度 GaAs の成長を行い、77 K で移動度が  $151,000 \text{ cm}^2/\text{Vs}$  (電子濃度:  $9 \times 10^{13}/\text{cm}^3$ ) の成長層を得た。

第 3 章では、Ge 基板上への GaAs の成長の場合の成長法と成長層の特性について述べている。この実験により Ge の (100) 基板上に single domain の GaAs 成長層が得られ、無極性基板上に有極性の結晶を成長させた場合にも、single domain の成長層が得られることが明らかになった。single domain になった GaAs 層は GaAs 基板上への成長層とほぼ同等の電子移動度 (室温で  $5,000 \sim 6,000 \text{ cm}^2/\text{Vs}$ 、電子濃度:  $1 \sim 2 \times 10^{16}/\text{cm}^3$ ) を示したが、anti-phase domain の成長層の場合には同等の電子濃度に対して 1/2 程度の移動度である。

第 4 章では、Si 基板上への GaAs の直接成長について述べている。Si 基板を成長前に  $\text{AsH}_3$  を流しながら  $900 \text{ }^\circ\text{C}$  程度以上で熱処理を行い、次に  $450 \text{ }^\circ\text{C}$  程度以下の低温で  $200 \text{ \AA}$  程度以下の膜厚の GaAs (低温バッファ層) を成長

させ、これを通常の成長温度まで昇温させてアニールを行い、この上に GaAs を成長させる 2 段階成長法を開発した。この成長法により、4 % の格子不整合、無極性の結晶上への有極性の成長にもかかわらず、(100) 面近傍の Si 基板上に single domain の GaAs 成長層を得ることができた。本章では 2 段階成長法を開発するまでの経過を述べ、成長層の特性を評価している。2 段階成長法によって Si 基板上に成長させた single domain の GaAs 層は、室温で  $5,200 \text{ cm}^2/\text{Vs}$  (電子濃度:  $1 \times 10^{16}/\text{cm}^3$ ) の電子移動度を示し、GaAs のバルクの値と同等である。フォトルミネッセンスの発光強度は GaAs 基板上の成長層と比較すると弱い。また、約  $10^8/\text{cm}^2$  の転位が残留している。次に、Si と GaAs の格子不整合の緩和機構に関する観察、(100) 近傍の Si 上に single domain の GaAs 成長層が得られるオフセットの方向についての実験結果から、single domain の成長層が得られる成長機構を考察している。また、2段階成長法で成長させた場合に、GaAs 層に残留する高密度のエッチピットの高温でのアニールによる低減法、成長温度に関係無く成長層に (室温と  $350 \sim 400 \text{ }^\circ\text{C}$  の GaAs と Si の熱膨張の差に対応する) 約  $1.4 \times 10^9 \text{ dyn/cm}^2$  の引っ張り応力が残留する機構、この機構とアニールによるエッチピット密度低減の限界の関係について考察し、残された問題点について述べている。

第 5 章では、GaAs/Si ウェハのデバイスへの応用について述べている。まず、デバイスを製作する上で、Si 基板と成長層の表面近傍を電氣的に絶縁するために必要である半絶縁性の GaAs の成長について、 $\text{Cr}(\text{C}_6\text{H}_5)_2$  を用いた Cr の添加、および  $\text{VO}(\text{OC}_2\text{H}_5)_3$  を用いた V の添加について述べている。Cr を添加した場合には、 $10^{16}/\text{cm}^3$  程度までの電子濃度が補償でき、得られた抵抗率は  $10^5 \sim 10^6 \text{ } \Omega\text{cm}$  である。一方、V を添加した場合には、 $10^{18}/\text{cm}^3$  程度までの電子濃度を補償することができ、抵抗率は  $10^8 \text{ } \Omega\text{cm}$  以上の値が安定して得られている。さらに、V を添加した場合には添加を停止した後の残留効果が少なく、拡散係数も  $5 \times 10^{-14} \text{ cm}^2/\text{s}$  以下と熱的にも安定である。

この実験結果から、V を添加した絶縁層を介して成長させた GaAs/Si ウェハ上への MESFET (Metal Semiconductor Field Effect Transistor)、リングオシレータの試作例、電力 FET の試作例を述べている。また発光ダイオードについても試作例を述べ、今後のデバイス応用の可能性について考察している。

MESFET は  $1 \text{ } \mu\text{m}$  のゲート長で相互コンダクタンスが約  $200 \text{ mS/mm}$ 、リングオシレータにより測定した動作速度は  $50 \sim 60 \text{ ps/gate}$  と、GaAs 基板上に製作したものと同等の特性が得られている。電力 FET は直流特性は GaAs 基板上のものと同様であるが、高周波特性は素子の配線と基板側との浮遊容量の

ために、1 GHz での利得が約 10 dB であり、GaAs 基板上の素子と比較すると 3 dB 以上低利得である。しかし、熱抵抗は GaAs 基板上の素子の 1/2 程度である。発光ダイオードは 700 nm の可視発光を示したが、効率は 0.3 %程度である。

第 6 章は本研究で得られた結果についてまとめたものである。

# 目 次

第1章 序論	1
第2章 MOVPE による GaAs のホモエピタキシャル成長	6
2.1 はじめに	6
2.2 成長	6
2.2.1 成長系	6
2.2.2 基板処理	11
2.2.3 成長手順	11
2.3 成長条件と成長速度および成長層の特性	12
2.3.1 評価法	12
2.3.2 成長速度	13
2.3.3 成長条件と膜質	18
2.3.4 成長層のモフォロジー	23
2.4 高純度 GaAs の成長	26
2.5 まとめ	28
第3章 Ge 基板上への GaAs の成長	29
3.1 はじめに	29
3.2 成長	30
3.3 GaAs 成長層の膜質	31
3.3.1 直接成長させた場合	31
3.3.2 GaAs/AlGaAs 中間層の導入	32
3.4 GaAs 成長層の電気的特性	34
3.5 考察	37
3.6 まとめ	39
第4章 Si 基板上への GaAs の成長	41
4.1 はじめに	41
4.2 Ge 基板上への成長と同様の成長法による場合	41
4.3 低温バッファ層の導入	43
4.3.1 成長	43
4.3.2 バッファ層の RHEED による観察	46

4.3.3	成長層の domain 構造	46
4.3.4	成長層の特性	46
4.4	2 段階成長法	50
4.4.1	2 段階成長法	50
4.4.2	成長条件	54
4.5	2 段階成長法による成長層の膜質	56
4.5.1	ラマン分光による測定	56
4.5.2	エッチピット密度 (EPD)	56
4.5.3	電気的特性	58
5.4.4	フォトルミネッセンス (PL) による測定	59
4.6	2 段階成長層法の成長機構	61
4.6.1	RHEED による GaAs 低温バッファ層の観察	61
4.6.2	GaAs/Si 界面の TEM による観察	65
4.6.3	格子不整合の緩和機構	68
4.6.4	球面状の Si 基板上への GaAs の成長	69
4.6.5	single domain の成長層が得られる機構	75
4.7	Si 基板上の GaAs 層の問題点	78
4.7.1	引っ張り応力とウェハの反り	78
4.7.2	転位密度	83
4.8	まとめ	89
第5章	GaAs/Si ウェハのデバイスへの応用	91
5.1	はじめに	91
5.2	Cr の添加による半絶縁性 GaAs の成長	91
5.2.1	$\text{Cr}(\text{C}_6\text{H}_6)_2$ による Cr の添加	92
5.2.2	評価法	92
5.2.3	Cr の添加特性と半絶縁性 GaAs 成長層の性質	92
5.2.4	Cr の添加のまとめ	97
5.3	V の添加による半絶縁性 GaAs の成長	98
5.3.1	$\text{VO}(\text{OC}_2\text{H}_5)_3$ による V の添加	98
5.3.2	V の添加特性と半絶縁性 GaAs 成長層の性質	98
5.3.3	V の添加のまとめ	106
5.4	デジタル IC への応用	107
5.4.1	結晶成長	107
5.4.2	デバイス製作プロセス	107

5.4.3	動作特性	109
5.5	電力 FET への応用	113
5.5.1	結晶成長	113
5.5.2	デバイス製作プロセス	113
5.5.3	動作特性	115
5.6	発光ダイオードへの応用	122
5.6.1	結晶成長	122
5.6.2	デバイス製作	122
5.6.3	ダイオードの特性	124
5.7	まとめ	126
第6章 結論		128
謝辞		131
本研究に関する発表論文		132

## 第1章 序論

### 1.1 はじめに

III-V 族化合物半導体である GaAs は、直接遷移型のバンド構造であること、電子の移動度が室温で  $5,000 \sim 8,000 \text{ cm}^2/\text{Vs}$  と高いこと、電子の伝導特性が微分負性抵抗を示すこと等の特徴を有している。この特徴を用いたデバイスとして、発光ダイオード、レーザーダイオード等の光デバイス、また、電子デバイスとしては、ミキサードダイオード、バラクターダイオード、ガンダイオード等のマイクロ波ダイオードから実用化が始まった。現在では MESFET (Metal Semiconductor Field Effect Transistor)、HEMT (High Electron Mobility Transistor)、さらにこれらのデバイスを用いた超高周波のアナログ IC、超高速デジタル IC 等を製作する上で、また、AlGaAs、InGaP 等の GaAs に格子整合した混晶を成長させる場合の基板として、基本的な半導体材料である。このため、III-V 族化合物半導体の中では最も研究が進んでいる。一方、IV 族の単元素半導体である Si は半導体工業を支えている材料である。結晶の完全性、機械的強度、熱伝導率に優れた材料であり、大面積のウェハを用いて安定したプロセスが確立している。このため、Si 基板上に GaAs をエピタキシャル成長させることができれば、単に大口径の GaAs ウェハが得られるのみでなく、Si と GaAs の特長を生かした新しいデバイス応用の可能性がある。

本研究で目的とした Si 基板上への GaAs のヘテロ成長は、Si と GaAs の間の約 4 % の格子不整合の問題、<sup>1)</sup> 約 2 倍の熱膨張係数の不整合の問題、<sup>1)</sup> さらに無極性の結晶である Si の上に有極性の結晶である GaAs を成長させるため、antiphase domain の結晶が成長しやすいという問題<sup>2)</sup>を有している。この GaAs/Si の系に対して、筆者等が開発した 2 段階成長法は格子不整合の問題と、無極性結晶上への有極性結晶の成長による antiphase domain 構造の結晶の成長という問題を同時に解決して、single domain の GaAs 層を Si 基板上に容易に直接成長させることを可能にした。<sup>2)</sup> その後、Si 基板上への GaAs の成長の研究が多くの研究機関で行われるようになってきているが、<sup>3-5)</sup> 本研究で述べている成果はその契機の一つとなったものである。

### 1.2 有機金属気相成長法

GaAs のエピタキシャル成長には液相成長法、クロライド系気相成長法、分子線エピタキシャル成長法 (Molecular Beam Epitaxy、以下 MBE)、有機金属気相成長法 (Metalorganic Vapour Phase Epitaxy、以下 MOVPE) 等が用いられている。本研究は MOVPE を用いて行った。

MOVPE を用いた成長は、1968 年に Manasevit によって最初に報告された。<sup>6)</sup> これは  $\alpha$ - $\text{Al}_2\text{O}_3$ 、 $\text{MgAl}_2\text{O}_4$ 、 $\text{BeO}$ 、 $\text{ThO}_2$  等の酸化物基板上に GaAs を成長させたものである。この成長法は蒸気圧の低い III 族の原料として、III 族元素のアルキル化合物を用いることを特徴とする気相成長法である。GaAs の場合には、トリメチルガリウム ( $\text{Ga}(\text{C}_2\text{H}_5)_3$ 、以下 TMG)、トリエチルガリウム ( $\text{Ga}(\text{CH}_3)_3$ 、以下 TEG) 等を Ga の原料として用い、As の原料としてはアルシン ( $\text{AsH}_3$ ) を用いて、これらの化学反応により、GaAs を基板上に成長させる。

MOVPE は、

- ① 一般に、原料ガス中に基板及び成長させる半導体のエッチングガスを含んでいないため、基板のエッチングされた原子が再び成長層に添加されるオートドーピングが少ないこと。このために、急峻な濃度プロファイルおよびヘテロ界面が得られること。
  - ② 通常の成長条件では、成長反応が III 族の原料の輸送律速になっているために、成長速度の可変範囲が広く、かつ制御性がよいこと。
  - ③ 他の III 族の原料ガスを加えることにより、容易に混晶の成長が可能であること。
- 等の特長を有する。<sup>7)</sup>

一方、原料ガスの純度が成長させた結晶の純度に大きく影響する。MOVPE を用いた成長法が始められた初期には原料の純度が悪く、容易に高純度の原料が得られるクロライド系の気相成長法と比較すると、成長させた結晶の純度は劣っていた。しかし、1977 年に MOVPE を用いて、GaAs/AlGaAs の DH レーザダイオードの室温連続発振が報告された<sup>8)</sup>ことを契機として、原料の高純度化が進み、現在では純度においても、他の成長法と比較して全く遜色の無い結晶が得られるようになっている。現在、MOVPE はその制御性の良さから MBE と並ぶ重要な化合物半導体の成長法となっている。

### 1.3 格子不整合を有する系のヘテロエピタキシャル成長

半導体のヘテロ成長技術は、化合物半導体において多くのデバイスの製作に使用されているが、ほとんどが格子整合系の成長である。異なった格子定数を有する III-V 族化合物半導体間の成長で、格子不整合を緩和させる方法としては、GaAs 上の GaAsP の場合のように、GaAs から成長を始めて、徐々に P の割合を増加させた傾斜層を介して成長させる方法<sup>9)</sup>が通常用いられており、格子不整合を有する半導体を、直接基板上に成長させることは行われていなかった。格子不整合を有する半導体を直接基板上に成長させた例として、Manasevit



による最初の MOVPE の報告で、前述の酸化物基板上に GaAs を成長させているが、良質の結晶は得られていない。その後、格子不整合を有する系の直接成長させる場合の新しい方法として、サファイア基板上への ZnO の成長で、低温でスパッタ法によって成長させた薄膜をバッファ層として用いることにより単結晶膜を成長させる方法が、1976 年に報告された。<sup>10)</sup> その後、サファイア基板上への Si の成長で、やはりスパッタで成長させた Si 薄膜がバッファ層として有効なこと、<sup>11)</sup> また、Si 上への SiC の成長で、スパッタにより形成した薄膜、<sup>12)</sup> または、Si 表面を炭化した層等をバッファ層を用いる方法<sup>13)</sup> 等、何等かのバッファ層を導入することにより、良質の単結晶層を成長させ得ることが報告された。

#### 1.4 Si 基板上への GaAs の成長

Si 基板上への GaAs の成長は、GaAs と格子定数の近い Ge 層をバッファ層として用いる方法が比較的早くから研究されており、発光ダイオード、太陽電池、FET 等の試作が報告されている。<sup>14-17)</sup> その後、1984 年に米国では IBM<sup>18)</sup>、MIT<sup>19)</sup>、イリノイ大学<sup>20)</sup> から MBE を用いて Si 基板上に GaAs を直接成長させて single domain の成長層を得たことが報告された。また日本では、同じ年に、筆者等により MOVPE を用いて、低温で成長させた GaAs 薄膜をバッファ層とする 2 段階成長法が報告された。<sup>21)</sup> さらに、名古屋工業大学から GaP/GaAsP と GaAsP/GaAs の歪超格子をバッファ層に用いる方法の有効性も報告された。<sup>22)</sup> これらの成長法により single domain の比較的高品質の GaAs の成長が可能になり、Ge バッファ層を用いる方法は行われなくなった。現在では、成長の容易さから、2 段階成長法を基にした研究が最も広く行われており、GaAs のみならず InP 等<sup>23-26)</sup> の他の格子不整合を有する III-V 族化合物半導体の Si 基板上への成長の研究へと広がっている。また、これらのウエハを用いた電子デバイス、光デバイス等の試作も行われている。<sup>3-5)</sup>

#### 1.5 本研究の目的

本研究は MOVPE を用いた 2 段階成長法により、Si 基板上に single domain の GaAs を成長させるための成長条件、その成長機構、成長技術上の問題点、さらに、デバイスに応用した場合の可能性と問題点を明らかにすることを目的としている。その内容は次の通りである。

1) MOVPE による GaAs の成長に関して、成長の各パラメータが成長層に及ぼす影響について明らかにする。

- 2) Ge 基板上への GaAs の成長により、無極性結晶上への有極性結晶の成長に関して知見を得る。
- 3) Si 基板上への 2 段階成長法による GaAs の直接成長法について、single domain の成長層を得るための成長条件を明らかにし、成長層の結晶性を調べる。また、成長機構について考察し、問題点を明らかにする。
- 4) GaAs/Si ウェハをデバイスに応用する場合、素子分離のために必要となる、半絶縁性 GaAs のエピタキシャル成長について実験検討を行う。
- 5) GaAs/Si ウェハ上に試作した FET、リングオシレータ、電力 FET、発光ダイオードについてその特性を述べ、デバイス応用の面から GaAs/Si ウェハの評価を行い、その可能性および問題点について述べる。

(参考文献)

- 1) A. G. Milnes, and D. L. Feucht; in "Heterojunctions and Metal-Semiconductor Junctions" (1972) 9. (Academic Press, Inc.)
- 2) K. Morizane; J. Cryst. Growth, 38 (1977) 249.
- 3) J. C. C. Fan, J. M. Poate ed.; Mat. Res. Soc. Symp. Proc. "Heteroepitaxy on Silicon" 67 (1986).
- 4) J. C. C. Fan, J. M. Phillips, and B. Y. Tsaur ed.; Mat. Res. Soc. Symp. Proc. "Heteroepitaxy on Silicon II" 91 (1987).
- 5) H. K. Choi, R. Hull, H. Ishiura, and R. J. Nemanich ed.; Mat. Res. Soc. Symp. Proc. "Heteroepitaxy on Silicon: Fundamentals, Structure, and Devices" 116 (1988)
- 6) H. M. Manasevit; Appl. Phys. Lett. 12 (1968) 156.
- 7) 関保夫; 応用物理 第 48 巻 (1979) 460.
- 8) R. P. Dupuis, and P. D. Dapkus; Appl. Phys. Lett. 31 (1977) 466.
- 9) G. E. Gattlieb; J. Electrochem. Soc. 112 (1965) 192.
- 10) 大西新造、広川雄二、塩崎忠、川端昭; 日本結晶成長学会誌 第 3 巻 (1976) 103.
- 11) M. Ishida, H. Ohyama, S. Sasaki, Y. Yasuda, T. Nishinaga, and T. Nakamura; Jpn. J. Appl. Phys. 20 (1981) L541.
- 12) S. Nishino, Y. Hazuki, H. Matsunami, and T. Tanaka; J. Electrochem. Soc. 127 (1980) 2674.
- 13) S. Nishino, H. Sahara, and H. Matsunami; in: Extended Abst. 15th Conf. SSDM, Tokyo (1983) 317.

- 14) R. M. Fletcher, D. K. Wagner, and J. M. Ballantyne; Appl. Phys. Lett. 44 (1984) 967.
- 15) 岡本孝太郎、湯浅禎三、浅野恭典; 電子通信学会論文誌 J67-C (1984) 900.
- 16) R. P. Gale, J. C. C. Fan, B. Y. Tsauro, G. W. Turner, and F. M. Davis; IEEE Electron Dev. Lett. EDL-2 (1981) 169.
- 17) H. K. Choi, B. Y. Tsauro, G. M. Metze, G. W. Turner, and J. C. C. Fan; IEEE Electron Dev. Lett. EDL-5 (1984) 207.
- 18) W. I. Wang; Appl. Phys. Lett. 44 (1984) 1149.
- 19) B. Y. Tsauro, and G. M. Metze; Appl. Phys. Lett. 45 (1984) 535.
- 20) W. T. Masselink, T. Henderson, J. Klem, R. Fischer, P. Pearah, H. Morkoç, M. Hafich, P. D. Wang, and G. Y. Robinson; Appl. Phys. Lett. 45 (1984) 1309.
- 21) M. Akiyama, Y. Kawarada, and K. Kaminishi; Jpn. J. Appl. Phys. 23 (1984) L843.
- 22) T. Soga, S. Hattori, S. Sakai, M. Takeyasu, and M. Umeno; Electron. Lett. 20 (1984) 916.
- 23) A. Yamamoto, N. Uchida, and M. Yamaguchi; Optoelectron. Dev. Tech. 1 (1986) 41.
- 24) A. Seki, F. Konushi, J. Kudo, and S. Kakimoto; Jpn. J. Appl. Phys. 26 (1987) L1587.
- 25) M. Razeghi, F. Omnes, M. Defour, and Ph. Maurel; Appl. Phys. Lett. 52 (1988) 209.
- 26) H. Horikawa, Y. Kawai, M. Akiyama, and M. Sakuta; J. Cryst. Growth 93 (1988) 523.

## 第2章 MOVPE による GaAs のホモエピタキシャル成長

### 2.1 はじめに

MOVPE 法 を用いた GaAs のホモエピタキシャル成長は多くの研究がなされている。しかし、成長条件と得られる結晶の特性の関係は成長装置に依存し、使用する成長炉に対して基本的な成長条件を求めておく必要がある。このため、本研究においては、まず GaAs のホモエピタキシャル成長の実験を行った。本章では最も基本となる無添加の GaAs 層の成長の実験結果について述べる。無添加でどの程度の高純度の成長層が得られるか、ということが原料の純度、また成長炉の性能を示す指標ともなる。このことから、成長の基本的性質を求めると同時に、高純度の GaAs 成長層を得ることを目標として実験を行った。

### 2.2 成長

#### 2.2.1 成長系

実験は縦型の反応管の成長系を用いて行った。成長系の概略を図 2.1 に示す。ガスの配管系は 1/4 インチのステンレスパイプを用いており、接合部は溶接またはスエジロックで接続されている。各ガスラインの流量はマスフローコントローラで制御し、バルブはベローシールのエアコントロールバルブを使用している。一部にベローシールの手動バルブも用いているが、これは停電時等に使用するのが目的で、ガスのコントロールはすべてエアコントロールバルブのみで可能である。これらのエアコントロールバルブの開閉、マスフローコントローラの制御は、成長系とは別の制御盤で手動またはプログラムにより行えるが、実験は各成長パラメータを変化させることが多いので、ほとんど手動で行った。反応管には石英の二重管による水冷のコールドウォールの反応管を採用しており、内管の内径が 96 mm である。ペDESTAL は高純度グラファイト (POCO 社製 CZR-2, カタログ上の残留不純物は 5 ppm 以下) を使用し、コーティングは行っていない。ペDESTAL は磁気結合により、回転導入端子を用いることなく外部から回転させることが可能である。このペDESTAL の加熱は 300 KHz の高周波加熱を用いた。

キャリアガスにはパラジウム透過型の純化装置を通した高純度の  $H_2$  を使い、100 Torr の減圧下で成長実験を行った。減圧で成長を行ったのは、少ない  $H_2$  の流量で流速を上げることができること、またこの実験を行った時点では減圧系での GaAs の成長の報告は少なく、新しい結果が得られることを期待したことによる。100 Torr としたのは、低圧にし過ぎると高周波による加熱時にプラズマが発生するため、実際に使用する最大高周波電力でプラズマが発生しな

—X— 手動バルブ

MFC : マスフローコントローラ

—○— エアコントロールバルブ

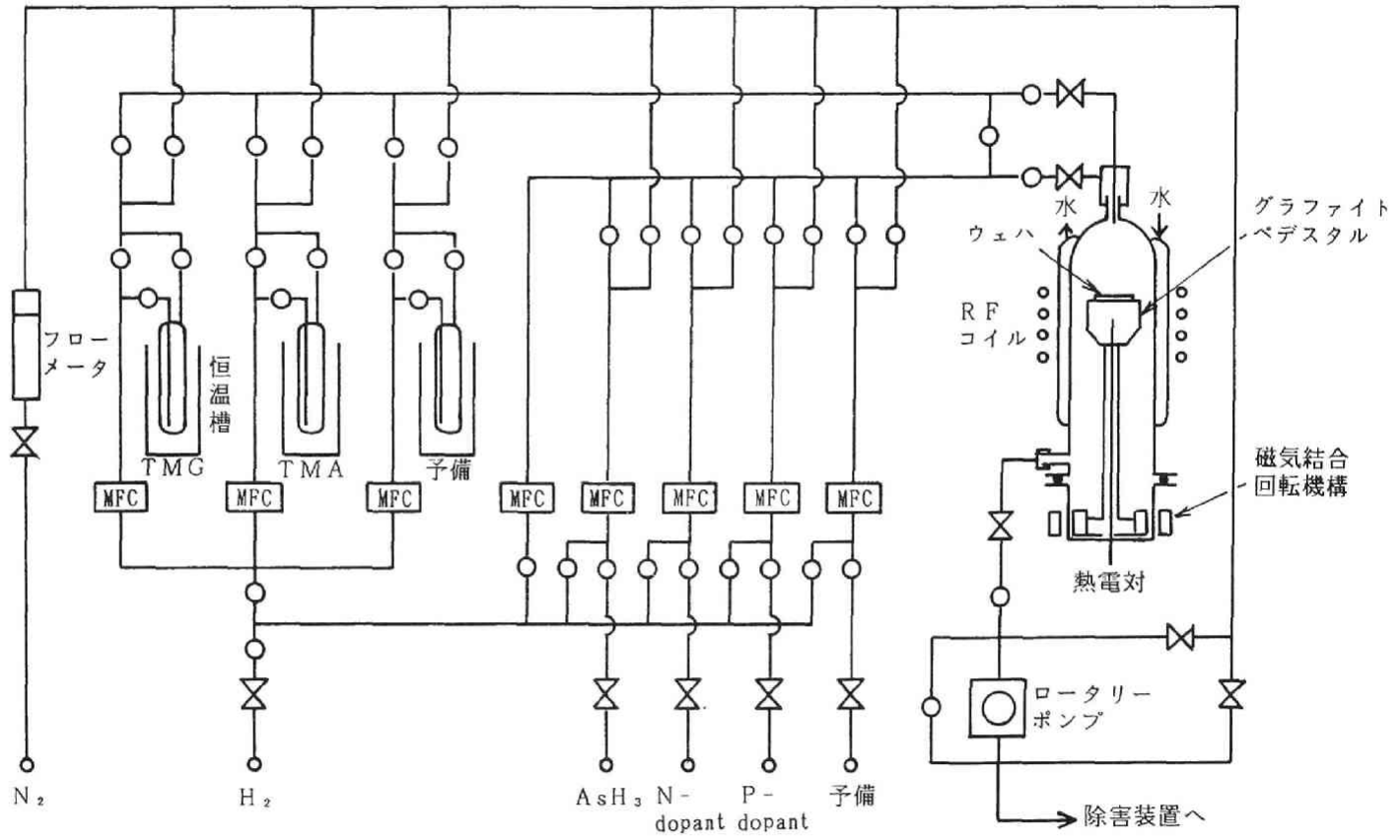


図 2.1 成長系の概略

い圧力として選んだ。

系を一定の圧力に保持するための機構を図 2.2 に示す。成長時に使用するロータリポンプは 250 l/min のものを使用した。このため、反応系を真空に引くための 1 インチ径の配管を使用すると、コンダクタンスが大きすぎて 100 Torr に反応系を保持することは困難であった。そこで、反応管からポンプまでのコンダクタンスをスパイラル状のステンレスパイプによって小さくして、その途中からニードルバルブを通して  $N_2$  を導入することにより、反応管内の圧力を制御した。スパイラルの途中から  $N_2$  を導入することにしたのは  $N_2$  の反応管への逆流を防ぐためである。圧力は反応管を出たところでモニタした。実際の成長時の圧力変動はニードルバルブを調整することにより、 $\pm 1\%$  程度であった。この成長系には配管系に圧力制御機構がないので、各マスフローコントローラの出口から後流は、流量が特に大きくない限り、即ち配管のコンダクタンスによる圧力損失を無視できる範囲で、ほぼ 100 Torr になっていると考えられる。

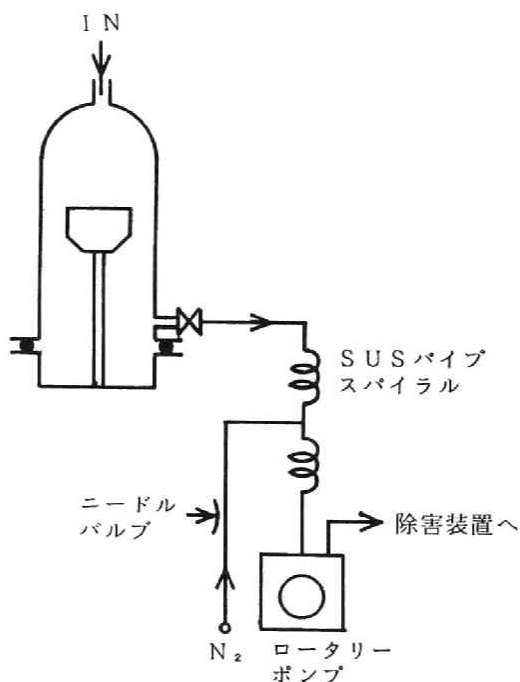


図 2.2 反応系の圧力を一定に保持するための機構

MOVPE で GaAs を成長させる場合、As の原料として非常に危険なガスであるアルシン ( $\text{AsH}_3$ ) を使用する。このため系にリークがあってはならない。また高品質の成長層を得るためにはリークがないことが不可欠である。特に減圧系の場合はリークに対して常圧系よりも注意する必要がある。配管系のリークチェックは  $\text{H}_2$  を用いた 30 PSI の加圧封入放置によって行った。最終的には 24 時間の放置で約 5 % の圧力減少を示したが、 $\text{N}_2$  を用いて同様のチェックを行った場合にはほとんど変動を示さないことから、充分リークフリーであると判断した。反応管の周囲は全体をグローブボックスにして、 $\text{N}_2$  を流しながら基板のセットおよび取り出しができる構造としたが、グローブボックス自体の気密性はない。成長はペDESTALのみを加熱して行うので、排ガスには未反応の  $\text{AsH}_3$  が含まれており、直接大気中へ放出することはできない。このため、排ガスは  $\text{FeCl}_3$ 、その他の酸化性金属塩の混合物の酸化吸着を用いた、乾式の除害装置（日本酸素（株）製）を通して処理した後、出口で  $\text{AsH}_3$  濃度をモニタしながら大気中に放出した。

反応管は、王水洗浄後、数時間以上の脱イオン水による流水洗浄、HF による軽いエッチング、さらに数時間以上の流水洗浄を行い、 $\text{N}_2$  により乾燥させて使用したが、成長ごとに洗浄することは行わず、一度洗浄すると 100 ~ 200 回の成長に対して連続的に使用した。ペDESTALは王水による洗浄後、脱イオン水による流水洗浄、煮沸、超音波洗浄を数回繰り返し、その後 24 時間以上の流水洗浄を行ってから、真空中で 1,000 °C、数時間の空焼きを行って使用した。

成長に用いた原料は TMG と  $\text{AsH}_3$  である。 $\text{AsH}_3$  は当初  $\text{H}_2$  ベース 10 % のものを用いたが、ポンベ交換の頻度が多くなるため、途中から 20 % のものを用いた。初期には鉄製のポンベを用いていたが、後にアルミ製のポンベに変更した。アルミポンベの方がポンベ内の  $\text{AsH}_3$  の残量が少なくなるまで、得られる成長層の膜質の差が少なく、またポンベを交換したことによる成長層の膜質の差も少なかったが、本章で述べる結果は鉄製ポンベを用いて得られた結果である。

表 2.1 に TMG と後に Al の原料として使用したトリメチルアルミニウム ( $\text{Al}(\text{CH}_3)_3$ 、以下 TMA)、および  $\text{AsH}_3$  の性質を示す。また図 2.3 に TMG と TMA の温度に対する蒸気圧を示す。これらの TMG、TMA はステンレス製のバブラに封入されており、 $\text{H}_2$  でバブリングすることにより、その蒸気圧に対応する量を反応管に導入した。

表 2.1 TMG、TMA の性質<sup>11-12)</sup>

	TMG; Ga(CH <sub>3</sub> ) <sub>3</sub>	TMA; Al(CH <sub>3</sub> ) <sub>3</sub>
外 観	無色透明の液体	無色透明の液体
比 重	1.150	0.752
融 点	-15.7 °C	15 °C
反応性	空中で容易に酸化され、自然発火する。 水とは激しく反応し、低級炭化水素ガスを発生する。 AsH <sub>3</sub> 、PH <sub>3</sub> 等と安定な錯体を形成する。	
腐食性	ステンレスに対する腐食性なし	

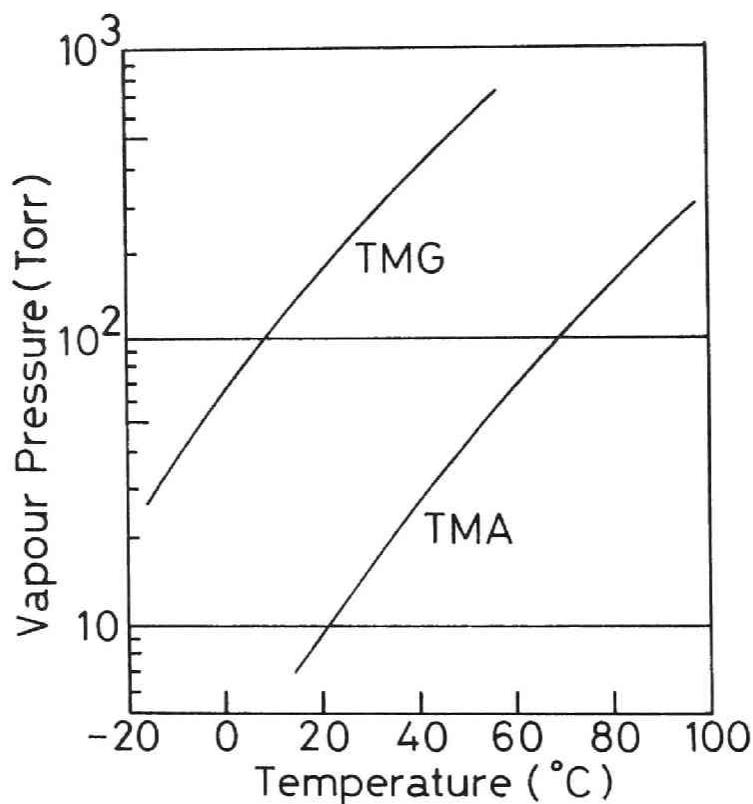


図 2.3 TMG と TMA の蒸気圧<sup>11)</sup>



### 2.2.2 基板処理

用いた基板は Cr-0 を添加した半絶縁性基板であり、(100) から [110] 方向に 2° オフセットを有するもので、片面を鏡面に研磨したものである。これを成長前に以下のような処理を行って使用した。

- ① トリクレン中での煮沸を 2 ～ 3 回行って充分脱脂を行う。
- ② アセトンでトリクレンを置換する。
- ③ メチルアルコールまたはイソプロピルアルコール中で 2 ～ 3 回煮沸した後、濾紙の上で N<sub>2</sub> ブロー、または液中からゆっくり引き上げて蒸気洗浄を行いながら乾燥させる。
- ④ 室温で 4 H<sub>2</sub>O : 1 H<sub>2</sub>O<sub>2</sub> : 1 H<sub>2</sub>O により 1 ～ 2 分間表面をエッチングする。このエッチング液は室温で鏡面エッチングができるが、液の粘度が高いためエッチングむらができやすい。このため、ピーカ内にテフロンでコートされたスタラを入れ、これをピーカの下部から磁気結合で回転させて液を攪拌させながらエッチングを行った。エッチング速度は約 1 μm/min である。
- ⑤ エッチング後、脱イオン水による流水洗浄を約 2 分間行う。
- ⑥ 濾紙の上で N<sub>2</sub> ブローにより乾燥を行う。

以上の処理を成長直前に行い、基板を反応管内にセットした。

### 2.2.3 成長手順

基板を反応管内のペDESTALの上にセットした後、以下の手順で成長を行った。

- ① 反応管の真空引きを充分に行う。当初、真空引きはロータリポンプのみで行っていたが、途中からターボ分子ポンプを使用できるようにした。到達真空度は測定していないが、ポンプの能力から 10<sup>-6</sup> Torr 台であると考えられる。
- ② 真空引きを停止して反応管にキャリアガスの H<sub>2</sub> を導入する。この時 H<sub>2</sub> の全流量は成長時の全流量とほぼ一致させておく。
- ③ 反応系内の圧力が成長時の圧力の 100 Torr 前後になったら、図 2.2 に示したスパイラルを経由するロータリポンプへのバルブを開く。次に圧力調節用の N<sub>2</sub> の導入を行ってニードルバルブの調節により圧力を 100 Torr にする。
- ④ 加熱を開始する。加熱の途中、ペDESTALの温度が 450 °C 前後まで昇温したら AsH<sub>3</sub> の導入を開始する。この AsH<sub>3</sub> は基板の表面で GaAs が分解するのを押さえるのが目的であり、AsH<sub>3</sub> の導入量は 100 Torr 減圧下での分圧として 0.5 Torr 程度で充分であった。
- ⑤ ペDESTALの温度が成長温度まで上昇して安定すると、AsH<sub>3</sub> の流量を設定値にしてから TMG を導入して成長を開始する。

⑥ 設定した成長時間の後、まず TMG の導入を停止し、そのまま約 1 分間系を保持してから高周波加熱電源を切り、冷却を始める。このとき、AsH<sub>3</sub> の流量も昇温時と同様に、0.5 Torr 程度に絞る。成長時間は TMG を導入している時間である。

⑦ ベDESTAL の温度が 450 °C 以下になったら AsH<sub>3</sub> の導入を停止して、H<sub>2</sub> のみを流しながら室温まで降温する。

⑧ 室温まで温度が下がったら、系の圧力を常圧に戻し、ウエハを取り出す。

### 2.3 成長条件と成長速度および成長層の特性

MOVPE による GaAs の成長の基本データを得るために成長条件を変化させて各パラメータに対する成長速度、成長層の特性を調べた。

#### 2.3.1 評価法

成長膜厚は、結晶をへき開して 1 K<sub>3</sub>Fe(CN)<sub>6</sub> : 1 NaOH : 30 H<sub>2</sub>O で 3 ~ 5 秒ステインエッチングを行い、顕微鏡で観察して求めた。また成長層の特性は主に室温と 77 K での電子濃度（または正孔濃度）と移動度、およびノマルスキ干涉顕微鏡で観察した表面モフォロジーによって評価した。電気的特性の評価には van der Pauw 法<sup>1)</sup>を用いた。van der Pauw 法によって、測定する場合、その測定原理から電極を試料の端に形成する必要がある。しかし、へき開によって切り出した 4 角形の試料に理想的な電極を形成することは必ずしも容易ではない。そこで簡便に正確な値を得る方法として、図 2.4 に示すような形状に成長層をエッチングして測定した。この形状はフォトレジストを筆塗

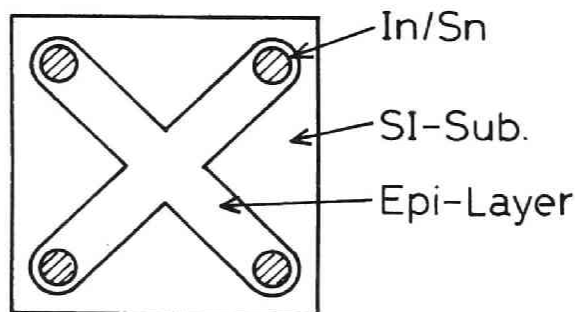


図 2.4 van der Pauw 法による測定に用いた試料の形状

りして、乾燥後エッチングすることで容易に形成することができる。この加工をしないで 4 角形のまま測定すると、同一のウェハの隣合った部分から切り出した試料間で 15 %程度の電子濃度、移動度の差が生じることもあったが、この加工をすることにより再現性の良い測定が可能となった。電極には Sn と In の合金（各 50 %）を用い、これを試料上に置いて N<sub>2</sub> 中で 400 ~ 500 °C に加熱されたホットプレート上で約 1 分間シンターしてオーミック電極を形成した。

van der Pauw 法で電子濃度を求めるとき、特に低濃度で、成長層と基板との界面及び表面からの空乏層の厚みが無視できない程度に膜厚が薄い場合には、測定値から直接計算した値は、これらの空乏層の効果が入ってないために、誤差が大きくなる。このため、成長膜厚からこれらの空乏層の厚さを差し引いた厚さで計算しなければならない。この手順として、まず空乏層を考慮しないで求めた電子濃度を初期値として、この電子濃度のときの空乏層厚を計算する。次に、計算した空乏層厚を実際の膜厚から差し引いた膜厚を用いて測定値からホール係数を求め、このホール係数から電子濃度を計算する。空乏層を考慮に入れないで計算した電子濃度は成長層の実際の値より低い値であり、この電子濃度で計算した空乏層の厚さは実際よりも厚く見積もっているため、この空乏層厚を仮定して求めた電子濃度は実際の値より高くなる。そこでこの 2 つの値の間で電子濃度を変化させて計算を繰り返し、選定した電子濃度とこれから空乏層を計算して求めた電子濃度とが一致したとき、この値をその成長層の電子濃度とした。表面および界面のバリアの高さはそれぞれ Chandra 等が報告している値、0.6 V と 0.75 V を用いた。<sup>2)</sup>

### 2.3.2 成長速度

#### (a) TMG の導入量

MOVPE での成長は反応が非可逆であり、成長速度は原料の輸送律速であると報告されている。<sup>3)</sup> 通常 V/III 比 (V 族の原料と III 族の原料のモル比) は充分大きい条件で成長を行うので、TMG の導入量によって成長速度が決定する。使用した成長炉の基本データの一つとして求めた TMG の導入量に対する成長速度を図 2.5 に示す。TMG のバブラの温度を -4 °C、キャリアガスを含めた反応系への全ガス流量を 1,500 SCCM (Standard Cubic Centimeter per Minute) と一定にし、バブラを流れる H<sub>2</sub> の流量に対してプロットしている。成長温度は 630 °C である。グラフから明らかのように、成長速度は TMG のバブラを流れる H<sub>2</sub> の流量、即ち TMG の導入量に比例している。TMG は比較的蒸気圧が高い(-4 °Cでの蒸気圧は 50 Torr) ため、100 Torr の減圧系で成長を行う時

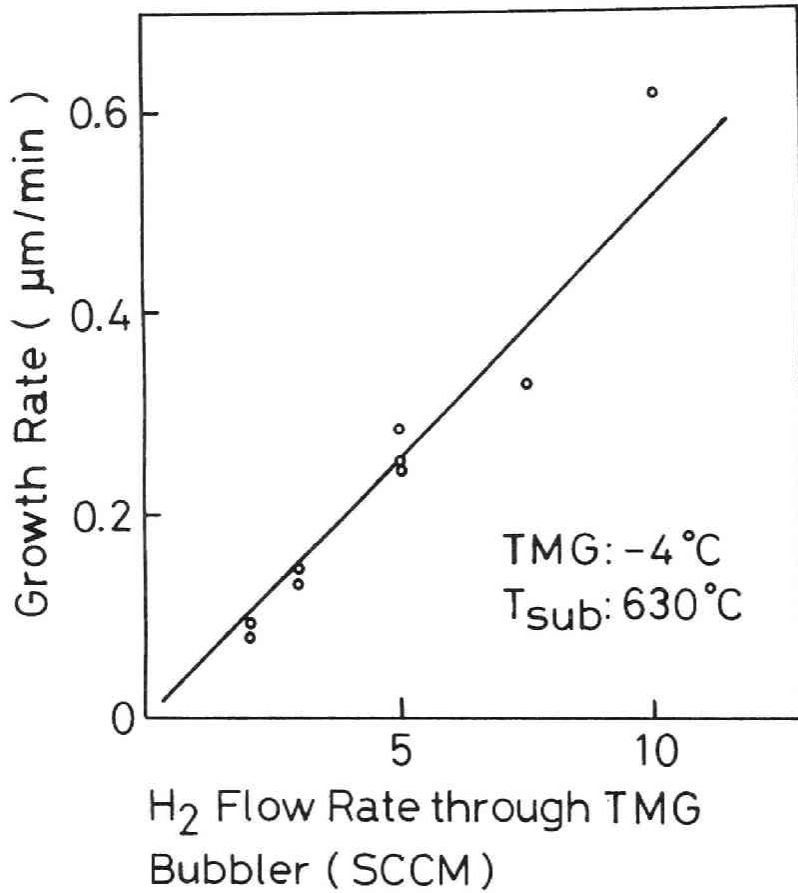


図 2.5 TMG の導入量に対する成長速度 (全流量 : 1,500 SCCM)

の反応管への導入量 X SCCM は、TMG のバブラを流れる H<sub>2</sub> の流量を A SCCM、TMG の蒸気圧を B Torr とすると、

$$X / (A + X) = B / 100 \quad (1-1)$$

より、

$$X = AB / (100 - B) \quad (1-2)$$

となる。

(b) ガスの流速

成長速度は反応管内でのガスの流速によっても変化する。成長速度は基板の上に形成される境界層を拡散して基板表面に達する TMG の量に比例する。境界層中での TMG の濃度分布を直線的と近似すると、成長速度  $r$  は境界層外の TMG の濃度  $N$ 、境界層の厚さ  $d$  に対して

$$r \propto N / d \quad (1-3)$$

となる。境界層の厚さは流速  $v$  に対して

$$d \propto 1 / \sqrt{v} \quad (1-4)$$

となる。<sup>4)</sup>  $v$  は全流量  $u$  に比例するので

$$d \propto 1 / \sqrt{u} \quad (1-5)$$

となる。もし、流速をキャリアガスのみを変化させて制御したとすると、ガス中の TMG の濃度は全流量に反比例するので

$$N \propto 1 / u \quad (1-6)$$

となる。これらの式から、成長速度と全流量の関係は

$$r \propto 1 / \sqrt{u} \quad (1-7)$$

となる。

成長温度、TMG の導入量を一定にして、キャリアガスの流量を変化させた時の成長速度を図 2.6 に示す。実線は実験値、破線は全流量が 3,500 SCCM の時の成長速度として実験値を用いて (1-7) 式から計算した成長速度である。全流量が少ない場合には実験値と計算値の差が大きくなっており、実験値は飽和する傾向を示す。これは、縦型の反応管の場合、全流量が少ないと、境界層の厚さは流量よりも、加熱されたガスの対流によって決定されているためと考えられる。

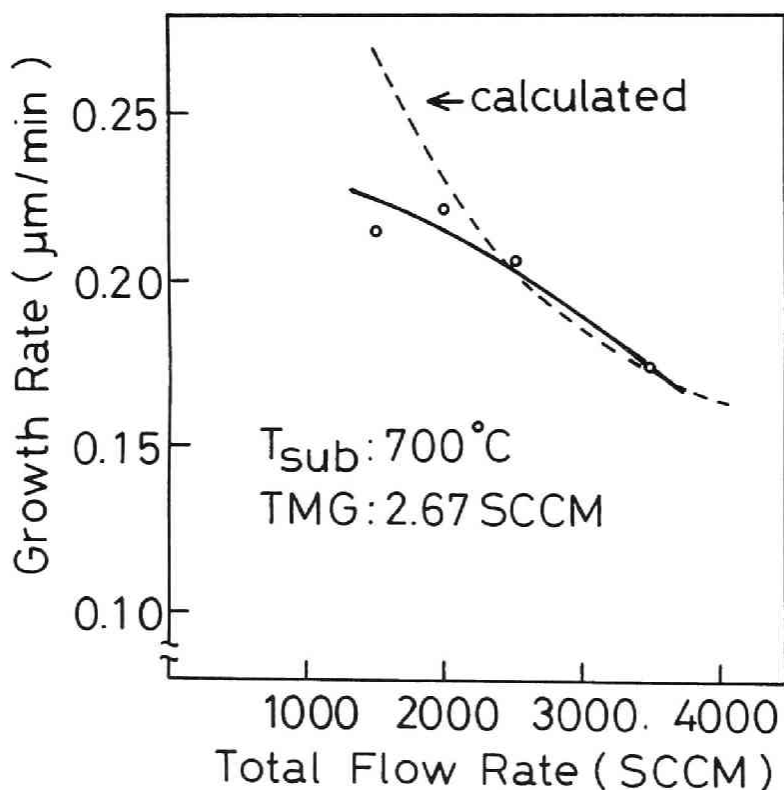


図 2.6 全流量に対する成長速度

(c) 成長温度

MOVPE で GaAs を成長させる場合、成長速度は III 族の原料の輸送律速であり、成長温度にはほとんど依存しない。しかし、低温になると成長速度は反応律速となり、成長温度に大きく依存する。TMG、AsH<sub>3</sub> の導入量、全流量を一定にして成長温度をパラメータにした時の成長速度を図 2.7 に示す。成長量が少ない場合の膜厚の測定は、ステインエッチでは精度がない。このような場合には、Si 基板上に多結晶の GaAs を成長させ、成長層の一部を選択的にエッチングにより除去して、接触式の段差計により段差の測定を行った。成長速度は約 550 °C 以上ではほぼ一定になっているが、それ以下の温度では温度の低下とともに急激に減少し、約 350 °C 以下では全く成長しない。即ち TMG と AsH<sub>3</sub> を原料として用いた場合、550 °C 以上では原料の輸送律速、以下では反応律速によって成長速度が決定されていると考えられる。反応律速の領域の成長速度から求めた活性化エネルギーは約 27 Kcal/mol であり、Reep 等によって横型の常圧炉で得られている値 (19 Kcal/mol)<sup>5)</sup> よりも少し大きい。

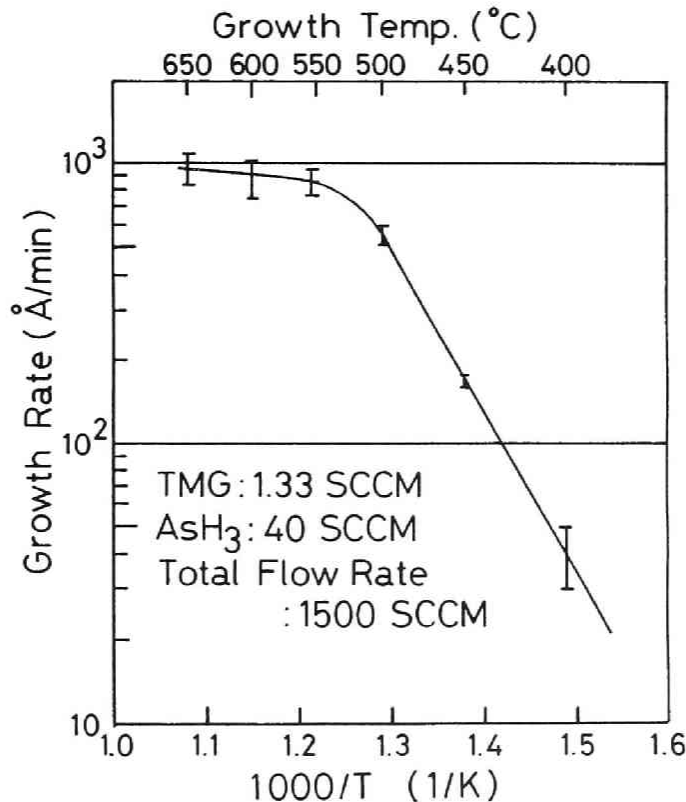


図 2.7 成長温度に対する成長速度

### 2.3.3 成長条件と膜質

#### (a) V/III 比

反応管に導入する  $\text{AsH}_3$  と  $\text{TMG}$  の比 (V/III 比) は成長層の膜質を決定する重要なパラメータであり、V/III 比が小さい場合には p 型、大きくなるに従って高抵抗から n 型の導電性を示していくことが知られている。<sup>6)</sup> 実験に使用した成長炉でも同様の結果を確認した。図 2.8 に  $630^\circ\text{C}$  で成長させた場合の V/III 比に対する正孔濃度と電子濃度の結果を示す。TMG のバブラの温度は一定 ( $-8.4^\circ\text{C}$ ) であるが、バブラに流す  $\text{H}_2$  の流量は  $2 \sim 4$  SCCM、全流量は  $1,000 \sim 1,500$  SCCM、また、成長層の膜厚も  $3 \sim 8 \mu\text{m}$  と異なった条件の成長層の結果を示す。バラツキは見られるが V/III 比が増加するにつれて、p 型から高抵抗、そして n 型の電気的特性を示している。

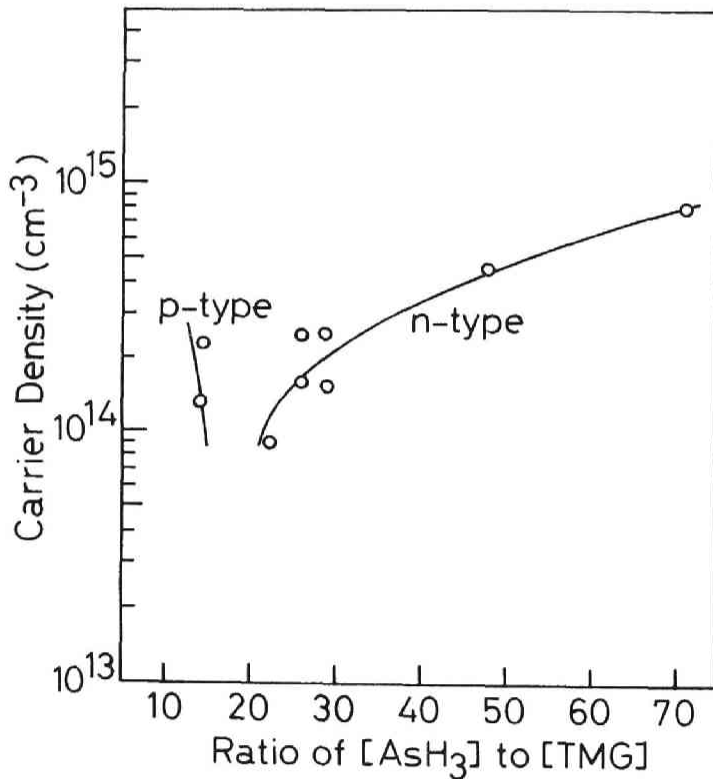


図 2.8 V/III 比に対する正孔濃度と電子濃度 (成長温度:  $630^\circ\text{C}$ )



以後、n 型の成長層が得られる領域を中心に成長実験を行った。その結果、同一の原料を用いて、成長温度、全流量を一定にしても、成長層の特性は V/III 比のみでは一意的に決定しないことが明らかになった。

このことをさらに詳しく調べるために、 $\text{AsH}_3$  の導入量を一定にして TMG の導入量を変化させた場合と、逆に、TMG の導入量を一定にして  $\text{AsH}_3$  の導入量を変化させた場合の、V/III 比に対する成長層の電子濃度を測定した。結果を図 2.9 に示す。いずれの場合も V/III 比を増加するに従って電子濃度が増加する傾向を示すが、 $\text{AsH}_3$  流量を一定にした場合の方が傾きが緩やかである。

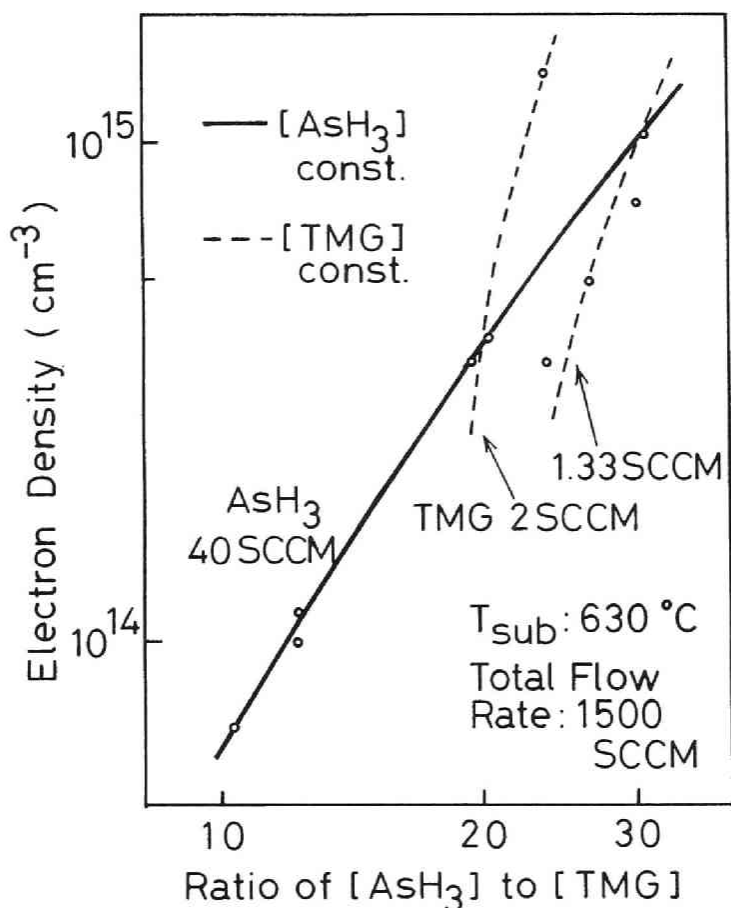


図 2.9 TMG の導入量が異なる場合の V/III 比に対する電子濃度

これは、成長層の電子濃度が V/III 比のみでなく  $\text{AsH}_3$  の分圧の絶対値に関係することを示している。 $\text{H}_2\text{Se}$  を用いて Se を添加すると、V/III 比を増加するに従って電子濃度が減少することが報告されているが、<sup>7)</sup> これは V/III 比が大きいほど As の空孔ができにくく、従って、As の格子点への Se の取り込みが少なくなるためと考えられる。これは、他の VI 族の元素に対しても同様であると考えられる。同様に II 族の元素は V/III 比が大きいほど Ga の空孔ができやすく、結晶中に取り込まれやすくなって、電子濃度は減少するはずである。しかし、実験の結果はそれとは逆の傾向を示しており、II 族または VI 族の元素よりも IV 族の元素がキャリア生成の不純物となっていると考えられる。これらは TMG のメチル基から取り込まれる C、また TMG、 $\text{AsH}_3$  に含まれる Si であろう。<sup>6) 8)</sup> C は主にアクセプタとして、Si は主にドナとして働くが、これらの結晶中への取り込まれ方が結晶表面での As 圧に依存していると考えられる。As 圧が増加するに従って C の取り込まれる量が減少するか、Si の取り込まれる量が増加するか、またはその両方であろう。図 2.10 に図 2.8 に示した試料の V/III 比に対する 77 K での電子移動度を示す。V/III 比が増加するに従って、移動度は減少する傾向を示している。このことはイオン化した全不純物濃度が増加することを示しており、電子濃度が V/III 比の増加に伴って増加することと考え合わせると、特に Si の取り込まれる絶対量が V/III 比及び As 圧の増減に対して増減すると考えられる。

#### (b) 成長温度

全流量を 1,500 SCCM、V/III 比を 12 と一定にして、成長温度のみを変化させて成長させた GaAs 層の、77 K での電子濃度と移動度を図 2.11 に示す。高温になるに従って、電子濃度は増加し、移動度は減少する傾向を示す。しかし、低温側では 620 °C 程度以下になると電子濃度は低くなるにもかかわらず、移動度が急激に低くなる。この実験を行った温度範囲では、成長速度は TMG の導入量が一定である場合にはほとんど変化しないので、低温側で電子移動度が低くなるのは、成長表面で原子が充分マイグレーションできないために結晶性が劣化してくるためと考えられる。また、高温側で電子濃度が増加し、移動度が減少するのは、高温になるに従って  $\text{AsH}_3$  の分解される割合が多くなり、等価的に V/III 比を増加したことになるためと考えられる。

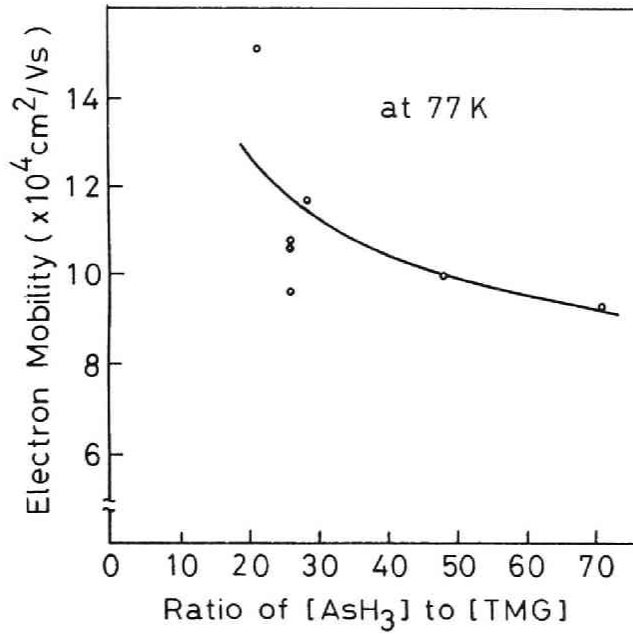


図 2.10 V/III 比に対する 77 K での電子移動度 (図 2.8 と同一試料)

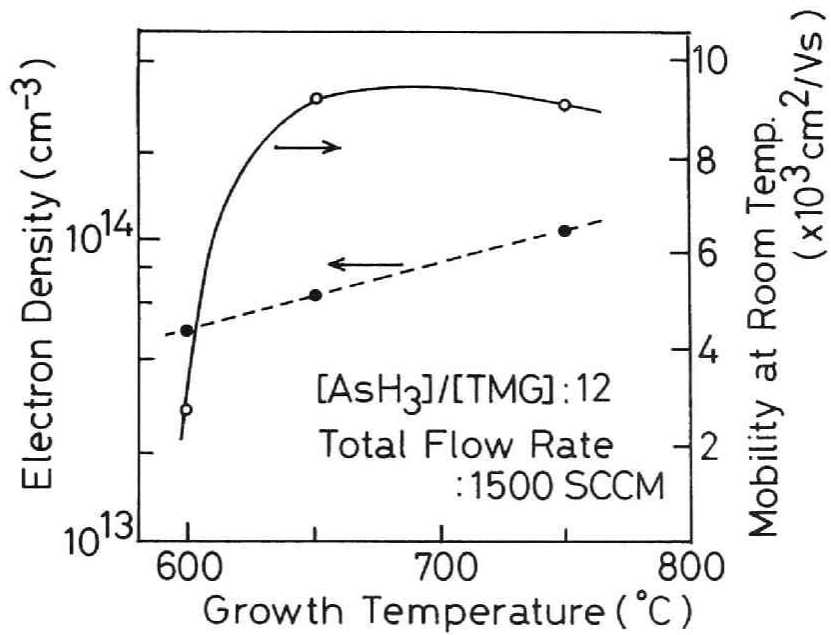


図 2.11 成長温度に対する電子濃度と 77 K での電子移動度

(c) 全流量

他の成長条件を一定にして、キャリアガスの  $H_2$  のみを変化させて成長させた場合の GaAs 層について、イオン化した不純物濃度を求めた。計算法は 77 K の電子濃度と移動度から求めるもので、Wolfe 等が報告している方法<sup>9)</sup>を用いた。これはイオン化した不純物による散乱にたいする Brooks - Herring の電子移動度の式

$$\mu = \frac{3.28 \times 10^{15} (m/m^*)^{1/2} \epsilon^2 T^{3/2}}{(2N_A + n) \{\ln(b + 1) - [b / (b + 1)]\}} \quad (\text{cm}^2/\text{Vs}) \quad (1-8)$$

から求める。ここで

$$b = [1.29 \times 10^{14} (m^*/m) \epsilon T^2] / n^* \quad (1-9)$$

$$n^* = n + [(n + N_A)(N_D - N_A - n) / N_D] \quad (\text{cm}^{-3}) \quad (1-10)$$

$\mu$  : 移動度、  $m$  : 電子の質量、  $m^*$  : 電子の有効質量、  $m^*/m = 0.072$   
 $n$  : 電子濃度、  $\epsilon$  : GaAs の比誘電率 (= 12.5)、  $T$  : 絶対温度  
 $N_A$  : イオン化したアクセプタ不純物、  $N_D$  : イオン化したドナ不純物

である。

77 K で

$$n_{77\text{K}} = N_D - N_A \quad (1-11)$$

が近似的に成立しているとする、(1-10) 式は

$$n^* = n_{77\text{K}} = N_D - N_A \quad (1-12)$$

となる。(1-12) 式を (1-8) 式に代入することにより、

$$N_D + N_A = \frac{3.28 \times 10^{15} (m/m^*)^{1/2} \epsilon^2 T^{3/2}}{\mu_{77\text{K}} \{\ln(b + 1) - [b/(b + 1)]\}} \quad (\text{cm}^{-3}) \quad (1-13)$$

ここで

$$b = 6.88 \times 10^{17}/n^* = 6.88 \times 10^{17}/n_{77K} \quad (1-14)$$

となり、 $b \gg 1$  の場合には (1-13) 式は

$$\begin{aligned} N_D + N_A &= \frac{3.28 \times 10^{15} (\text{m/m}^*)^{1/2} \varepsilon^2 T^{3/2}}{\mu_{77K} (\ln b - 1)} \quad (\text{cm}^{-3}) \\ &= \frac{1.29 \times 10^{21}}{\mu_{77K} \{ \ln (6.88 \times 10^{17}/n_{77K}) - 1 \}} \quad (\text{cm}^{-3}) \quad (1-15) \end{aligned}$$

と簡単な式となり、(1-15) 式により、77 K での電子濃度と電子移動度からイオン化した不純物濃度  $N_D + N_A$  が求まる。

成長温度 630 °C で、全流量を変化させて成長させた試料について、この方法によって求めたイオン化した不純物濃度、電子濃度、移動度を図 2.12 に示す。全流量が増加するに従って移動度はわずかに増加し、 $N_D + N_A$  は減少する傾向を示している。この場合、V/III 比は一定であるので、 $\text{H}_2$  の流量を増加するに従って  $\text{AsH}_3$  の分圧の絶対値が減少したためと考えられる。流量を増加させていくと、電子濃度が一旦増加している理由は明らかでないが、これは他の成長条件の僅かな差によるものであろう。

#### 2.3.4 成長層のモフォロジー

600 ~ 750 °C の広い温度範囲で成長させた GaAs 層の表面は肉眼で見える限り鏡面であった。V/III 比が低い場合には表面が荒れてくるという常圧系での報告もあるが、<sup>8)</sup> 実験では p 型の成長層が得られる低い V/III 比で成長させても特に表面が荒れるということは観測されなかった。そこで、V/III 比は電子濃度として  $10^{14}/\text{cm}^3$  以下の高抵抗層が得られる成長条件で、成長温度をパラメータとして、表面の defect の観察を行った。成長温度を変化させたときの結晶表面の顕微鏡写真を図 2.13 に示す。630 °C 程度以下の低温で成長させると (a) に示すような舟型の defect が観察されるが、温度を上げていくに従ってこの舟型の defect は消えて、(b) に示すような貝型の defect が見られるようになる。さらに 700 °C 前後の成長温度になると、成長前に基板表面に付着した異物が核になっているものを除いて、ほとんど defect のない (c)

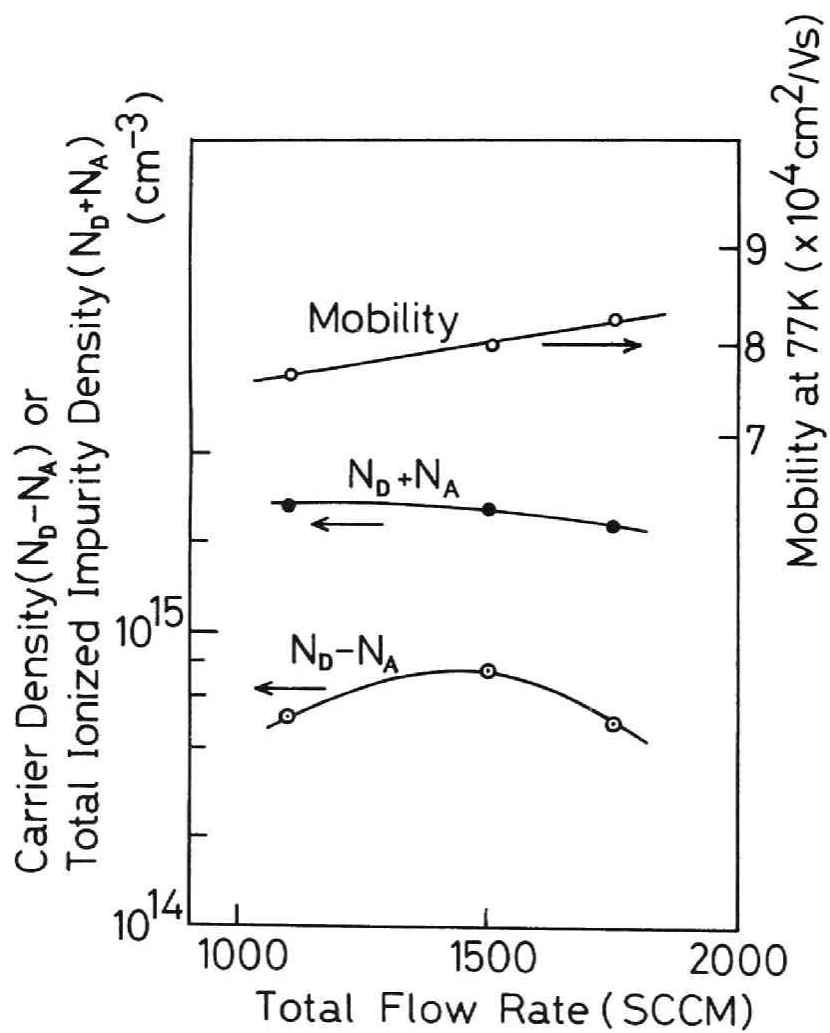


図 2.12 全流量に対する不純物濃度と 77 K での電子濃度と電子移動度  
(成長温度: 630 °C)

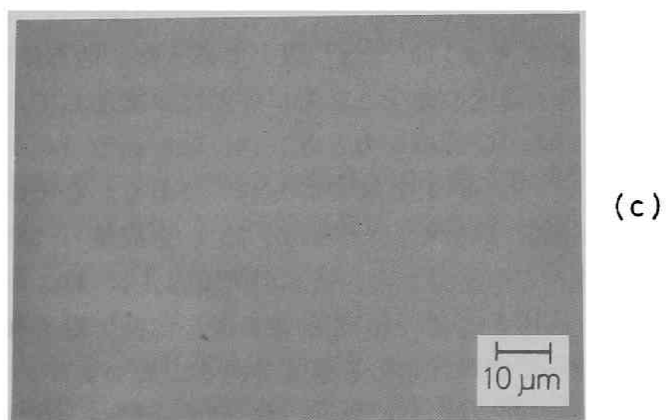
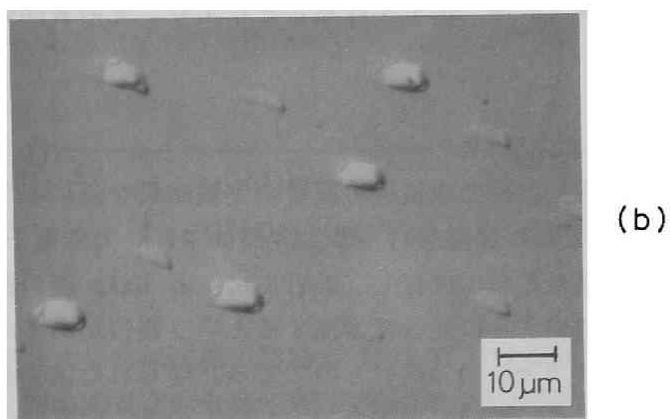
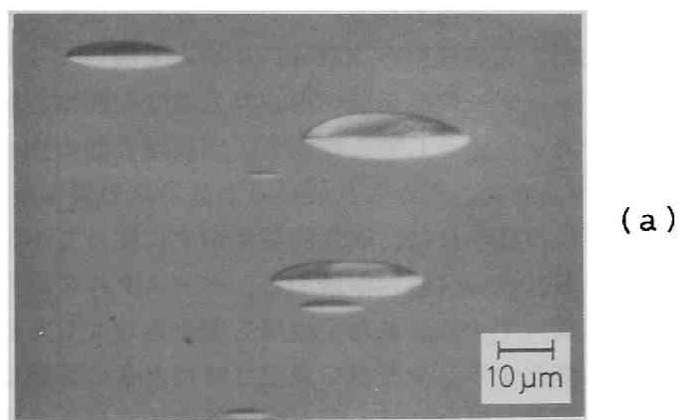


図 2.13 成長層の表面写真 (a) 成長温度 630 °C (b) 成長温度 660 °C  
(c) 成長温度 700 °C

に示すようなモフォロジーが得られる。しかし、さらに温度を上げていくと浅いピットが観察された。この貝型の defect が消えて浅いピットが現れるまでの、最も良好なモフォロジーの成長層が得られる温度範囲は、用いた成長炉では 680 ~ 710 °C であった。そしてこの場合、成長層表面の defect の密度は 50/cm<sup>2</sup> 以下の値が得られた。しかし、成長ごとに形状の異なった基板を用いて、連続して成長を行う場合には、成長回数が増すに従ってペDESTAL の表面に付着する GaAs の多結晶の付着量が増加し、ペDESTAL の温度を一定にしても、基板の温度は異なってくる。また全流量を変化させてもその冷却効果の差により基板の温度は変化する。全流量を変化させたときの実験は行っていないが、基板の形状が不規則な場合には、同じ成長条件で成長させても、defect の形状が徐々に低温側のそれに変化することを観察した。このような場合には、ペDESTAL の温度を 10 ~ 20 °C 上げることにより、元の表面の成長層が得られた。

#### 2.4 高純度 GaAs の成長

前節で述べた成長条件と成長層の膜質の実験結果を基にして、高純度の GaAs の成長を目的とした実験を行った。評価は 77 K での電子移動度によった。移動度は成長層の膜厚に依存し、MOVPE による GaAs 層の例では、20 μm 程度までは膜厚が増加するに従って増加するという報告があるが、<sup>8)</sup> 評価に用いた成長層の膜厚は 5 ~ 10 μm のものである。得られた電子濃度と移動度の結果を図 2.14 に示す。図の中で黒丸で示したものと、白丸で示したものは TMG のロットが異なっている。一方は電子濃度が低くなっても移動度が増加せず、イオン化した全不純物濃度が高いことを示している。(1-15) 式によって求めた  $N_D + N_A$  は  $2.3 \times 10^{15}/\text{cm}^3$  以上であった。他方は電子濃度が  $10^{14}/\text{cm}^3$  程度まで電子濃度の減少とともに移動度が増加しており、最高値として、電子濃度が  $9 \times 10^{13}/\text{cm}^3$  のとき、 $151,000 \text{ cm}^2/\text{Vs}$  が得られた。この値から求めた  $N_D + N_A$  は  $1.1 \times 10^{15}/\text{cm}^3$  である。この成長層が得られた成長条件は、成長温度 640 °C、V/III 比 23、全流量 1,500 SCCM で成長膜厚は 8 μm である。この結果から、結晶の純度は主に TMG の純度によっていることが分かる。高移動度は 640 °C 前後の成長温度で得られたが、この温度は舟型の表面 defect が現れ始める温度である。モフォロジーの最もよくなる 700 °C 前後の成長温度では  $100,000 \sim 120,000 \text{ cm}^2/\text{Vs}$  の移動度の成長層が得られた。これらの値は他の成長法によるものと比較しても遜色なく、実用上充分高純度の結晶である。



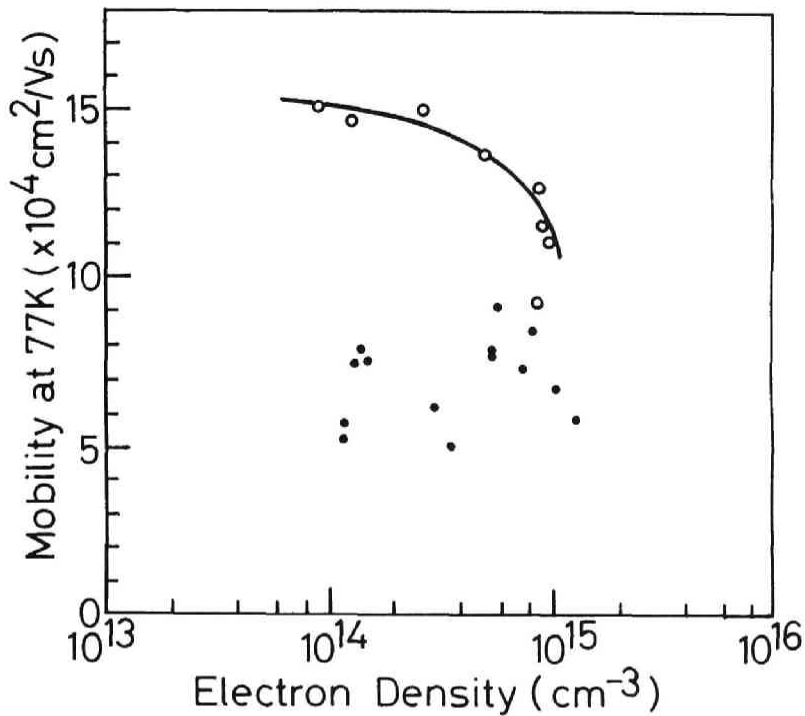


図 2.14 成長させた無添加の結晶の 77 K における電子濃度と電子移動度  
 (図の黒丸と白丸は TMG の製造ロットが異なる。移動度の最高値  
 は  $151,000 \text{ cm}^2/\text{Vs}$ 、この場合の成長条件は、成長温度：640 °C、  
 V/III 比：23、全流量：1,500 SCCM)

この高純度でモフォロジーのよい結晶が得られる成長条件から V /III 比を小さくしていくと、p 型になる前に高抵抗の成長層が得られる領域がある。Cr-O を添加した半絶縁性 HB (Horizontal Bridgman) 基板上に高抵抗層を成長させたウェハは、イオン注入による MESFET を用いる GaAs IC 用の基板として低転位密度であり、良好な面内均一性、再現性を示した。2 インチウェハに製作したゲート長  $1 \mu\text{m}$ 、ゲート幅  $10 \mu\text{m}$  の FET のしきい電圧 ( $V_t$ ) のバラツキはウェハ全面で標準偏差  $18.5 \text{ mV}$  が得られている。<sup>10)</sup> この値は IC 用基板として充分使用できることを示している。

## 2.5 まとめ

TMG と AsH<sub>3</sub> を原料として用いた MOVPE による GaAs のエピタキシャル成長において、100 Torr の減圧系で成長実験を行い、各成長パラメータの成長層の膜質に対する基本的な特性を調べた。MOVPE は各成長パラメータを独立に制御できるが、本章で述べた実験により、各々のパラメータの成長層への影響が明らかになった。またこれらのデータを基にして高純度 GaAs 層の成長実験を行い、77 K での電子移動度が 151,000 cm<sup>2</sup>/Vs (電子濃度: 3 × 10<sup>13</sup>/cm<sup>3</sup>) の高純度層を得た。この移動度の値は他の成長法と比較しても遜色なく、MOVPE はその制御性の良さ、混晶系への展開の容易さ、装置の大型化による多数枚処理の容易さなどから、優れた成長法であると言える。

### (参考文献)

- 1) L. J. van der Pauw; Philips Res. Report 13 (1958) 1.
- 2) A. Chandra, C. E. C. Wood, D. W. Woodard, and L. F. Eastman; Solid-State Electronics 22 (1979) 645.
- 3) 関保夫; 応用物理 第 48 卷 (1979) 460.
- 4) 谷一郎; "流れ学" 第 3 版 岩波書店 (1967) p. 113.
- 5) D. H. Reep, and S. K. Chandhi; J. Electrochem. Soc. 130 (1983) 675.
- 6) T. Nakanishi, T. Udagawa, A. Tanaka, and K. Kamai; J. Cryst. Growth 55 (1981) 255.
- 7) Y. Mori, and N. Watanabe; J. Appl. Phys. 52 (1981) 2792.
- 8) P. D. Dapkus, H. M. Manasevit, and K. L. Hess; J. Cryst. Growth 55 (1981) 10.
- 9) C. M. Wolfe, G. E. Stillman, and J. O. Dimmock; J. Appl. Phys. 41 (1970) 504.
- 10) Y. Sano, H. Nakamura, M. Akiyama, T. Egawa, T. Ishida, and K. Kaminishi; Jpn. J. Appl. Phys. 23 (1984) L290.
- 11) 住友化学工業(株)カタログ (半導体用有機金属)
- 12) (株)トリケミカル研究所カタログ (半導体用有機金属)

### 第3章 Ge 基板上への GaAs の成長

#### 3.1 はじめに

Ge の格子定数 (5.658 Å) は GaAs の格子定数 (5.654 Å) と近く、また、熱膨張係数も Ge が  $5.75 \times 10^{-6}$ 、GaAs が  $5.8 \times 10^{-6}$  と近いために、<sup>1)</sup> Ge 基板上への GaAs のエピタキシャル成長の研究は比較的早くから行われている。<sup>2)</sup> また、Ge 基板上に成長させた GaAs 層へのデバイスの試作についても報告されている。<sup>3-4)</sup> 近年では Ge 層が Si 基板上に GaAs を成長させるためのバッファ層として使用され、発光ダイオード、<sup>5-6)</sup> レーザダイオード、<sup>7)</sup> 太陽電池、<sup>8)</sup> FET<sup>9)</sup> 等を試作した例が報告されている。本章では、Si 基板上に GaAs を成長させる場合のバッファ層として Ge 層を使用することを想定して行った、Ge 基板上への GaAs 層の成長について述べる。

Ge 基板上に GaAs を成長させる場合、格子不整合の問題はない。しかし、無極性の結晶上への有極性結晶 (polar on nonpolar) の成長のために、(100) の Ge 基板上には antiphase domain 構造の成長層が得られやすいという問題がある。<sup>10)</sup> 即ち、ダイヤモンド型結晶である Ge の上に閃亜鉛鉱型結晶の GaAs を成長させると、例えば As 原子から成長した場合、Ge の 2 つの sublattice のどちらの上に成長するかによって GaAs の結晶の方位は異なる。Ge 基板の (100) 面の場合、実際の表面はステップを有しており、2 つの sublattice で構成されていて、その上に成長した GaAs は図 3.1 に示すように、(100) 面内で互いに 90° 回転した 2 種類の方位を有する結晶 (antiphase domain) によって構成される。

本章で述べる実験は、(100) 面の Ge 基板上に結晶方位のそろった single domain の GaAs 成長層を成長させる試みとして、行ったものである。その結果、GaAs/AlGaAs 交互層を中間層として Ge 基板との間に介することにより、single domain の GaAs 層が得られることを見いだした。後になって、次章で述べる Si 基板上に GaAs を直接に成長させる方法として開発した 2 段階成長法の成長機構との関連で、この中間層について追試を行った。その結果、中間層は AlGaAs 層が 1 層のみでよいこと、また、2 段階成長法を用いると、Ge 基板上にも single domain の GaAs 層が容易に成長すること等が明らかになった。このことにより、初期の実験結果は一部訂正しなければならなくなったが、本章で述べる実験結果は IV 族半導体結晶の (100) 面上にも適当な中間層を介することにより、single domain の GaAs が成長することを確認したもので、Si 基板上への GaAs の直接成長に進むステップとなった。

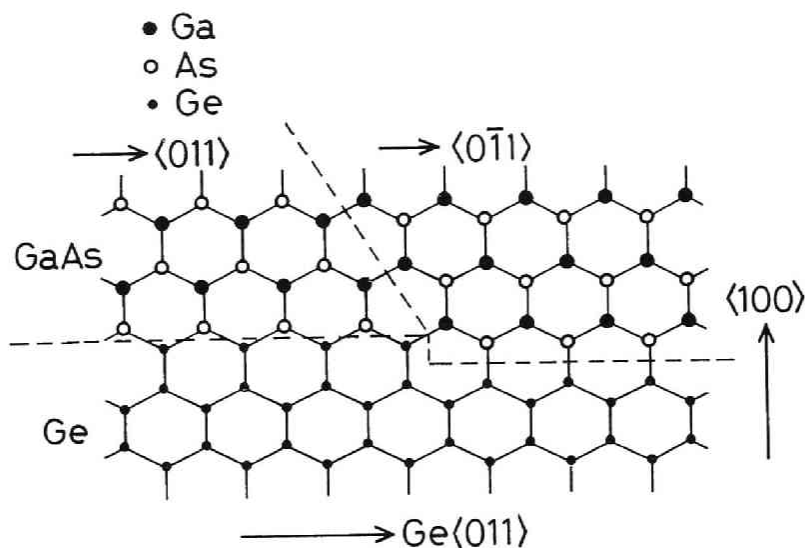


図 3.1 Ge(100) 基板の表面にステップ (1 原子層の高さ) があつた場合の GaAs の成長

### 3.2 成長

成長は、第 2 章で述べた縦型の反応系を用い、100 Torr の減圧下で行つた。用いた Ge 基板は  $\langle 100 \rangle$ 、及び  $\langle 100 \rangle$  から  $[011]$  方向へ  $2^\circ$  オフセットを有するという仕様で購入したものである。しかし、実験の結果はこの 2 種類の基板の間に有意差は見いだせなかつたので、以下特に区別はしない。

Ge 基板は機械的に研磨したものを購入して、まずトリクレン、アセトン、アルコールによる有機洗浄を充分行つた。その後、 $4\text{HNO}_3 + 1\text{HF}$  を用いて室温でエッチング (2 分間)、水洗を行い、 $\text{N}_2$  ブローによる乾燥後、反応管にセットした。また比較のため、半絶縁性の GaAs 基板も同時にセットして成長を行つた。基板のエッチングは、成長実験に先だち、CP1 ( $1\text{HNO}_3 + 1\text{HF} + 2\text{CH}_3\text{COOH} + \text{I}_2$ )、CP4 ( $5\text{HNO}_3 + 3\text{HF} + 3\text{CH}_3\text{COOH} + \text{Br}_2$ )、superoxol ( $1\text{HF} + 1\text{H}_2\text{O}_2 + 4\text{H}_2\text{O}$ )、及び  $\text{HNO}_3 + \text{HF}$  の  $\text{HNO}_3$  と  $\text{HF}$  の割合を変化させた液でエッチング実験を行つた。<sup>11)</sup> この結果、 $4\text{HNO}_3 + 1\text{HF}$  を用いて液を攪拌しながらエッチングを行うと比較的容易に鏡面が得られることからこれを使用した。成長条件は全流量 1,500 ~ 2,000 SCCM、V/III 比 15 ~ 30 であり、高純度の GaAs 成長層が得られる条件である。成長速度は 1,000 ~ 1,500 Å/min の範囲で変化させた。

### 3.3 GaAs 成長層の膜質

#### 3.3.1 直接成長させた場合

Ge の (100) 面上に GaAs を成長させると、MBE を用いて成長させた場合の反射高エネルギー電子線回折 (RHEED) による観察では、1 ~ 2 原子層成長させただけでスポットパターンになり 3 次元的な核成長をすることが報告されている。<sup>12-13)</sup> MOVPE の場合も同様と考えられるが、600 ~ 700 °C で直接成長させると、膜厚が 1  $\mu\text{m}$  程度以下の場合には比較的鏡面に近い成長層が得られる。しかし成長膜厚が増加するにしたがって表面が白濁してくる。図 3.2 に V/III 比を 15 とし、640 °C で 4  $\mu\text{m}$  成長させた GaAs 層の表面写真を示す。同時に成長させた GaAs 基板には鏡面の成長層が得られているので、これは成長条件によるものではない。このような白濁した成長層を溶融 KOH でエッチングしたときのエッチピットパターンを図 3.3 に示す。エッチピットがつながってできた溝によって微小領域に分かれており、その微小領域内ではエッチピットがすべて同じ方向を向き、溝を隔てた隣の領域ではエッチピットが 90° 異なった方向を向いている。このことから成長層が antiphase domain 構造であることが分かる。

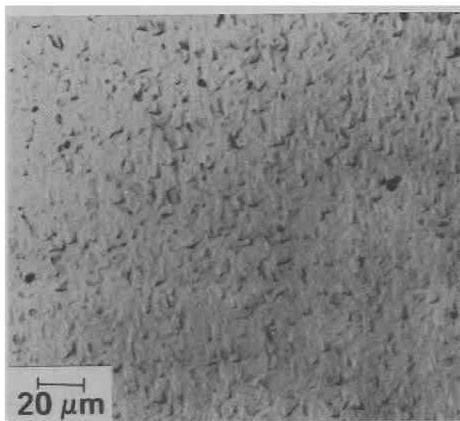


図 3.2 Ge(100) 基板上に直接 GaAs を 4  $\mu\text{m}$  成長させた場合の表面  
(成長温度: 640 °C)

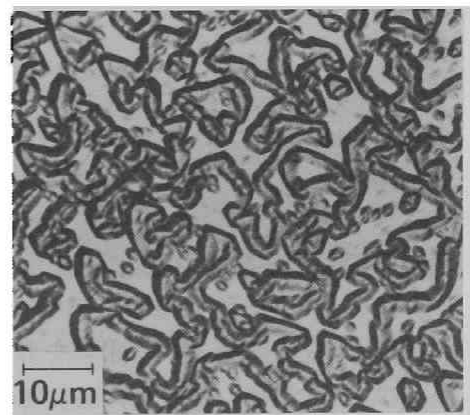


図 3.3 図 3.2 の試料の溶融 KOH によるエッチピットパターン

### 3.3.2 GaAs/AlGaAs 中間層の導入

Ge 基板の上に、ホモエピタキシーの場合と同様の条件で直接成長させた GaAs 層は antiphase domain 構造であることから、single domain の成長層を得るための試みとして、基板と GaAs 成長層の間に、中間層を導入する実験を行った。中間層として、まず、容易に成長できる Al を含む層を取り上げたが、その結果、GaAs と  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  ( $x = 0.15$ ) を約  $500 \text{ \AA}$  ずつ交互にそれぞれ 6 層成長させた場合に鏡面の GaAs 層を得ることができた。この時の成長条件は温度  $640 \text{ }^\circ\text{C}$ 、V/III 比は GaAs の成長に対して 15 であり、AlGaAs は TMA を加えることで成長させた。この中間層を介して成長させた GaAs 層の表面の顕微鏡写真を図 3.4 に示す。また熔融 KOH でエッチングした時のエッチピットパターンを図 3.5 に示す。エッチピットはすべて同じ方向を向いており、single domain の成長層が得られていることを示している。この中間層に対して GaAs と AlGaAs の交互層の構成、成長条件を変化させてその効果を調べた。

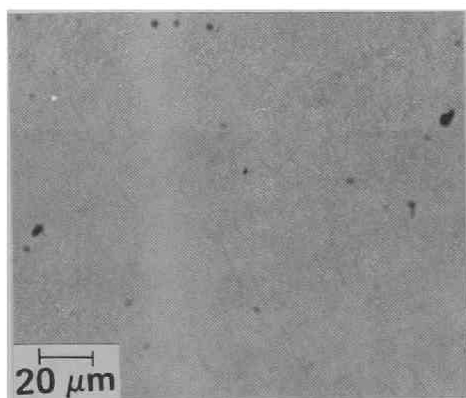


図 3.4 GaAs/AlGaAs 中間層を介して Ge 基板の上に成長させた GaAs の表面  
(成長温度:  $640 \text{ }^\circ\text{C}$ )

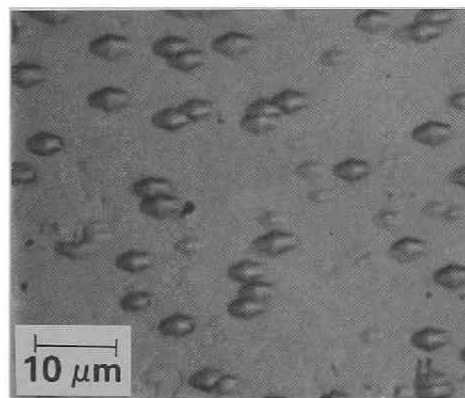


図 3.5 図 3.4 の試料の熔融 KOH によるエッチピットパターン

### (a) 成長温度

まず、成長温度に対して GaAs 成長層の domain 構造を調べた。結果は、600 ~ 700 °C の範囲で、single domain の比較的良好なモフォロジーの成長層が得られた。成長温度が 600 °C よりも低い場合には、GaAs/AlGaAs の中間層を介しても antiphase domain 構造の成長層が得られた。その表面の顕微鏡写真を図 3.6 に示す。成長温度は高い方が single domain になり易い傾向を示したが、750 °C 前後の高温になると、表面にピットが多くなり、モフォロジーは劣化した。この実験結果から、以後の成長は 640 °C 前後で行った。

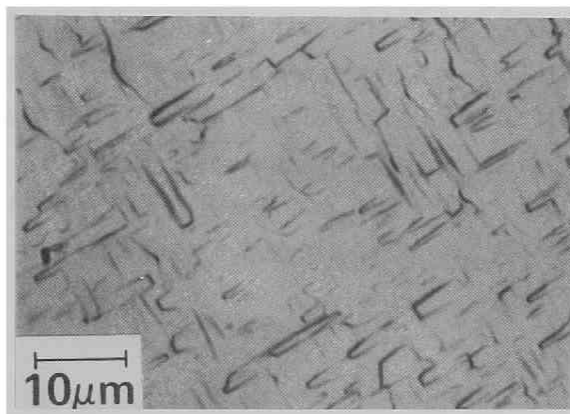


図 3.6 成長温度が低い場合 (600 °C 以下) の成長層の表面

### (b) 交互に成長させた GaAs/AlGaAs の層数

GaAs と AlGaAs (反応管に導入した TMA の量は TMG の約 40 %) 交互層の、最初の GaAs を約 300 Å、その上の各層を約 500 Å としてそれぞれ 4 層から 17 層まで変化させて中間層としたが、すべて single domain の成長層が得られ、有意差は見いだせなかった。そこで、さらに層数を減らして成長を行った結果、GaAs 層、AlGaAs 層がそれぞれ 1 層あればよいことが分かった。しかし、数層以上交互に成長させた方がその上の GaAs 層のモフォロジーは改善される傾向を示した。

### (c) AlGaAs 層の Al の量

中間層の AlGaAs 層の Al の量を反応管に導入する TMA の量として  $[TMA] / \{ [TMG] + [TMA] \}$  の値を 0.15、0.3、0.5、1 と変化させて成長を行っ

た。GaAs 層と AlGaAs 層の層数はそれぞれ 5 層である。この結果、上記の比が 1 の場合、即ち GaAs と AlAs で中間層を構成した場合を除き、single domain の成長層が得られた。

#### (d) 最初に成長させる層

Ge 基板上に最初に成長させる層として、GaAs、AlAs、AlGaAs について実験を行った。結果として、最初に GaAs を 100 ~ 300 Å 成長させた場合に良好な結果が得られた。GaAs の膜厚は、TMG のバブラの弁を開けてから、次の AlGaAs 層を成長させるために TMA のバブラの弁を開くまでの時間と、成長速度から換算して求めた。最初に AlAs を成長させた場合には表面が完全に白濁した GaAs 層が得られ、また AlGaAs を成長させた場合にも中間層の効果は認められず、表面の白濁した GaAs 層が成長した。第 1 層目の GaAs 層の膜厚が厚すぎる場合には、その上に AlGaAs 層を成長させても中間層としての効果はなく、antiphase domain 構造の GaAs 層が成長した。しかし、第 1 層目の GaAs 層の膜厚が 100 ~ 300 Å であると、その上の AlGaAs 層は、実験を行った膜厚の範囲 (数 10 Å ~ 3,000 Å) で、その上に single domain の GaAs 層が成長した。

### 3.4 GaAs 成長層の電気的特性

Ge 基板上に成長させた GaAs 層の電気的特性を van der Pauw 法によって測定した。成長条件は、成長温度 630 °C、V/III 比を 15 と一定にし、GaAs と AlGaAs の層数を変化させて、その上に成長させた約 3 μm の GaAs 層の特性を調べた。この条件で Ge 基板上に GaAs を成長させると、n 型の成長層が得られるので、測定中に基板に電流が流れないように p 型の Ge 基板を用いた。Ge 基板上と、半絶縁性 GaAs 基板上に、同時に成長させた GaAs 層の電子濃度と、中間層の GaAs と AlGaAs 層の各々の層数の関係を図 3.7 に、その室温での移動度を図 3.8 に示す。中間層を介した場合には、同時に成長させた GaAs 基板上の成長層とほぼ同等の電子濃度、移動度が得られている。中間層の層数 0、即ち Ge 基板上に直接 GaAs を成長させた場合には、3.3.1 項で述べたように antiphase domain 構造の成長層が得られ、電子濃度も  $10^{18}$  /cm<sup>3</sup> 以上となっている。さらに移動度も 1,000 cm<sup>2</sup>/Vs 以下の低い値を示している。この場合、電子濃度が高い値を示すのは、Ge と GaAs の界面近傍で、GaAs 中に Ge が高濃度に添加されたために、ほとんどの電流がこの層を流れ、成長層よりもこの界面近傍の層の特性を測定しているためと考えられる。中間層を介した成長の場合も、Ge と成長層の界面近傍では、Ge が高濃度に添加さ



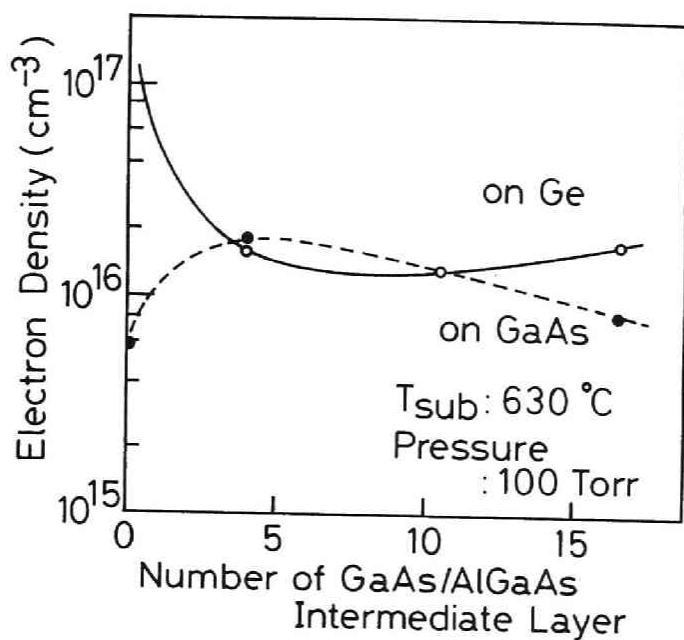


図 3.7 GaAs/AlGaAs 中間層の層数と GaAs 成長層の電子濃度

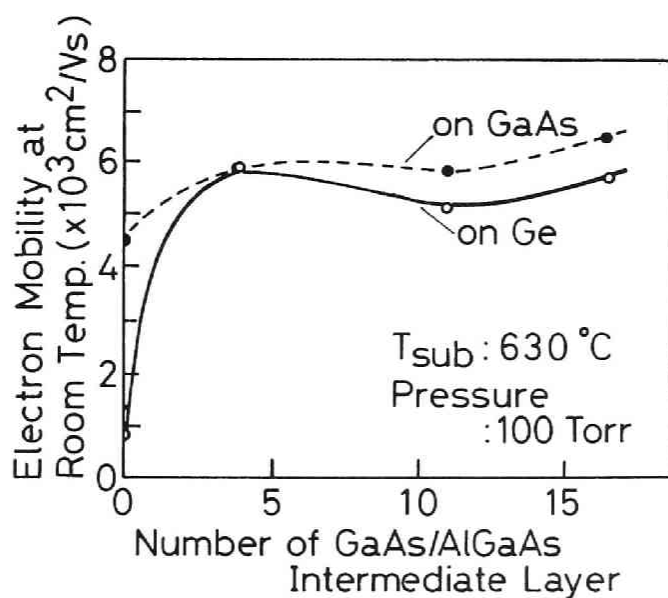


図 3.8 図 3.7 と同じ試料の室温での電子移動度

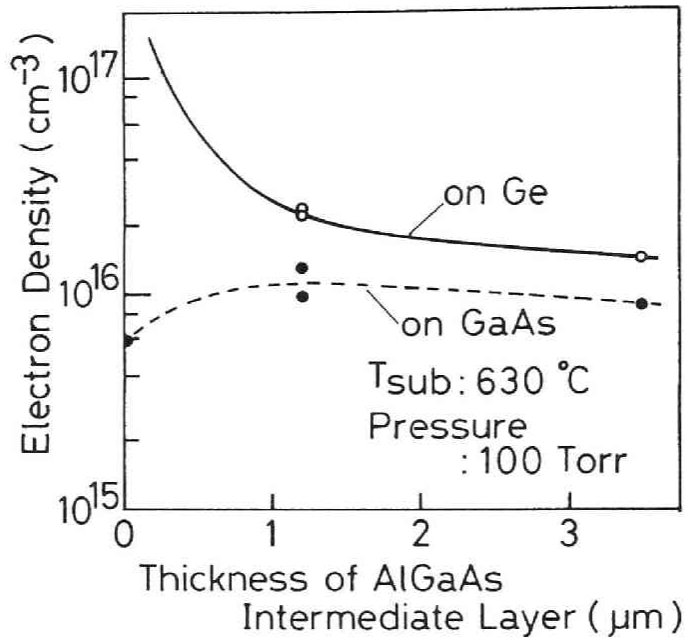


図 3.9 GaAs/AlGaAs 中間層の代わりに AlGaAs 層を介した場合の構造の GaAs 層の電子濃度 (Ge 基板上の GaAs は antiphase domain 構造)

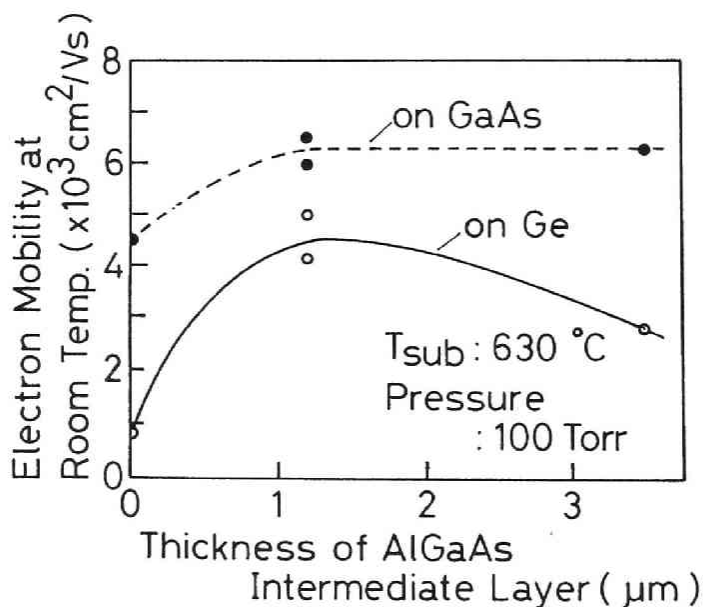


図 3.10 図 3.9 と同じ試料の室温での電子移動度

れているはずであるが、GaAs 基板上の成長層とほぼ同等の電子濃度が得られている。これは、中間層が AlGaAs 層を含んでいるために、基板と成長層の界面から中間層の上の GaAs 層を分離しているためと考えられる。また、GaAs を Ge 上に直接成長させた場合の移動度は、高濃度であることを考慮しても、n 型の GaAs としては異常に低い。この理由として、成長層が antiphase domain 構造になっているために、それぞれの domain の境界 (antiphase boundary) で電子が散乱されて、移動度が低くなっていることが考えられる。antiphase domain 構造になったことによる移動度の低下を調べるために、Ge 基板上に、AlGaAs 層のみによる中間層を介して GaAs 層を 3  $\mu\text{m}$  成長させ、その電気的特性を測定した。この場合は、3.3.2 項で述べたように antiphase domain 構造の成長層が得られる。また GaAs 層を基板と成長層の界面から分離して測定できる。電子濃度と移動度の測定結果を図 3.9 と図 3.10 に示す。電子濃度は同時に成長させた GaAs 基板上の成長層と比較して少し高い程度であるが、移動度は約 1/2 であり、antiphase domain 構造の場合には、移動度が大きく低下することを示している。

中間層を介した場合の GaAs 成長層は Ge 基板上 GaAs 基板上を問わず、 $10^{16}/\text{cm}^3$  程度の電子濃度を示している。しかし、用いた成長条件は、GaAs 基板のみで成長させた場合には、 $10^{14}/\text{cm}^3$  程度の高純度の結晶が得られる条件である。このため、この比較的高い電子濃度は Ge 基板から Ge が蒸発してそれが結晶中に取り込まれたためであると考えられる。この場合、Ge 基板の横に置いた GaAs 基板上の成長層の電子濃度は、Ge 基板からの距離が短い程高濃度になる。このため、図 3.7、図 3.8 の GaAs 基板上の成長層の電子濃度のバラツキは、測定に切り出した試料の位置によるバラツキを含んでいる。

### 3.5 考察

以上述べたように、Ge の (100) 面上に GaAs と AlGaAs の交互層を中間層として介することにより、single domain の GaAs 層を成長させることが可能なことが分かった。実験結果としては、中間層として 600 ~ 700  $^{\circ}\text{C}$  で最初に 100 ~ 300  $\text{\AA}$  の GaAs を成長させ、その上に AlGaAs を成長させてから GaAs を成長させれば single domain の GaAs 層が得られた。この一連の実験に用いた成長炉で GaAs、AlGaAs を成長させた場合、中間層を形成する各層の膜厚は、TMG、TMA をそれぞれのバブラから配管系に流し始めた時からの時間と、その導入量から計算している。しかし、反応管に TMG、TMA が導入された正確な時間は明らかでない。TMA の蒸気圧は TMG と比較すると約 1 桁低いため、AlGaAs を成長させる場合の TMA のバブラに流す  $\text{H}_2$  の流量は大きくなる。こ

のため、TMG を流し始めてから時間をおいて TMA を流しても、反応管に同時に導入される可能性がある。さらに、縦型の反応管内でのガスの流速、対流等を考慮に入れると、TMG、TMA の反応管への導入時間に多少の差があっても、基板上にはほとんど同時に到達することも考えられる。

後になって、次章でのべる 2 段階成長法の成長機構との関連で、この点を明確にするために、本章で述べた一連の実験に使用した成長炉とは別の成長炉を用いて追試を行った。この追試に用いた成長炉は横型の反応管を用いたもので、反応管の入口の直前で、原料ガスの導入および停止が瞬時にできる配管系を有している。この追試の結果は、AlGaAs を最初に成長させた場合に single domain の成長層が得られ、最初に GaAs を成長させた場合には antiphase domain の成長層が得られる、というものであった。追試に用いた成長炉の導入ガスに対する制御性から考えて、本章で述べた一連の実験に用いた縦型の成長炉では、最初に GaAs を成長させていたつもりが、AlGaAs が成長していた、と考えるのが妥当である。即ち、Ge 基板上に single domain の GaAs 成長層を得るには、最初に AlGaAs を成長させる必要があり、GaAs 又は AlAs を最初に成長させた場合には single domain の成長層は得られないことになる。

そうすると、AlGaAs 層を最初に成長させることが何故 single domain の成長層を得るために必要であるのかが問題となる。次章で、Si 基板上に GaAs を直接成長させる 2 段階成長法について詳述するが、2 段階成長法を用いた場合、最初に GaAs の薄膜を低温で成長させ、次にウェハを通常の成長温度まで昇温している間に、この薄膜の構成原子が再配列して良好なバッファ層になる。この場合、最初に成長させる層が、低温で全面に成長した膜であることが重要である。このメカニズムを上記の結果と照らし合わせると、次のように考えられる。

良好なモフォロジーの GaAs 成長層が得られた 600 ~ 700 °C の成長温度は GaAs の成長に対しては通常の成長温度であるが、AlGaAs の成長温度としては低い。また、AlAs の成長にはさらに低い温度である。このため、実験を行った温度で AlGaAs は 2 段階成長の場合と同様のプロセス、即ち、低温での成長とアニールによる構成原子の再配列のプロセスが、同時に起こっていたものであろう。第 1 層目が GaAs の場合には、成長温度が高すぎ、また、AlAs が第 1 層目の場合には、構成原子の再配列が起こるには低温過ぎたため、良好なバッファ層にならなかったものと考えられる。実験では GaAs と AlGaAs の交互層を何層か加えた方が、表面のモフォロジーが改善される傾向が見られたが、これは GaAs と AlGaAs の super lattice の効果として報告されているように交互層によって平坦度が改善されるためであろう。<sup>14)</sup>

本章で述べた実験では、成長層の domain 構造 に対する基板の offset angle の効果は得られていない。次章で、Si 上への GaAs の成長の場合の基板の offset angle の効果について述べるが、Ge 基板の場合も、基板の offset の効果は、Si 基板の場合と同様であろう。このため、実験に使用した (100) 基板は僅かな offset がついていたものと考えられる。

### 3.6 まとめ

Ge の (100) 又はその近傍の基板上に、中間層を介することにより、single domain の GaAs 成長層が得られることを実験的に確認した。この中間層には GaAs の薄層とその上に成長させた AlGaAs 層 (後に行った実験によって、最初に成長していた層は AlGaAs 層) であることが明らかになった。この AlGaAs 層の上に、GaAs 層と AlGaAs 層を交互に成長させることにより、その上にモフォロジーの良好な GaAs 層を成長させることができた。この single domain の GaAs 成長層は、GaAs 基板上に成長させた GaAs 層と同等の電子移動度を示し、十分高品質の結晶であると言える。

本章で述べた実験により、polar on nonpolar の成長でも、適当な中間層を介することにより、single domain の GaAs 層を成長させ得ることを確認した。

#### (参考文献)

- 1) A. G. Milnes, and D. L. Feucht; in "Heterojunctions and Metal-Semiconductor Junctions" (1972) 8. (Academic Press, Inc.)
- 2) *ibid.* Chapter 9.
- 3) D. L. Miller, and J. S. Harris, Jr.; *Appl. Phys. Lett.* 37 (1980) 1104.
- 4) J. C. C. Fan, C. O. Bozler, and B. J. Palm; *Appl. Phys. Lett.* 35 (1979) 875.
- 5) R. M. Fletcher, D. K. Wagner, and J. M. Ballantyne; *Appl. Phys. Lett.* 44 (1984) 967.
- 6) 岡本孝太郎、湯川禎三、浅野恭典; 電子通信学会誌 J67-C (1984) 900.
- 7) J. P. van der Ziel, R. D. Dupuis, and J. C. Bean; *Appl. Phys. Lett.* 48 (1986) 1713.
- 8) R. P. Gale, J. C. C. Fan, B. Y. Tsaun, G. W. Turner, and F. M. Davis; *IEEE Electron Dev. Lett.* EDL-2 (1981) 169.
- 9) H. K. Choi, B. Y. Tsaun, G. M. Metzger, G. W. Turner, and J. C. C. Fan; *IEEE Electron Dev. Lett.* EDL-5 (1984) 207.
- 10) K. Morizane; *J. Cryst. Growth*; 38 (1977) 249.

- 11) 菊池誠 ; ” 半導体の理論と応用 (中) ” 裳華房 (1966) p. 298.
- 12) J. H. Neave, P K Larsen, B. A. Joice, J. P. Gowers, and J. F. van der Veen ; J. Vac. Sci. Technol. B1 (1983) 668.
- 13) C. A. Chang, and T. S. Kuan; J. Vac. Sci. Technol. B1 (1983) 315.
- 14) T. Ishibashi, S. Tarucha, and H. Okamoto; Inst. Phys. Conf. Ser. 63 (1981) (Int. Symp. GaAs and Related Compounds, Japan, 1981) 587.

## 第4章 Si 基板上への GaAs の成長

### 4.1 はじめに

第3章で述べたように、Ge の (100) 面上に single domain の GaAs 成長層が得られることが明らかになったことにより、Si の (100) 基板上に Ge のバッファ層を介して GaAs 層を得ることが基本的に可能になった。しかし、Ge の蒸気圧が比較的高いために、蒸発した Ge が GaAs 成長層に自動的に添加されやすい。また、反応系への Ge の付着、その付着した Ge が成長層に添加されることも考えると、同一の気相成長系で Ge と GaAs を連続的に成長させることは好ましくない。Ge のバッファ層を介することなく、Si 基板上に直接 GaAs を成長させることが最も望ましい。そこで、Si 基板上に GaAs を直接成長させることを目標にして実験検討を行った。

その結果、Si 基板を AsH<sub>3</sub> 雰囲気中で高温で熱処理を行った後、まず、低温で1層目の GaAs 薄膜を成長させ、続いて通常の成長温度まで昇温して2層目の GaAs を成長させる2段階成長法によって、直接成長が可能であることを見いだした。

Si 基板上に GaAs を直接成長させる場合には、Ge 基板上の場合と同様な polar on nonpolar の問題の他に、約4%の格子不整合の問題がある。これらの問題を解決する方法として、GaP と GaAsP、及び GaAsP と GaAs の歪超格子をバッファ層として用いる方法<sup>1)</sup> また polar on nonpolar の問題を避けるために、Si の (211) 基板を用いる方法<sup>2)</sup>等が提案されている。これらの方法と比較して、2段階成長法は成長法が単純であり、直接成長が可能であるため、Si 基板上に GaAs を成長させる方法として、有利である。同様な成長法は、サファイア基板上の Si の成長<sup>3)</sup>等において格子不整合を緩和する方法として有効性を確認されていたが、Si 基板上の III-V 化合物の成長に有効であること、特に格子不整合のみでなく、antiphase domain 構造を抑制するためにも有効であることが本研究で明らかになった。

本章では、Ge 基板上への GaAs の成長のアナロジーから成長実験を始めて2段階成長法に至った経過、及び2段階成長法によって得られた GaAs 成長層の膜質について述べ、その成長メカニズム、問題点について考察する。

### 4.2 Ge 基板上への成長と同様の成長法による場合

Si 基板上への GaAs の成長として、まず、第3章で述べた Ge 基板上で有効であった中間層を導入する方法を試みた。用いた成長炉は、同じ減圧系の縦型炉である。Si 基板は表面が (100) ± 0.5° の2インチウエハであ

る。

基板はまず  $1 \text{ H}_2\text{O}_2 + 4 \text{ H}_2\text{SO}_4$  による洗浄で有機物の除去を行い、続いて純水による流水洗浄、 $1 \text{ HF} + 5 \text{ H}_2\text{O}$  による表面酸化膜の除去後、流水洗浄、 $\text{N}_2$  ブローによる乾燥を行って、反応管内にセットした。以後に述べる成長においても Si 基板の洗浄はこの方法を用いている。

Si 基板上に通常の GaAs 基板上への成長の場合と同様の条件で GaAs を成長させると、完全に白濁した成長層が得られる。640 °C で成長させた試料の表面の顕微鏡写真を図 4.1 に示す。明らかに多結晶膜であることが分かる。そこで、Ge 基板の場合に有効であった、GaAs と AlGaAs の交互層をバッファ層として成長を行った。Ge 基板の場合に有効であった成長条件で、GaAs と AlGaAs の膜厚を変化させて成長を行ったが効果は全く認められず、得られた成長層はすべて図 4.1 に示したものと同様の多結晶膜であった。これらの多結晶膜の表面の凹凸は非常に大きく、単に多結晶の粒子が付着しているようなモフォロジーである。

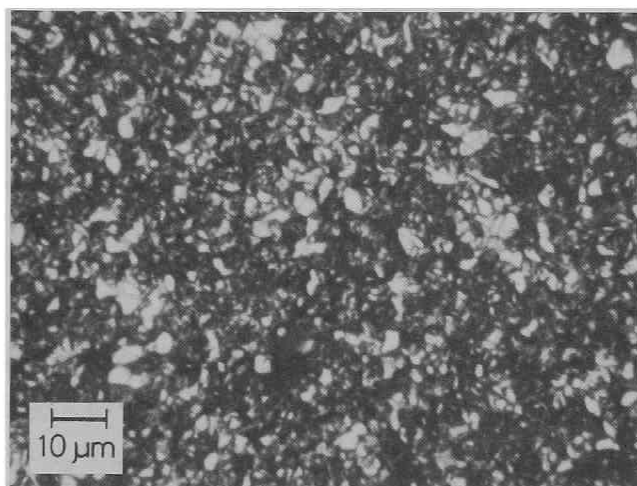


図 4.1 Si 基板上に 640 °C で直接成長させた GaAs 層の表面



### 4.3 低温バッファ層の導入

#### 4.3.1 成長

Ge 基板に対して有効であった中間層を介しても全く効果がなく、多結晶膜しか得られないことから、まず、成長の初期に基板全面に平坦に成長した層をバッファ層に加えることを考えた。第 2 章で述べた成長速度を測定するための実験で、低温では Si 基板を用いており、500 °C 程度以下の成長温度では一見一様な GaAs 層が得られることが分かっていたので、この低温で成長させた GaAs 層を第 1 層としてバッファ層に加えることを試みた。

成長の温度プログラムを図 4.2 に示す。まず、500 °C 前後の温度で数百 Å の GaAs 層を成長させ、一旦 TMG の導入を停止して、 $H_2$  と  $AsH_3$  を流しながら 700 °C 程度まで昇温する。この温度で GaAs と AlGaAs の交互層（各層の膜厚は約 500 Å）を成長させてバッファ層とし、その上に GaAs を成長させた。

こうして成長させた GaAs 層は鏡面に近い膜が得られた。成長させたウエハの写真を図 4.3 に、その表面の顕微鏡写真を図 4.4 に示す。低温で成長させた層（以下低温バッファ層）を第 1 層として加えることによって、表面にはまだ  $10^4/cm^2$  程度の小さなピットが観察されるものの、明らかに多結晶とは異なる GaAs 層が成長している。

このことから低温バッファ層が有効であることが確認できたので、この低温バッファ層の成長条件、その上の GaAs と AlGaAs の交互層の成長条件

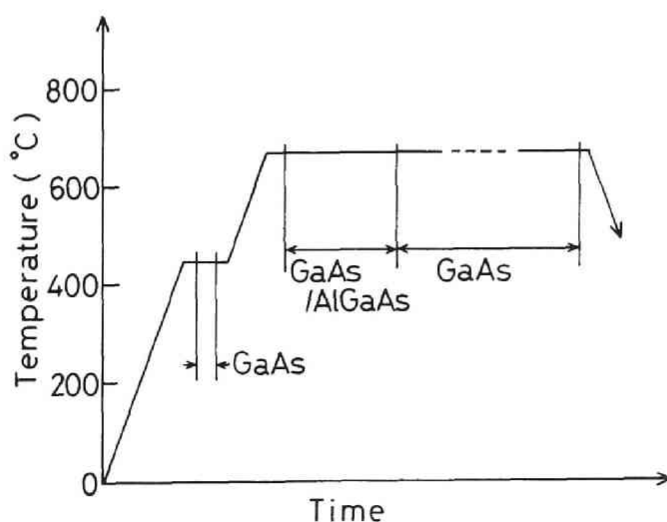


図 4.2 低温で成長させた GaAs をバッファ層として加えた場合の成長の温度プログラム

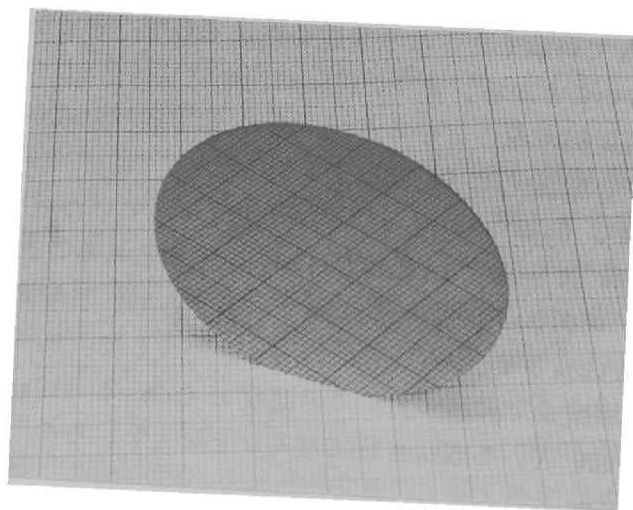


図 4.3 図 4.2 の温度プログラムで成長させた GaAs/Si ウェハ

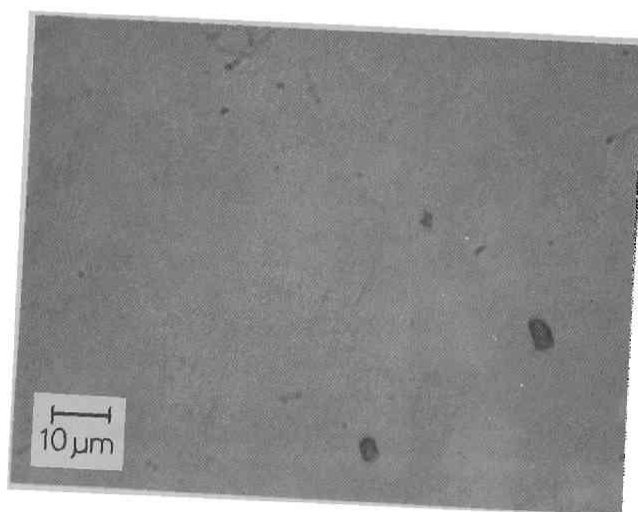


図 4.4 図 4.3 のウェハの表面

について、モフォロジーとの関係を検討した。この実験では全流量、 $\text{AsH}_3$  の分圧、TMG の分圧及び TMA の分圧は、それぞれバッファ層の成長時には 1,500 SCCM、4 Torr、 $8 \times 10^{-2}$  Torr、 $2.4 \times 10^{-2}$  Torr と一定にし、最上層の GaAs 層の成長時には、TMA の導入は停止して、TMG の分圧を  $1.6 \times 10^{-1}$  Torr に増加させた。600 °C 以上の通常の成長温度での GaAs の成長速度は、 $8 \times 10^{-2}$  Torr の分圧の TMG の導入量に対して 1,000 Å/min である。500 °C 前後以下の成長温度では、第 2 章で述べたように、同じ TMG の導入量でも成長速度は遅くなる。この実験の結果、以下のことが分かった。

- a) 低温バッファ層の成長温度は 400 ~ 600 °C が適当である。これよりも高温になるに従って最上層の GaAs 層の表面は徐々に荒れてきて、700 °C まで高くすると低温バッファ層の効果は全くなくなる。逆に低温になると TMG が分解しにくくなってバッファ層が成長しなくなり、やはり効果はなくなる。
- b) 低温バッファ層の膜厚は 2,000 Å 程度以下が有効であった。これ以上膜厚を増加させると GaAs 層の表面は荒れてくる傾向を示した。
- c) GaAs と AlGaAs 交互層の膜厚をそれぞれ約 500 Å と一定にして実験を行ったが、その繰り返しは 5 回程度までは GaAs 層のモフォロジーの改善が認められた。そして、それ以上繰り返しても改善は認められなかった。また、この交互層を導入しないで、低温バッファ層のみでもバッファ層の成長温度、膜厚によってはその上に比較的良好な GaAs 成長層が得られたが、その成長条件は非常に狭く、再現性に問題があった。
- d) GaAs と AlGaAs の交互層の成長温度は 680 ~ 700 °C が適当であった。これより低すぎると表面は白濁し、高すぎるとピットが増加する傾向を示した。

Si ウェハの表面は、酸化膜を HF でエッチング後すぐに反応管にセットしても、一度室内の大気にさらすので自然酸化膜に覆われているはずである。成長前にこの自然酸化膜を除去することを目的に、 $\text{H}_2$  中で 950 °C まで Si ウェハを加熱することを試みたが、表面が白濁した GaAs 層しか得られなかった。そこで成長を行わず、Si 基板を  $\text{H}_2$  中で熱処理のみを行って、基板の表面を観察したところ、既にこの段階で基板の表面が白濁していた。これは、それ以前の成長でベDESTAL 上に析出していた多結晶の GaAs が高温に加熱されることによって分解して、Si 表面に再付着したものである。このために、その上に成長させた GaAs 層が白濁したものと考えられる。

#### 4.3.2 バッファ層の RHEED による観察

以上の実験より、低温バッファ層が Si の (100) 基板上に比較的良好なモフォロジーの GaAs 層を成長させるために有効であることが分かった。低温で成長させた GaAs 層は基板上に一様に成長するものの、その結晶性は劣っている。この膜がどのようにして有効なバッファ層になるのか、反射高エネルギー電子線回折 (RHEED) による観察を行った。

図 4.5 に観察した RHEED のパターンを示す。(a) は (100) の Si 基板上に 450 °C で GaAs を 400 Å 成長させて、そのまま降温した試料、(b) は (a) と同じ条件で成長させ、その後 700 °C まで昇温して 5 分間アニールした試料、(c) はその上に GaAs と AlGaAs の交互層を成長させた試料のパターンである。これらのパターンから次のように考えられる。まず、低温で成長した GaAs 層は双晶を含む結晶性の悪い膜であるが、これを温度を上げてアニールすることにより、結晶を構成している原子の並び替えが起こり、結晶性が改善される。双晶を示すスポットが消えていることはこのことを示している。さらに、この上に GaAs と AlGaAs の交互層を成長させることによってパターンがストリークになっていることから、表面の平坦性が改善されることを示している。このことから、低温バッファ層の原子がアニール時に再配列されることが重要な点であると考えられる。

#### 4.3.3 成長層の domain 構造

このようなバッファ層を介して成長させた GaAs 層の domain 構造を調べるために、熔融 KOH によるエッチングを行った。エッチングの条件は 400 °C、20 ~ 30 秒である。図 4.6 にエッチングした表面の顕微鏡写真を示す。互いに 90° 異なった結晶方位を有する微結晶が入り交じっている様子が明らかに観察され、成長層が antiphase domain 構造であることを示している。この節で述べた成長法では、比較的良好なモフォロジーの成長層は得られたものの、single domain の成長層は得られなかった。

#### 4.3.4 成長層の特性

成長層の特性として電子移動度と 77 K でのフォトルミネッセンス (PL) の測定を行った。得られた移動度の最高値は、室温で  $1 \times 10^{16}/\text{cm}^3$  の電子濃度に対して  $2,000 \text{ cm}^2/\text{Vs}$  であった。この値は、同じ電子濃度の GaAs 基板上に成長させた層の移動度と比較すると約 1/3 であり、antiphase domain 構造のために domain の境界で散乱されて低くなっているものと考えられる。PL の測定結果を図 4.7 に示す。比較のために GaAs 基板上の成長

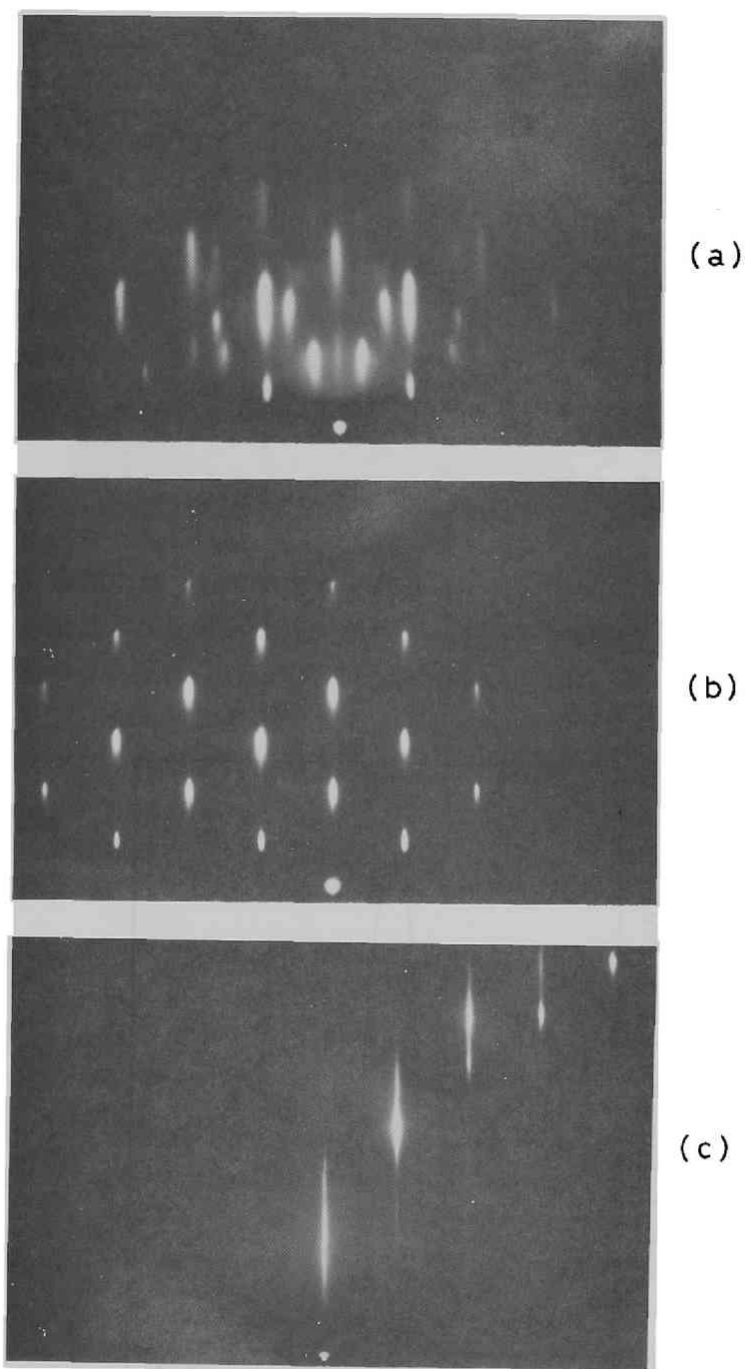


図 4.5 バッファ層の RHEED パターン (a) 450 °C で 400 Å 成長させた GaAs 層、(b) (a) と同じ条件で成長させた GaAs 層を 700 °C で 5 分間アニールした場合、(c) (b) の上に GaAs/AlGaAs 交互層を成長させた場合

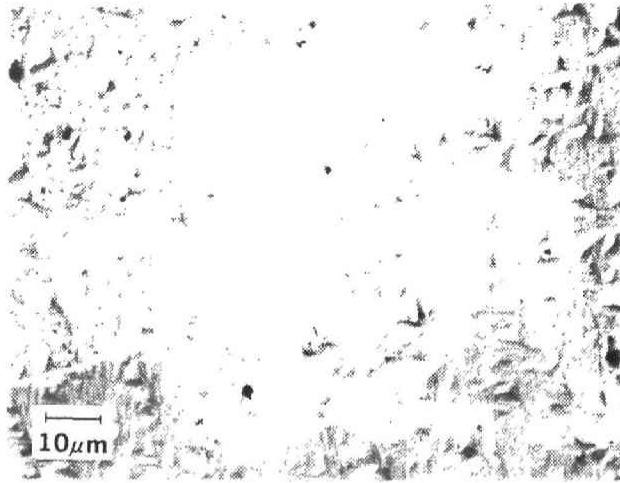


図 4.6 図 4.2 の温度プログラムで成長させた GaAs 層の溶融 KOH によるエッチングパターン

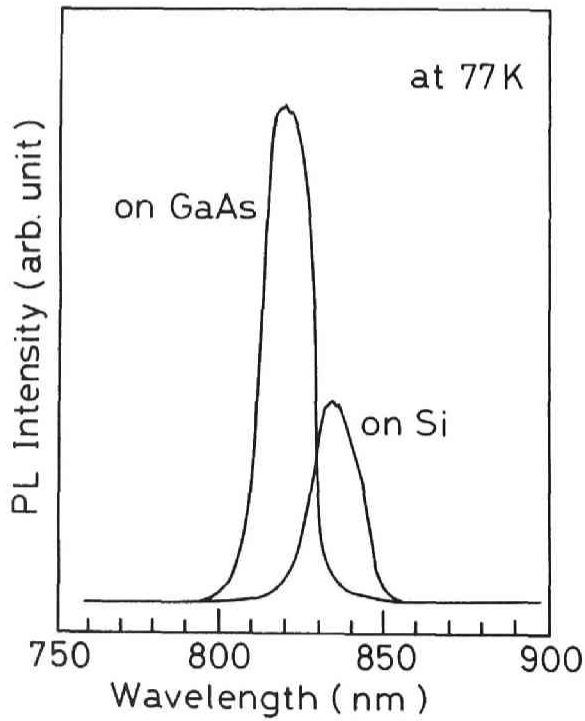


図 4.7 GaAs 成長層のフォトルミネッセンス

層の PL についても示している。これらの試料は同時に成長させたものではないが電子濃度は同じ ( $1 \times 10^{16}/\text{cm}^3$ ) である。Si 基板上的 GaAs 層の発光は GaAs 基板上的成長層と比較して弱いのみでなく、ピーク波長が GaAs 基板上的成長層のものよりも長波長側にシフトしている。このピーク波長のシフトは GaAs と Si の熱膨張係数の差によって成長層の横方向に引っ張り応力が加わり、この応力によって格子が変形して禁制帯幅が小さくなっているためと考えられる。

電子軌道の歪みによる Hamiltonian ( $H_e$ ) は、配位座標の  $K = 0$  のところでは次式で与えられる。<sup>4-5)</sup>

$$H_e = -a(\varepsilon_{xx} + \varepsilon_{yy} + \varepsilon_{zz}) - 3b \left[ \{L_x^2 - (1/3)(L^2)\} \varepsilon_{xx} + \text{c.p.} \right] - (6d/\sqrt{3}) [\{L_x L_y\} \varepsilon_{xy} + \text{c.p.}] \quad (4-1)$$

ここで、 $a$  は静水圧変形ポテンシャル、 $b$ 、 $d$  はせん断変形ポテンシャル、 $\varepsilon_{ij}$  は変形のテンソル、 $L$  は角運動量の演算子、 $L_x$ 、 $L_y$ 、 $L_z$  は  $L$  の成分、c.p. は  $x$ 、 $y$ 、 $z$  に関する項をサイクリックに表現したものである。いま、GaAs のコンプライアンス定数を  $s_{ij}$ 、GaAs 膜にかかる応力を  $\sigma_{ij}$  で表すと、GaAs 層の  $z$  軸方向 ( $x$ 、 $y$  方向) にのみ応力が働いている場合には、応力と歪みの関係は次式で表される。

$$\begin{pmatrix} \varepsilon_{xx} \\ \varepsilon_{yy} \\ \varepsilon_{zz} \end{pmatrix} = \begin{pmatrix} s_{11} & s_{12} & s_{12} \\ s_{12} & s_{11} & s_{12} \\ s_{12} & s_{12} & s_{11} \end{pmatrix} \begin{pmatrix} \sigma_{xx} \\ \sigma_{yy} \\ 0 \end{pmatrix} \quad (4-2)$$

$x$  方向、 $y$  方向に等方的な張力  $\sigma$  (圧縮方向を正とする) が働いているとすると、(4-2) 式より、

$$\varepsilon_{xx} = \varepsilon_{yy} = (s_{11} + s_{12})\sigma, \quad \varepsilon_{zz} = 2s_{12}\sigma \quad (4-3)$$

となる。(4-1) 式と (4-3) 式から、応力  $\sigma$  が働く場合の電子軌道の歪みによる Hamiltonian は

$$H_e = -2a(s_{11} + 2s_{12})\sigma - 3b(L_z^2 - L^2)(s_{12} - s_{11})\sigma \quad (4-4)$$

となる。(4-4) 式は解かれていて、<sup>6)</sup>  $K = 0$  での固有値の一次の項は、

$$\Delta E_{0,1} = [ - 2a(s_{1,1} + 2s_{1,2}) + b(s_{1,1} - s_{1,2}) ] \sigma \quad (4-5)$$

$$\Delta E_{0,2} = [ - 2a(s_{1,1} + 2s_{1,2}) - b(s_{1,1} - s_{1,2}) ] \sigma \quad (4-6)$$

である。(4-5) 式は軽い正孔帯に、(4-6) 式は重い正孔帯に対応している。<sup>7)</sup> 即ち、応力により、禁制帯幅が変化するだけでなく、価電子帯の縮退が解けることを示している。a、b の値を  $a = 8.93 \text{ eV}$ 、 $b = 1.17 \text{ eV}$ 、<sup>8)</sup> また、 $s_{1,1}$ 、 $s_{1,2}$  を  $s_{1,1} = 1.17 \times 10^{-12}/\text{cm}^{-2}\text{dyn}$ 、 $s_{1,2} = -0.366 \times 10^{-12}/\text{cm}^{-2}\text{dyn}$  とすると、<sup>9)</sup> (4-5) 式と (4-6) 式は、

$$\Delta E_{0,1} = ( - 5.17 \times 10^{-9} \text{ meV}/\text{cm}^{-2}\text{dyn} ) \sigma \quad (4-7)$$

$$\Delta E_{0,2} = ( - 10.6 \times 10^{-9} \text{ meV}/\text{cm}^{-2}\text{dyn} ) \sigma \quad (4-8)$$

となる。従って、2 軸方向に引っ張り応力 ( $\sigma$  が負) が働いた場合の禁制帯幅の減少量は (4-8) 式によって決定することになる。

図 4.7 の場合のピーク波長のシフト量は 24.6 meV に対応しており、Si 基板上の GaAs 層には、77 K で  $2.32 \times 10^9 \text{ dyn}/\text{cm}^2$  の応力が働いていると考えられる。この値と Si 及び GaAs の熱膨張係数との関係は、ウェハの反りから求めた応力との関連で、4.7.1 項で考察する。

## 4.4 2 段階成長法

### 4.4.1 2 段階成長法

これまでに述べた成長実験は第 2 章で示した縦型炉を用いて行ったものであるが、途中から横型炉を実験に使用できるようになった。この成長系も 100 Torr 前後の減圧系で成長を行うことを目的に設計したものであり、減圧にするための機構は縦型のもと同じである。縦型炉との違いは、横型の反応管を使用するというの他に、ウェハの反応管へのセットを完全に気密のグローブボックスの中で  $\text{N}_2$  雰囲気中で行えること、反応管の水冷は行っていないこと、また、原料ガスの反応管への導入、及び導入停止を反応管の入口の直前で行えるように配管系を設計していることである。

この横型の成長炉を用いて、GaAs 低温バッファ層と GaAs と AlGaAs の交互層にを介して、Si 基板上に GaAs の成長を行ったが、縦型炉を用いた場合と同様に antiphase domain 構造の成長層しか得られなかった。



横型炉の特徴として、縦型炉と比較すると、加熱されたペDESTALによって起こるガスの対流がガス流の上流側に影響を与えることが少ないことが期待される。そこで、縦型炉で一度試みて良好な結果の得られなかった、Si基板を成長前に高温で熱処理することによって表面を清浄化することを再度試みた。まず、Si基板を  $H_2$  中で約  $900\text{ }^\circ\text{C}$ まで加熱して5分間保持し、その後、 $450\text{ }^\circ\text{C}$ まで温度を下げて  $150\text{ \AA}$ の GaAs 低温バッファ層を成長させ、再び、 $700\text{ }^\circ\text{C}$ まで昇温してから、GaAs と AlGaAs の交互層（各層の膜厚は  $500\text{ \AA}$ ）を成長させ、その上に GaAs 層を成長させた。AsH<sub>3</sub> は低温バッファ層を成長させる時から流し始めた。3  $\mu\text{m}$  成長させた GaAs 層のウェハ中央部の顕微鏡写真を図 4.8 に示す。oval defect がいくつか見られるものの、それらの方向は揃っていて、図 4.4 に示した表面とは異なり、single domain になっていることが予想される。この段階では、溶融 KOH によるエッチングによって domain 構造を確認することは行わず、図 4.8 に示したモフォロジーから、single domain になっていることを信じて実験を進めた。

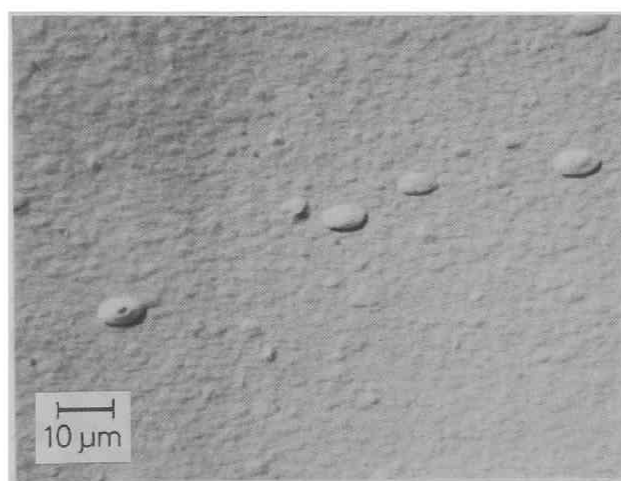


図 4.8 成長前に Si 基板の  $H_2$  中、 $900\text{ }^\circ\text{C}$ 、5 分間の熱処理を行って成長させた GaAs 層の表面（ウェハの中央部）

次に、同じ成長条件で、バッファ層の GaAs と AlGaAs の交互層を除いて成長を試みたが、結果は交互層を介した場合と全く同じであった。こうして Si 基板上に低温バッファ層を介することにより、GaAs の直接成長が可能になった。しかし、ウェハのほとんどの部分は図 4.8 に示したような oval defect はあるものの、かなり良好な表面であったが、ウェハの端から数 mm の部分は必ずしも同様な表面とはならず、明らかに antiphase domain 構造のモフォロジーを示した。そこで、Si ウェハを  $H_2$  中で熱処理のみを行って観察したところ、ウェハの端に近い部分には GaAs の微結晶と思われる付着粒子が高密度に見られた。ウェハの中央部でもこの微粒子は見られたが、その密度は低く、この微粒子の分布と GaAs 成長層のモフォロジーは良い一致を示した。即ち密度の低い所では oval defect は見られるものの、single domain と思われる成長層が成長し、周辺部の密度の高い所では明らかに antiphase domain 構造の成長層が成長している。熱処理時には全く原料ガスを流していないことから、この Si 基板に付着した GaAs 微粒子はそれまでの成長でベDESTAL に付着した GaAs が分解して Si 基板上に再付着したものと考えられる。そこで GaAs の全く付着していない新しいベDESTAL を使用して成長を行ったが、この場合には図 4.8 に示したような oval defect もウェハの周辺部の antiphase domain 構造も見られなかった。このことから、ベDESTAL に付着した GaAs が分解して再付着した微粒子が oval defect、及びウェハ周辺部の antiphase domain 構造の原因であることが明らかになった。このことから、Si 基板の熱処理時にベDESTAL に付着した GaAs の分解を押しさえればよいことが考えられる。そこで熱処理時に  $AsH_3$  を流して同様の成長を行ったが、予想通り、ウェハ全面に single domain と思われる GaAs 成長層が得られた。こうして成長した GaAs 層の表面のノマルスキ顕微鏡写真を図 4.9 に示す。わずかな凹凸は見られるが、oval defect もなく、ほぼ鏡面の成長層である。この成長層について single domain であることを確認するために、成長層を  $400^\circ C$  の溶融 KOH で、約 30 秒エッチングしたときの表面を図 4.10 に示す。エッチピットはすべて同じ方向を向いており、この GaAs 層が single domain であることを示している。ここで、MOVPE により、Si 基板の熱処理の後、低温バッファ層を介して GaAs を成長させる 2 段階成長法が基本的に確立した。

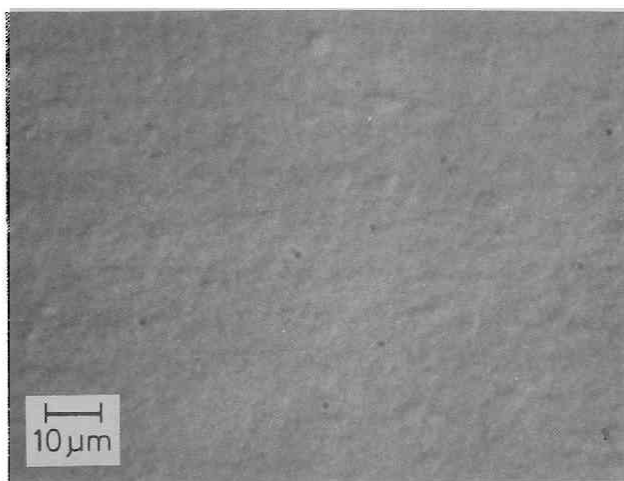


図 4.9 2 段階成長法によって成長させた Si 基板上的 GaAs 層の表面

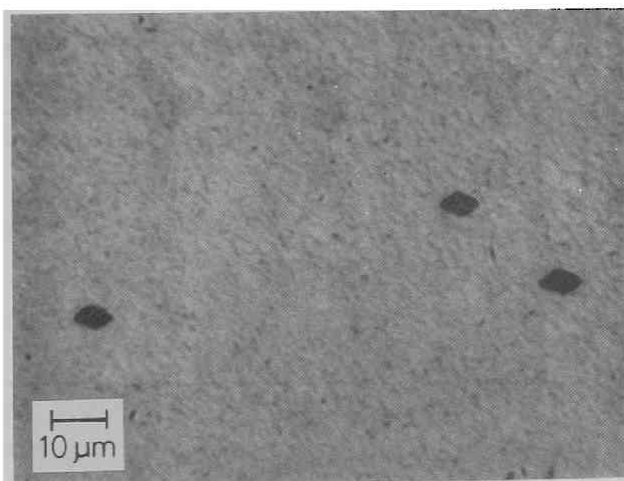


図 4.10 2 段階成長法によって成長させた Si 基板上的 GaAs 層の溶融 KOH によるエッチピットパターン

#### 4.4.2 成長条件

以上のように 2 段階成長法によって Si 基板上に全面 single domain でほぼ鏡面の GaAs 成長層が得られることが明らかになったので、その成長条件の最適条件を見いだすために、各パラメータを変化させて成長実験を行った。2 段階成長法の温度プログラムを図 4.11 に示す。まず、Si 基板を  $\text{AsH}_3$  と  $\text{H}_2$  を流しながら高温で熱処理を行った後に、低温で GaAs 薄膜を成長させて一旦成長を停止し、続いて通常の成長温度まで昇温して GaAs を成長させる。この工程で、熱処理の条件と 1 層目の GaAs 低温バッファ層の成長温度、及びその膜厚の効果について検討を行った。この一連の実験では 2 層目の GaAs は 700 ~ 750 °C で成長を行った。

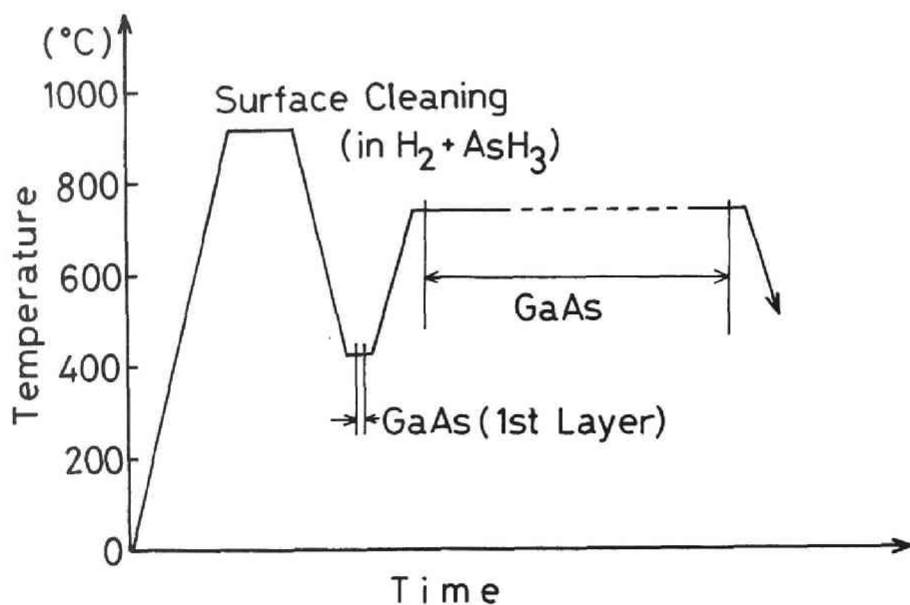


図 4.11 2 段階成長法の温度プログラム

#### (a) Si 基板の熱処理

1 層目の GaAs 層の成長温度を 450 °C、膜厚を 150 Å と一定にして、成長前の Si 基板の熱処理温度を変化させた実験を行った。その結果、良好なモフォロジーの成長層を得るためには 900 °C 程度以上で熱処理を行う必要があった。熱処理時間は 5 分程度で充分であり、それ以上長時間熱処理を行っても特に有意差は認められなかった。また 900 °C 以上に温度を上げて差は認められなかった。しかし、850 °C 程度の温度になると、処理時間を 30 分まで長くしても antiphase domain 構造の成長層が得られ、表面は白濁する傾向を示した。熱処理時の AsH<sub>3</sub> の分圧は 1 ~ 2 Torr で行ったが、この範囲では差は見いだせなかった。

#### (b) バッファ層の成長条件

熱処理を 900 ~ 930 °C で行った後に、1 層目の GaAs 層の成長温度と膜厚を変化させた場合の影響を調べた。その結果、400 ~ 450 °C の成長温度で 100 ~ 200 Å の膜厚のとき、2 層目の GaAs は再現性よく良好なモフォロジーを示した。450 °C 以上になると徐々に表面は白濁していく。逆に、400 °C 以下になると TMG、AsH<sub>3</sub> の分解が起こりにくくなるために成長速度が極端に遅くなる。膜厚に関しては、200 Å 程度より厚くなるに従って、その上の GaAs 層の表面は白濁する傾向を示した。逆に膜厚を薄くする方向では、成長速度から計算した膜厚で 25 Å まで成長実験を行ったが、この場合にはその上の GaAs 層の表面は少し凹凸が大きくなる傾向を示したものの、single domain の成長層が得られ、バッファ層として有効であった。

以上の実験により、2 段階成長法による Si 基板上の GaAs の成長条件が明らかになった。これは成長炉には関係せず、縦型炉でも同様の結果が得られた。また、高温で Si 基板の熱処理をした後、低温で GaAs の薄膜を成長させ、これをバッファ層としてその上に GaAs を成長させる成長法は、MOVPE のみでなく、MBE に対しても有効であった。<sup>10)</sup> MBE を用いると MOVPE では全く成長しない低温でも成長が可能である。150 °C で成長させたアモルファス状の GaAs 層もバッファ層として有効であった。さらに第 3 章で触れたように、Ge の (100) 基板上に single domain の GaAs を成長させるためにも、2 段階成長法は有効であることを確認した。Ge 基板の場合には熱処理温度は 650 °C 程度で充分であり、Si の場合のような高温は必要なかった。基板の熱処理の効果、成長機構については 4.6.5 項で考察する。

#### 4.5 2 段階成長法による成長層の膜質

2 段階成長法により、GaAs を Si 基板上に直接成長させることが可能となった。この成長層の膜質について評価を行った。

##### 4.5.1 ラマン分光による測定

Si の (100) 面上に成長させた GaAs 層を、Ar レーザを用いたラマン分光によって測定した結果を図 4.12 に示す。LO フォノンのピークのみで (100) 面に対して禁制である TO フォノンのピークは見られない。これは成長層が他の方位の成分を含んでいないことを示している。また、LO フォノンのピークの半値幅もバルクの結晶と同程度であり、成長層がかなり高品質の結晶であることを示している。

##### 4.5.2 エッチピット密度 (EPD)

2 段階成長法によって成長させた GaAs 層を熔融 KOH によりエッチングを行うと、図 4.10 に示したようにすべてのエッチピットが同じ方向を向いており、single domain であることが分かる。図 4.10 に見られるようなエッチピットはウエハの周辺部では多くなる傾向を示すが、他の部分では、1,000 ~ 3,000/cm<sup>2</sup> の値が得られた。成長条件によっては 100/cm<sup>2</sup> 以下の成長層も得られる。しかし、エッチング後、エッチピット以外の部分の地肌が荒れており、その様子は GaAs 基板をエッチングした場合は様子が異なっている。この地肌の荒れは熔融 KOH で 5 ~ 10 秒の短時間エッチングを行うと、図 4.13 に示すような大きさが 1 μm 程度の多数の小さなピットとして観察される。これらの小さなピットの形状は通常のエッチピットの形状と類似しており、その方向も一致している。これらのピットについて、熔融 KOH でエッチングした後 TEM による観察が行われており、それぞれのピットが転位に対応していることが報告されている。<sup>11)</sup> 即ち熔融 KOH によるエッチングでは、大小 2 種類のエッチピットが観察され、転位密度はほとんど小さなピットの密度によって表される。測定した結果では、3 μm の成長層の転位密度は約 10<sup>8</sup>/cm<sup>2</sup> であった。大きなエッチピットは、ウエハ周辺部に比較的多く見られること、また、成長前の Si 基板の熱処理の温度が低い場合、時間が短い場合などに多く見られる傾向のあることから、成長前の Si 表面の何等かの汚れが原因で生じた欠陥に対応している可能性もある。

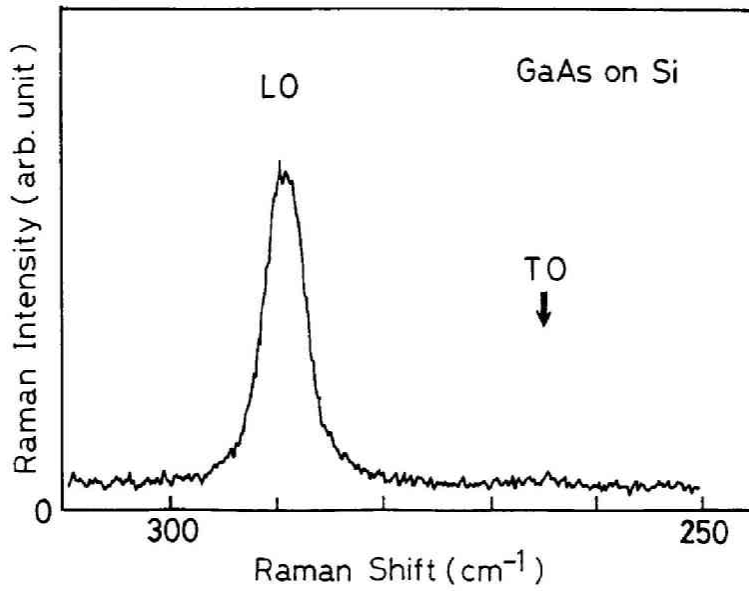


図 4.12 Si 基板の上に 2 段階成長法によって成長させた GaAs 層のラマンスペクトル

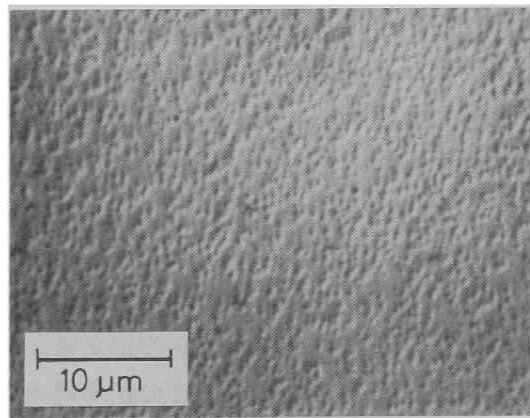


図 4.13 Si 基板の上に 2 段階成長法によって成長させた GaAs 層の熔融 KOH による小さなエッチピット

### 4.5.3 電気的特性

成長層のキャリア濃度、移動度の測定を van der Pauw 法によって行った。測定は p 型 Si 基板の上に 3 ~ 4  $\mu\text{m}$  の GaAs 層を成長させて行ったが、無添加の場合でも、成長条件にかかわらず  $5 \sim 10 \times 10^{16}/\text{cm}^3$  の電子濃度の n 型の伝導を示し、移動度は約  $3,000 \text{ cm}^2/\text{Vs}$  であった。これらの試料は、電子濃度が  $10^{15}/\text{cm}^3$  以下の高純度の成長層が得られる成長条件で成長させているので、これらの測定値は GaAs と Si の界面近傍の伝導を測定していた結果と考えられる。そこで、界面近傍の成長層とその上の成長層を分離するために、Si 上に GaAs を 5,000  $\text{\AA}$  成長させ、その上にアイソレーション層として無添加の AlGaAs 層を 1  $\mu\text{m}$  成長させ、さらに GaAs を 2  $\mu\text{m}$  成長させて、この最上層の GaAs 層の測定を行った。その結果、電子濃度が  $1 \times 10^{16}/\text{cm}^3$ 、室温での移動度  $5,200 \text{ cm}^2/\text{Vs}$  という値が得られた。この値は同じ電子濃度のバルクの値と比較してもそれほど遜色なく、残留している多数の転位は電子移動度にはあまり影響していないことを示している。

以上の結果は p 型 Si 基板を用いて得られたものであり、AlGaAs アイソレーション層がない場合の移動度も Si の電子移動度と比較して高いことから、界面近傍の GaAs 層中に高濃度の n 型導電層が形成されていることが予想される。これを確認するために成長層の電子濃度プロファイルを測定した結果を図 4.14 に示す。成長は電子濃度が  $10^{14}/\text{cm}^3$  前後の高純度結晶の得られる条件で行い、測定は電解液でエッチングしながら測定を行うプロファイルプロッタを使用した。予想した通り、界面近くには  $10^{18}/\text{cm}^3$  以上の高濃度層が形成されている。しかし、その高濃度層の層厚は薄く、界面から 1,000  $\text{\AA}$  程度離れると、ほとんど影響がなくなっている。この高濃度層は Si の GaAs 層への拡散によるものであろう。このために、n 型の Si 基板を用いると、界面に障壁は形成されず n 型の GaAs 成長層と良好なオーミック特性を示す。またこのことは Si 基板の伝導型にかかわらず、界面近傍に n 型の伝導層が形成されることを意味しており、成長層表面にデバイスを形成する場合、この伝導層とデバイスの電極との間の伝導を考慮する必要がある。特に高周波、高速デバイスに対しては直流的な伝導のみでなく、この伝導層との間の容量、また伝導層がフローティングになっているかどうか、等についても考慮する必要がある。



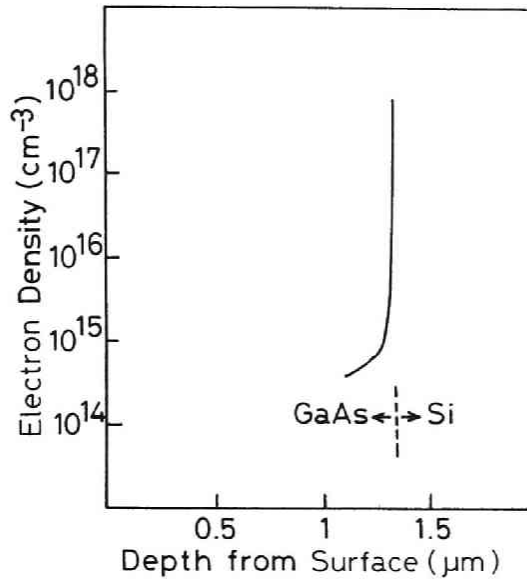


図 4.14 GaAs/Si の界面近傍の電子濃度プロファイル

#### 4.5.4 フォトルミネッセンス (PL) による測定

成長層の評価の一つとして、77 K での PL による測定を行った。図 4.15 に、成長前に Si 基板の熱処理を行わないで成長させた antiphase domain 構造の成長層と、single domain の成長層の PL スペクトルを示す。van der Pauw 法で測定した電子濃度は、双方とも  $1 \times 10^{16}/\text{cm}^3$  である。図に示すように single domain の成長層の方が強い発光を示している。これは antiphase domain 構造の場合には、antiphase boundary 近傍で、電子と正孔が、非発光の再結合をする確率が増加するためと考えられる。またいずれの場合も発光スペクトルのピーク波長はバルクの値の 821 nm から長波長側にシフトしている。これは 4.3.4 項で述べたように、GaAs と Si の熱膨張係数の差による引っ張り応力が GaAs 層に働き、このために、GaAs の格子が変形しているためと考えられる。

図 4.16 に、5 章で述べる可視発光ダイオードを試作する時に予備実験として測定した、Si 基板上と、GaAs 基板上に同時に成長させた Zn を添加した p 型  $\text{Al}_{0.32}\text{Ga}_{0.68}\text{As}$  層の PL スペクトルを示す。成長は、まず Si 基板上に 2 段階成長法によって 2,000 Å の GaAs を成長させて一旦室温まで冷却し、同じペDESTAL 上に、GaAs 基板を加えて再び昇温して同時に成長させた。成長温度は 800 °C である。Si 基板上の成長層は、GaAs 基板上の成長層と比較して少し発光強度は弱いものの、ほぼ同等の強度が得られており、また半値幅も同等である。この場合も、Si 基板上の成長層の発光のピーク波長は、GaAs 基板上の成長層と比較して、長波長側にシフトしている。

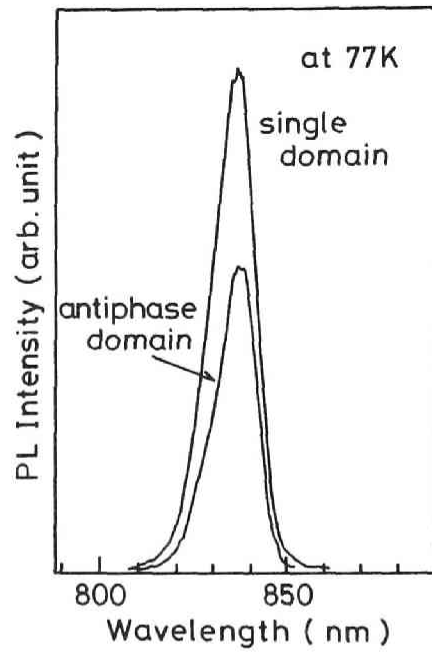


図 4.15 single domain 構造と antiphase domain 構造の GaAs 層のフォトルミネッセンススペクトル

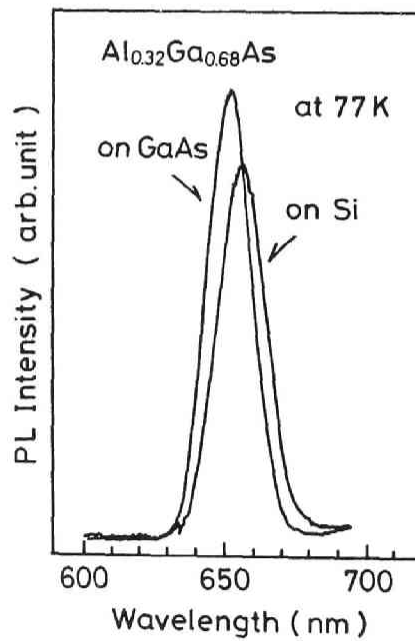


図 4.16 GaAs/Si 基板と GaAs 基板上に 800 °C で成長させた  $\text{Al}_{0.32}\text{Ga}_{0.68}\text{As}$  層のフォトルミネッセンススペクトル

## 4.6 2 段階成長法の成長機構

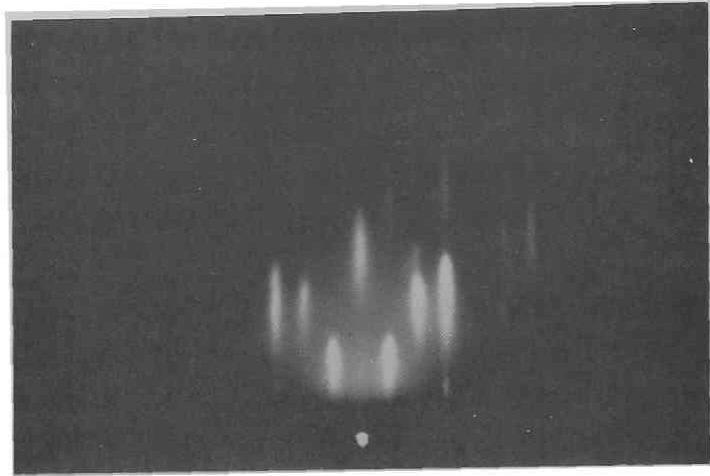
2 段階成長法は Si 基板上に single domain の GaAs 層を成長させるために有効な方法であるが、この成長法の成長機構について明らかにすべき点が 2 点ある。1 点は 4 % の格子不整合の緩和機構であり、もう 1 点は無極性の Si 基板上に有極性の GaAs が single domain の成長層として得られる機構である。本節では、これらの成長機構に関して行った実験の結果を示して、2 段階成長法における Si 基板上への GaAs の成長機構を考察する。

### 4.6.1 RHEED による GaAs 低温バッファ層の観察

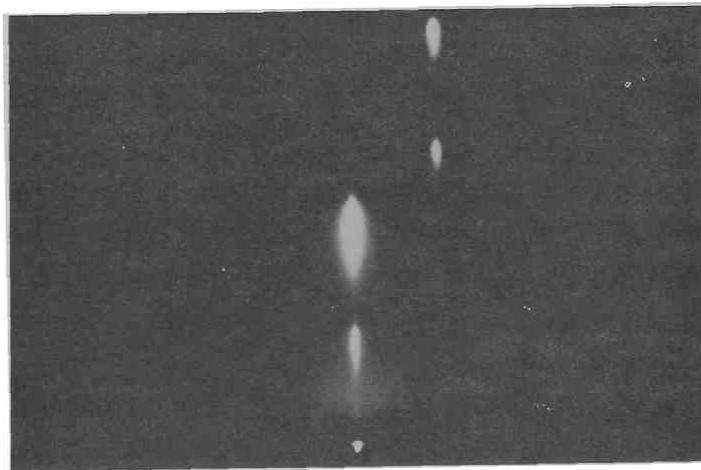
GaAs 低温バッファ層の効果は、4.3 節で述べた Si 基板の熱処理を行わない場合と本質的には同様であると考えられる。しかし基板の熱処理を行って、single domain で良好なモフォロジーの成長層を得るための低温バッファ層の成長条件は、4.4 節で述べた、antiphase domain であるがほぼ鏡面の成長層を得る条件と比較すると狭い。このため、低温バッファ層の RHEED による観察を再度行った。

バッファ層として、再現性良く single domain で鏡面の GaAs 成長層が得られた 450 °C で成長させた膜厚 150 Å の成長層の RHEED パターンを図 4.17 に示す。(a) は成長させてそのまま取り出した試料、(b) は成長後 750 °C で 5 分間アニールした試料のパターンである。成長後そのまま取り出した試料にはサブスポットが見られ、双晶を含む結晶性の悪い膜であることを示している。しかし、アニールを行うとサブスポットが消えて、完全な単結晶を示すパターンとなっている。この場合に各スポットが明確な点となっていることは、結晶の表面には凹凸があることを示している。図 4.18 は、同じく 450 °C で 1,500 Å 成長させた試料の、アニールを行わない場合と、750 °C、5 分間のアニールを行った場合のパターンである。アニールを行うことにより、結晶性は改善されているものの、まだサブスポットが見られ、完全な単結晶にはなっていない。図 4.19 は 600 °C で 800 Å 成長させた試料の、同じ条件での、アニール前後のパターンである。成長させた段階で多結晶であることを示すリング状のパターンが見られ、アニール後もパターンの変化はほとんどない。

これらの観察結果は低温バッファ層の成長温度が高すぎても、また膜厚が厚すぎても、良好なバッファ層にならないことを示している。低温で成長させた GaAs バッファ層は、成長時に、基板表面で構成原子が充分マイグレートできないために単結晶にならないが、温度を上げてアニールすることにより、容易に構成原子の再配列が起こって単結晶になる。一方、高温で成長させた GaAs バッファ層は、基板表面で充分マイグレートすることによって、エネルギー的

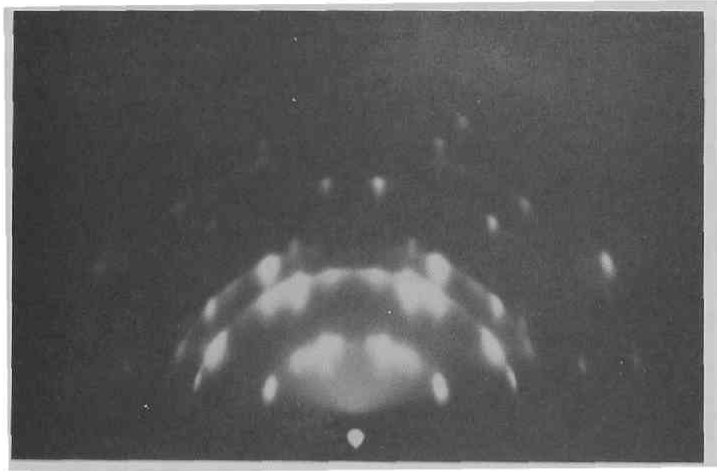


(a)

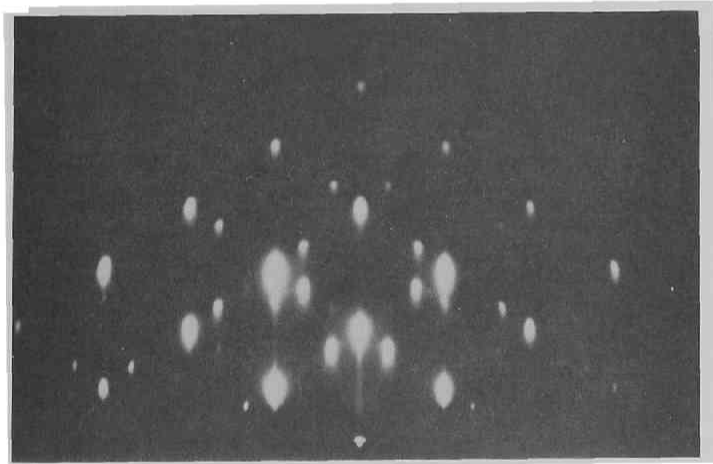


(b)

図 4.17 450 °Cで 150 Å成長させた GaAs 低温バッファ層の RHEED パターン、(a) 成長させたままの試料 (b) 成長させて 750 °C、5 分間のアニールを行った試料

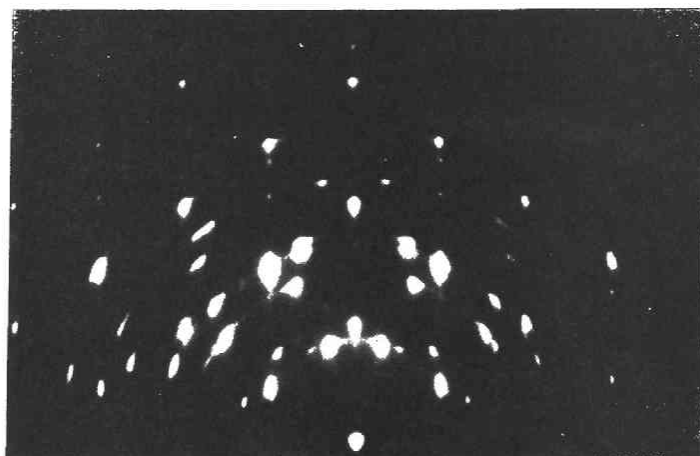


(a)

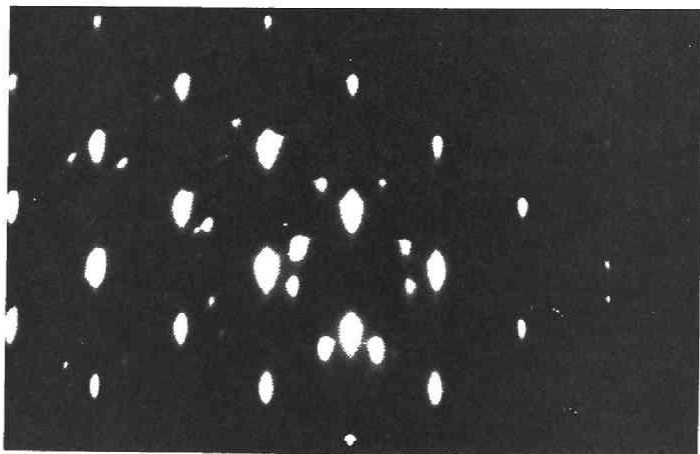


(b)

図 4.18 450 °Cで 1,500 Å成長させた GaAs 層の RHEED パターン、(a) 成長させたままの試料 (b) 成長させて 750 °C、5 分間のアニールを行った試料



(a)



(b)

図 4.19 600 °Cで 800 Å成長させた GaAs 層の RHEED パターン、(a) 成長させたままの試料 (b) 成長させて 750 °C、5 分間のアニールを行った試料

に安定な位置に収まっており、さらに高温でアニールしても、再配列による変化が少ないと考えられる。低温で成長させても、膜厚が厚い場合にはアニール後も完全な単結晶のパターンが得られないのは、膜厚が厚いと、原子が再配列するときに膜中にも多くの核ができてしまい、これを中心にして原子が再配列するために、単結晶になりにくいと考えられる。MBE の場合にはバッファ層の成長温度を低温にしなくても、single domain の成長層が得られることが報告されている。<sup>12)</sup> しかし、MOVPE を用いてバッファ層を高温で成長させた場合には、その上には多結晶の成長層しか得られなかった。これは、MBE と MOVPE の成長の初期における表面でのマイグレーション、核形成の様子が異なっているためと考えられる。

#### 4.6.2 GaAs/Si 界面の TEM による観察

GaAs/Si の界面近傍の様子を調べる目的で、断面の透過電子顕微鏡 (TEM) による観察を行った。図 4.20 に低倍率での観察結果を示す。写真の中に見られる黒い線は転位を示しており、これが界面近くに集中していて上層の GaAs 成長層中にはほとんど見られない。図 4.21 に同じ試料の界面近傍の格子像を示す。Si 基板上に GaAs がエピタキシャル成長している様子が見られる。この界面に沿って観察すると、GaAs が基板の Si の格子と比較的よく整合した部分 (図中に A で示す) と、そうでない部分 (B で示す) とが交互に形成されている。B の部分では GaAs の格子が Si の格子に対して乱れているだけでなく、格子が 1 格子分ズレていることが観察される。さらにその周期は約 25 の格子点に対応している。また格子の乱れは界面の数原子層に限られており、上層の部分には見られない。図 4.22 に倍率の異なった界面の TEM 写真を示すが、この写真にも A の領域と B の領域の周期性がよく見られる。約 25 の格子点に対して 1 格子分のズレは、GaAs と Si の 4 % の格子不整合を緩和していることとよく一致しており、2 段階成長法による Si 上への GaAs の成長の場合には、格子不整合はこの界面での格子のズレによって緩和されていると考えられる。

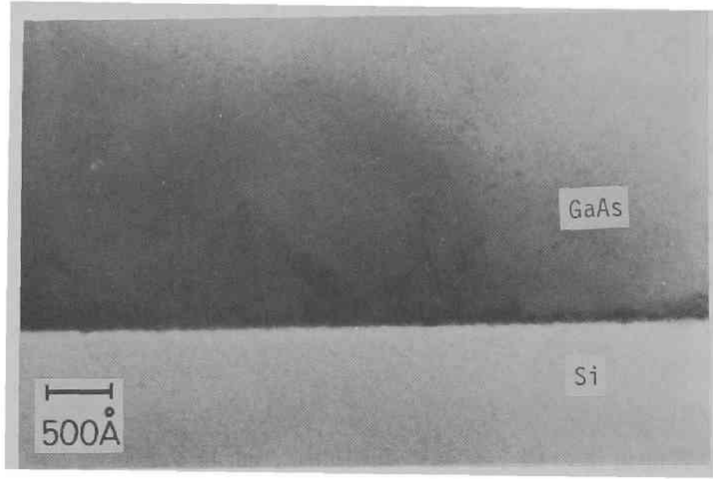


図 4.20 GaAs/Si の界面近傍の断面 TEM 写真

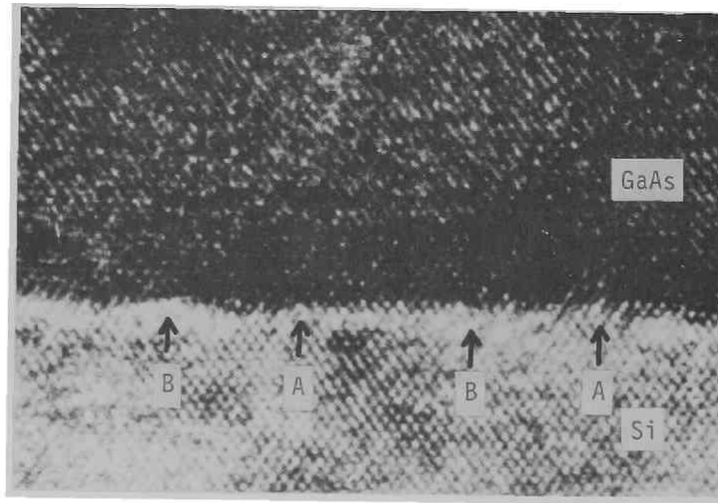


図 4.21 GaAs/Si の界面近傍の断面 TEM による格子像



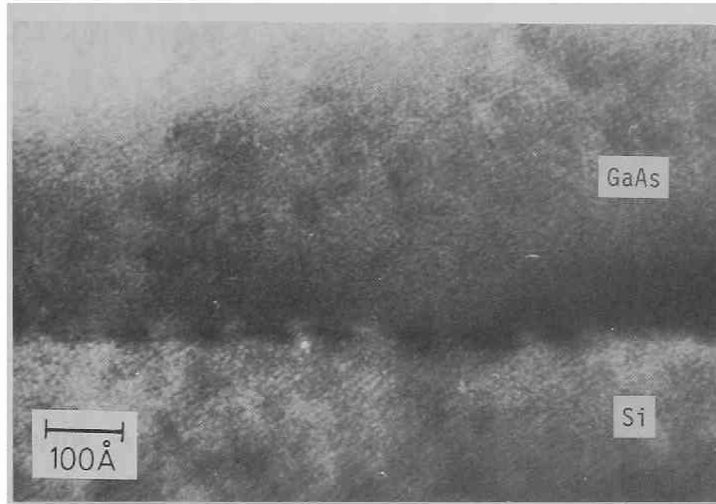


図 4.22 GaAs/Si の界面近傍の倍率の異なった断面 TEM 写真

#### 4.6.3 格子不整合の緩和機構

RHEED による低温バッファ層の観察から、低温で成長させた GaAs 薄膜は、アニールにより構成原子の再配列が起きていることが分かった。また断面の TEM による観察によって、GaAs と Si の格子不整合は界面において緩和されていることが明らかになった。これらのことから、格子不整合の緩和は低温で成長させた GaAs 層がアニールにより原子の再配列が起こる時になされると考えられる。

まず低温で成長させた GaAs 層は、不完全で、アニールにより容易に原子の再配列が起こる不安定な結晶であるが、微視的にはほぼ GaAs 自身の格子定数を持っていると考えられる。この場合、GaAs 薄膜の成長の様子は温度、成長速度、成長手段によって結晶化の度合いが異なる。MBE の場合は、かなり低温でも島状に結晶として成長していき、それらがつながっていくことが TEM により観察され、報告されている。<sup>13)</sup> 一方、TMG を用いた MOVPE の場合は、450 °C 前後の成長温度で成長させると、走査型電子顕微鏡 (SEM) による観察では明らかな島状の成長は見られず、島状成長が起きているにしてもそのサイズは非常に細かいと考えられる。一方、TEG を用いると、成長速度を 10 ~ 20 Å/min と非常に遅くすることができ、このように遅い成長速度の場合には、細かい島状の成長が観察される。TMG を用いた実験では、100 Å/min 以上の成長速度で成長させており、島状の成長をするか、連続膜となるかは成長温度とともに成長速度に関係しているものと考えられる。

このような GaAs 層がそれ自身の格子定数を持って Si 基板上に成長すると、界面では比較的格子整合のとれた部分と、そうでない部分が約 25 の格子点ごとに交互に形成されるはずである。これを昇温してアニールした場合、比較的整合のとれた部分が seed となって固相成長が起こり、他の部分に応力を集中させてそこに転位を発生させ、格子不整合を緩和させていると考えられる。この場合、島状に成長していてもアモルファスであっても、アニールによって原子の再配列が起こる不安定な膜であるならば同様であろう。TMG を用いて、MOVPE で成長させた低温バッファ層の GaAs/Si の界面の平面 TEM 観察では、アニール前の試料ではなんらのパターンも見られないが、アニールした試料では Si と GaAs の格子によるモアレ縞が見られる。そしてモアレ縞の間隔から計算した GaAs 層の格子定数はほぼバルクの値を有していることが確認されている。<sup>14)</sup> また、アニールした試料の GaAs と Si の界面の平面 TEM 観察では、[011] 方向に碁盤の目のように走った転位線が観察されている。<sup>14)</sup> これらの観察結果も、低温バッファ層がアニール時の固相成長によって界面で格子不整合を緩和させ、単結晶になるというモデルを支持していると考えられる。

#### 4.6.4 球面状の Si 基板上への GaAs の成長

これまでに述べた実験結果は  $(100) \pm 0.5^\circ$  の Si 基板を用いて行ったものである。実際の Si 基板は完全な  $(100)$  面ではなく、いくらかのオフセットを有している。成長させた GaAs 層は全面で single domain であったが、ウェハの周辺部で図 4.23 の写真に示すように他の部分と  $90^\circ$  方位の異なった結晶が成長していることが観察された。このことから成長層の domain 構造、結晶の方位は基板のオフセットの方向によって決まっていることが予想される。そこで基板のオフセットと、成長層の domain 構造と、結晶方位の関係を明らかにする目的で、 $(100)$  面を中心にして球面状に研磨した Si 基板上への成長実験を行った。

用いた基板は、表面の曲率半径が 140、280、560 mm の 2 インチ基板である。図 4.24 に曲率半径が 560 mm の基板上に、約  $2 \mu\text{m}$  成長させた GaAs 層の写真を示す。また図 4.25 に成長層を熔融 KOH でエッチングを行って、そのエッチピットの形状から求めた成長層の結晶方位と Si 基板の方位を示す。

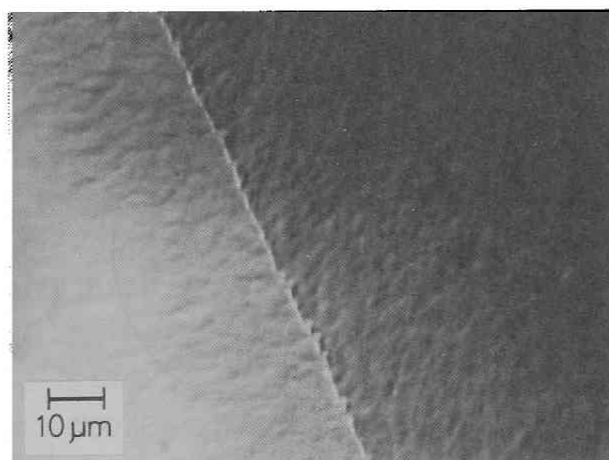


図 4.23 ウェハの周辺部で観察されたドメイン構造

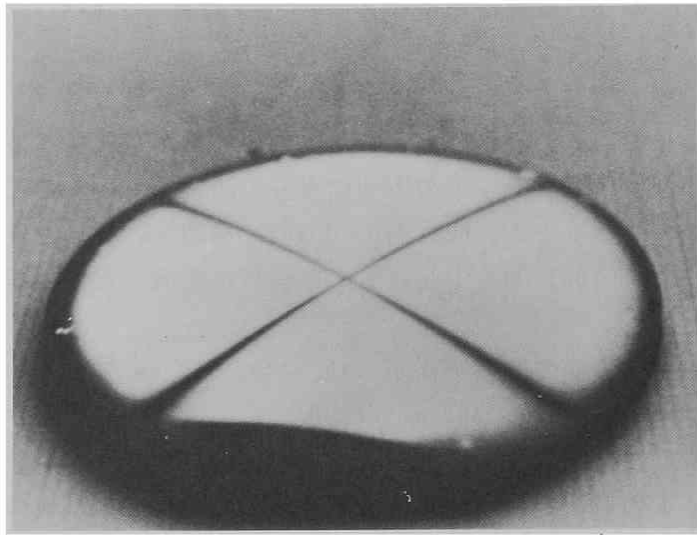


図 4.24 (100) 近傍の球面状の Si 基板の上に 2 段階成長法で成長させた GaAs に見られたパターン

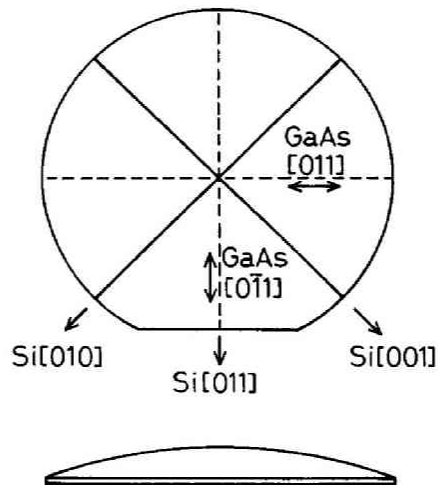


図 4.25 図 4.24 の GaAs 層の結晶方位と Si 基板の結晶方位

成長層は 4 分割されており、分割されたそれぞれの領域は single domain でほぼ鏡面である。各領域の境界の狭い部分は antiphase domain 構造であり、成長層の表面も荒れている。この antiphase domain 構造の部分は基板の [001] 方向に沿っており、この線の交点が (100) 面である。同様のパターンは基板表面の曲率半径に関係なく観察された。また (100) 面近傍で成長層が antiphase domain 構造となる領域の広さは基板の熱処理の条件に影響され、図 4.24 に示したのものよりも広がる場合もあったが、充分熱処理を行った場合には、 $0.15 \sim 0.2^\circ$  程度のオフセットの場所でも single domain の成長層が得られた。成長層のモフォロジーは [011] 方向に沿った狭い領域が最も良好であった。基板の (100) 面から [011] 方向にオフセットの角度が変化した場合の成長層の表面を図 4.26 に示す。また [011] 方向にオフセットが  $3^\circ$  の点から [011] 方向に沿った場所の表面を図 4.27 に示す。

この球面状の Si 基板上に成長させた GaAs 層を溶融 KOH でエッチングして、エッチピット密度のオフセット依存性を調べた。4.5.2 節で述べた大きなエッチピットについてその密度を基板の [011] 方向へのオフセットについてプロットした結果を図 4.28 に示す。いずれの曲率半径の基板の場合も  $3^\circ$  近くで最小値を示している。何故約  $3^\circ$  のオフセットのときに、大きなエッチピットが少なくなるかについては明らかでない。しかし、4.5.2 節で述べたように、大きなエッチピットは基板表面の何等かの汚れが関係していることも考えられ、 $3^\circ$  近くのオフセットの Si 表面は、比較的低温の熱処理で清浄になることも考えられる。

以上のモフォロジーおよびエッチピット密度の観察から Si 基板は (100) 面から [011] 方向に約  $3^\circ$  のオフセットを有するウェハが最適であるといえる。しかし、ほとんどの転位密度と対応している小さなエッチピットに関しては (100) から [011] 方向に  $3^\circ$  のオフセットを有する場所で特に少なくなっているということは観察されなかった。

以上の結果から、Si 基板上に single domain の成長層を得るには基板に (100) 面からのオフセットが必要であること、そのオフセットの方向は [001] 以外の方位にする必要のあること、 $0.15 \sim 0.2^\circ$  のわずかなオフセットでも single domain の成長層は得られるが、[011] 方向に約  $3^\circ$  のオフセットが最も適していることが明らかになった。また、実験に用いた最も曲率半径の小さい Si 基板のウェハ周辺部のオフセットは約  $10^\circ$  であったが、この領域でも single domain 成長層が得られており、(100) 面の近傍では広いオフセットの範囲で single domain の成長層が得られることも確認した。

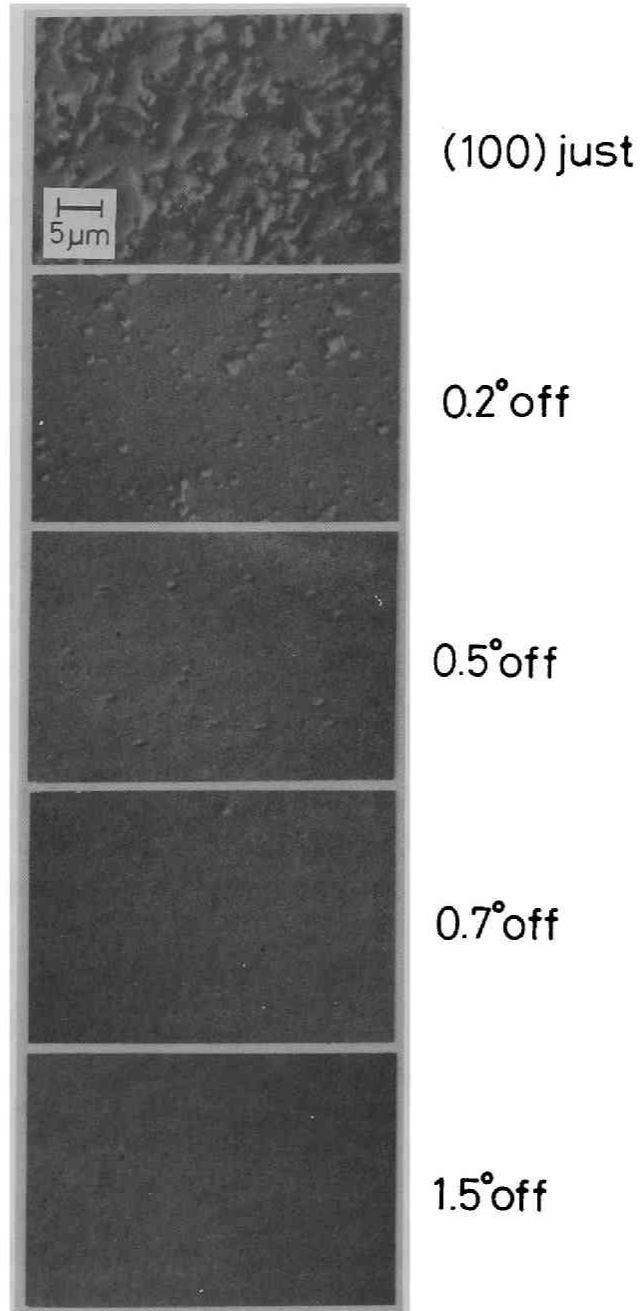


図 4.26 球面状の Si 基板の (100) から [011] 方向へのオフセットと GaAs 成長層の表面

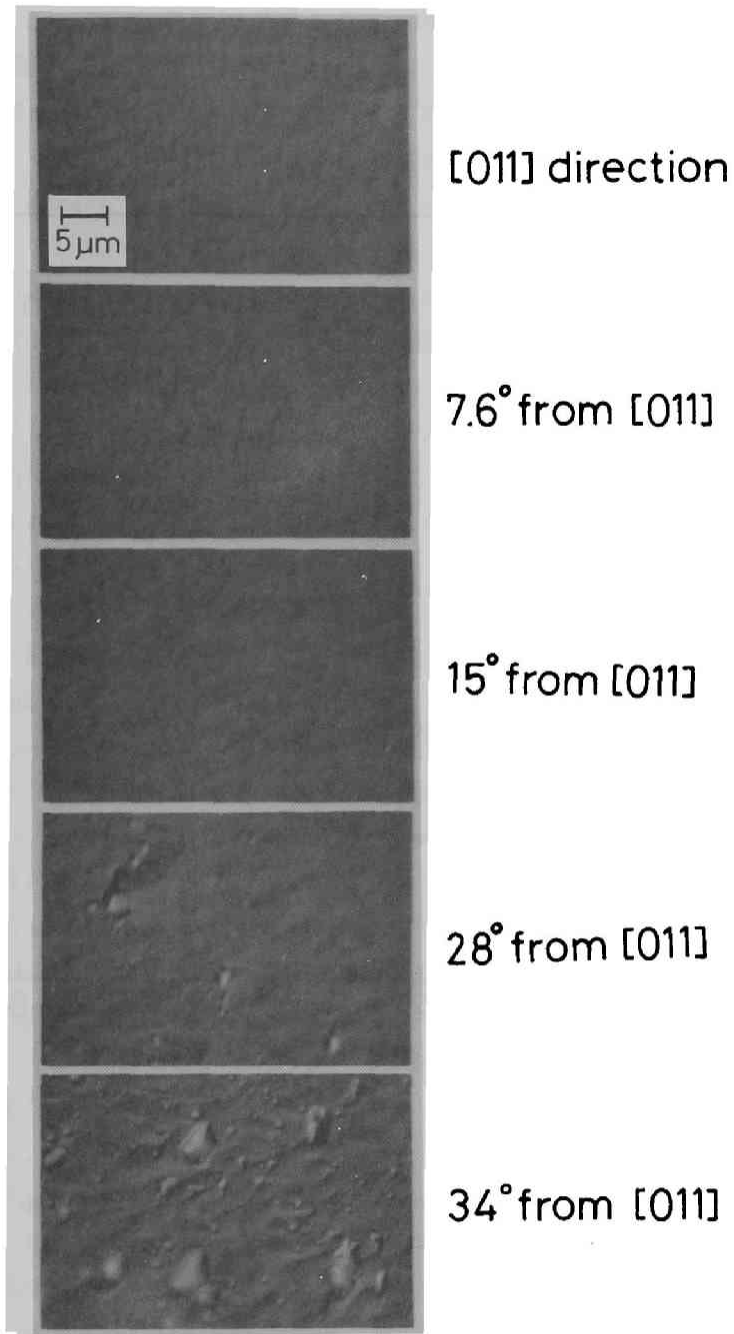


図 4.27 Si 基板の (100) から [011] 方向にオフセットが  $3^\circ$  の点から [011] の方向に沿った GaAs 成長層の表面

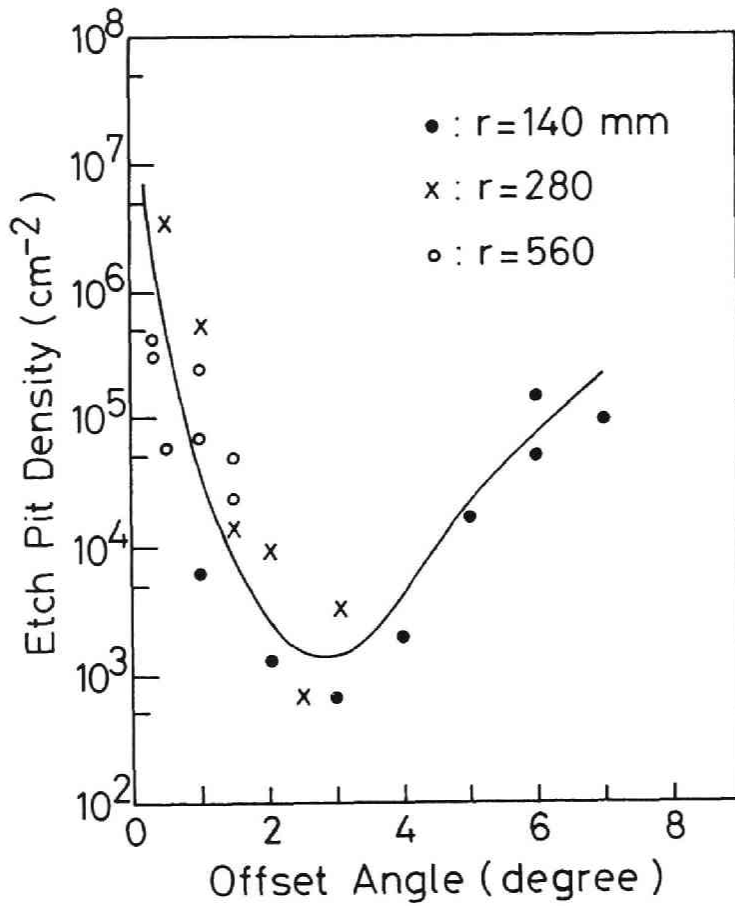


図 4.28 Si 基板の (100) から [011] 方向に沿ったオフセットと熔融 KOH による大きなエッチピット密度の関係



#### 4.6.5 single domain の成長層が得られる機構

(100) 面近傍の Si 基板上に single domain の GaAs 成長層を成長させるためには、(100) 面から [001] 方向を除く方向にオフセットが必要であることが明らかになった。このことから、Si 基板の表面のステップの状態が GaAs 成長層の domain 構造を決定していると考えられる。Si の表面のステップの状態について、Kaplan が低エネルギー電子線回折 (LEED) による観察結果を報告している。<sup>15)</sup> この報告によると、(100) 面から [110] 方向にオフセットのある Si 表面は、高温での熱処理を行う前には 1 原子層のステップがあっても、熱処理を行うと表面の reconstruction によってすべてのステップが 2 原子層の高さになる。また坂本らの RHEED による観察によっても、(100) 面に近い Si 表面は充分高温で熱処理を行うことにより、2 x 1 のパターンを示すことが報告されている。<sup>16)</sup> これは表面のステップが 2 原子層またはその倍数の高さになること、即ち、Si 表面は一方の sublattice のみで構成されることを示している。このような場合には、図 4.29 に模式的に示すように、まず As が Si と結合することによって、ステップの位置から antiphase boundary を形成することなく GaAs 層が成長する。Si と結合するのが Ga であっても antiphase boundary は形成されないが、この場合には、(100) から [110] 方向にオフセットを有する Si 基板を用いると、GaAs 成長層の結晶方位は Si 基板の方位と一致しなければならない。実験で得られた成長層の結晶方位は Si 基板の方位と 90° 異なっており、図 4.29 に示したように、Si はまず As と結合していると考えられる。これは、高温での熱処理時に AsH<sub>3</sub> を流していることによると考えられる。この結果は、川辺らによる MBE を用いた実験で、Si 基板を熱処理の後、高温で As のビームを照射すると RHEED のパターンが 90° 変化し、以後これによってその上の成長層の結晶方位が決定するという結果<sup>13)</sup>と一致している。

以上のように、熱処理によって Si 表面が一方の sublattice のみによって構成され、ステップの高さが 2 原子層またはその整数倍である場合には single domain の成長層が得られることに問題はない。しかし、球面状の Si 基板上への成長実験では、オフセットの方向が [001] 以外の広い領域で single domain の成長層が得られている。この広い領域で Si の表面が完全に一方の sublattice で構成されていることはあり得ない。また MBE の成長で 2 x 2 の RHEED パターンを示す Si 表面、即ち 2 x 1 と 1 x 2 の構造が双方とも存在し、ステップで奇数の原子層の高さを有する基板上にも single domain の成長層が得られることが報告されている。<sup>13)</sup> これは、一方の domain の成長を押さえる何等かの機構が働いていることを示している。この機

構についてはまだ明らかになっていない。これを説明するモデルとして、図 4.30 に示す機構が川辺等によって提案されている。<sup>13)</sup> このモデルでは、(111)面に沿った Ga-Ga 結合が domain boundary となり、一方の domain が成長とともに消滅していく。domain boundary は As-As の結合であっても同様に一方の domain が消滅するが、Si 基板のステップの方向と実験で得られた GaAs 成長層の結晶方位が一致するためには、Si にまず As が結合する限り、domain boundary は Ga-Ga 結合でなければならない。MBE の場合と異なり、MOVPE の場合には、第 1 層目の GaAs を高温で成長させると多結晶の成長層が得られる。これは MBE と MOVPE の Ga と As の原子が結晶に取り込まれるまでの Si 表面でのマイグレーションの差、およびその差による成長初期の核形成の様子が異なるためと考えられるが、MOVPE の場合は、第 1 層目の GaAs 層を低温で成長させることが必要である。このことから、MOVPE による場合には、低温で成長させた GaAs 薄膜がアニールにより原子の再配列を行う固相成長の過程が single domain の成長層を得るためには必要であると考えられる。このため上述の川辺等のモデルに従うと、アニール時の固相成長の過程で Ga-Ga を antiphase boundary とする原子の再配列が起こっていることになる。この可能性も含めて、低温で成長させた GaAs 層はアニールによる原子の再配列により、成長層の表面では、ほとんど完全な single domain の結晶になっていると考えられる。

single domain の成長層が得られる機構に関連して、Si 表面に低温で As を付着させた場合と、高温で付着させた場合とは、その上に成長させた GaAs 層の方位が  $90^\circ$  異なることが MBE を用いた実験で報告されている。<sup>13)</sup> MOVPE による場合、Si 基板の熱処理を行うときに  $\text{AsH}_3$  を流す必要のあることから、これを確認することは困難であったが、基板を HF ディップの後すぐに反応管にセットすることにより、高温での熱処理を行わなくても single domain の成長層が得られることが分かった。この場合、成長層の表面は熱処理を行ったものと比較すると多少凹凸が大きく、モフォロジーは劣っているが、溶融 KOH によるエッチングで調べると single domain であり、その結晶方位は熱処理を行った通常の成長層と  $90^\circ$  異なっていた。即ち成長法によらず、また熱処理の有無によらず、Si 表面に、まず As を高温で付着させるか低温で付着させるかによって、GaAs 成長層の結晶方位が  $90^\circ$  異なっている。この機構についてもまだ明らかになっていない。

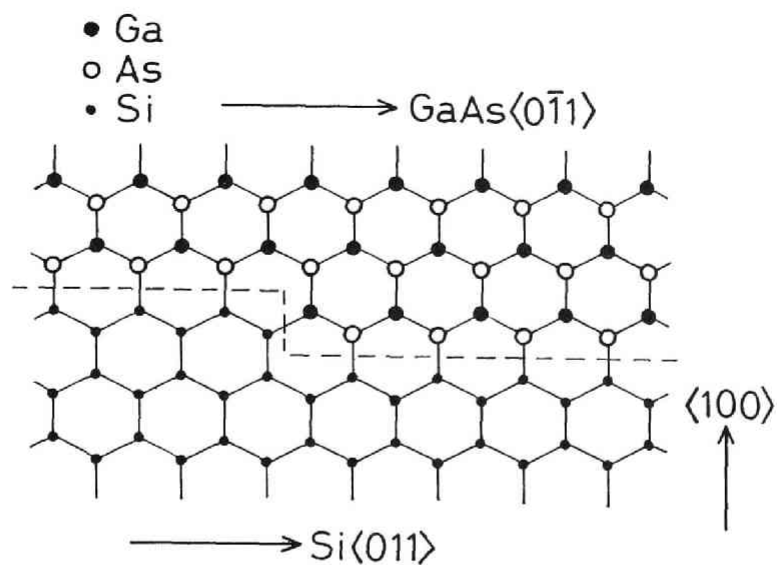


図 4.29 Si 基板の表面のステップが 2 原子層の高さの場合の GaAs 成長層

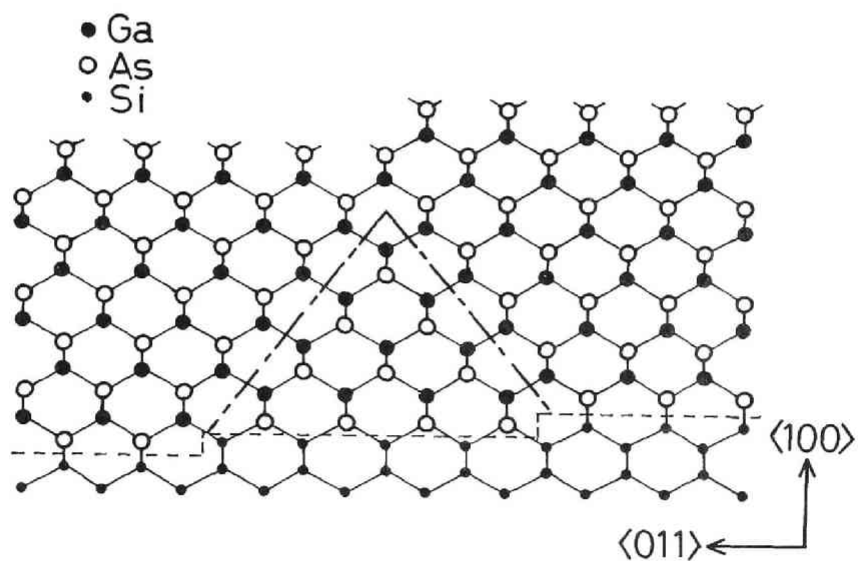


図 4.30 Si 基板の表面のステップが 1 原子層の場合の antiphase domain の自己消滅機構のモデル (川辺等による<sup>13)</sup>)

#### 4.7 Si 基板上の GaAs 層の問題点

##### 4.7.1 引っ張り応力とウエハの反り

Si 基板上に成長させた GaAs 層には、PL の測定で明らかなように、引っ張り応力が働いている。このため、Si 基板上に GaAs を成長させたウエハは成長層側に凹の反りを示す。この GaAs 層に働く応力は二次元的に均一であると考えられる。いま、x 軸方向に応力  $\sigma$  が加わることによって、x 軸、y 軸それぞれの方向に  $(\varepsilon_x)_x$ 、 $(\varepsilon_y)_x$  の変位が生じたとすると、GaAs のヤング率を E、ポアソン比を  $\nu$ 、として、

$$(\varepsilon_x)_x = \sigma/E, \quad (4-9)$$

$$(\varepsilon_y)_x = -\nu(\varepsilon_x)_x = -\nu\sigma/E \quad (4-10)$$

同様に、y 方向に働く応力  $\sigma$  によって生ずる x 方向、y 方向の変位  $(\varepsilon_x)_y$ 、 $(\varepsilon_y)_y$  は、

$$(\varepsilon_y)_y = \sigma/E \quad (4-11)$$

$$(\varepsilon_x)_y = -\nu\sigma/E \quad (4-12)$$

従って、一方向に対する変位の総量を  $\varepsilon$  とすると、

$$\varepsilon = (\varepsilon_x)_x + (\varepsilon_x)_y = (\varepsilon_y)_x + (\varepsilon_y)_y = \sigma(1 - \nu)/E \quad (4-13)$$

又は、

$$\sigma = \varepsilon E/(1 - \nu) \quad (4-14)$$

となる。

GaAs に働く応力は GaAs と Si の熱膨張の差によると考えられる。Si と GaAs の熱膨張係数をそれぞれ  $2.33 \times 10^{-6}/\text{deg.}$ 、 $5.8 \times 10^{-6}/\text{deg.}$  を用いて、<sup>17)</sup> GaAs と Si の 600 °C および 700 °C と 25 °C の線膨張の差を求めると、それぞれ  $2.0 \times 10^{-3}$ 、 $2.34 \times 10^{-3}$  となる。この差に対応する変位が GaAs 層に生じているとすると、そのときの応力は (4-14) 式によって、600 °C、700 °C の成長に対してそれぞれ  $2.5 \times 10^9 \text{ dyn/cm}^2$ 、 $3.2 \times 10^9 \text{ dyn/cm}^2$  となる。この計算では GaAs の  $E/(1-\nu)$  の値として  $1.239 \times 10^{12} \text{ dyn/cm}^2$  を用いた。

9)

次に、ウェハの反りから応力を求める。ウェハの中心を通る線に沿った、ウェハの断面の一部と、その断面にかかる応力による変位の様子を図 4.31 に示す。Si 基板中で変位を起こさない中立層の曲率半径を  $R$ 、今考えている小部分の両端のなす角を  $\theta$ 、中立層から  $\eta$  の位置（外向きに正）の変位を  $\varepsilon_{Si}$ （以下、定数  $\varepsilon$ 、 $\sigma$ 、 $\nu$ 、 $E$  には Si と GaAs を区別するために添字を付ける）とすると、

$$\varepsilon_{Si} = \{(R + \eta)\theta - R\theta\} / R\theta = \eta/R \quad (4-15)$$

この変位を生じさせる応力  $\sigma_{Si}$  は (4-14) 式より

$$\sigma_{Si} = \varepsilon_{Si} E_{Si} / (1 - \nu_{Si}) = \{E_{Si} / R(1 - \nu_{Si})\} \eta \quad (4-16)$$

この応力を生じさせた GaAs 層が薄く、また、反りが少なく、中立層は Si 基板（基板厚  $T$ ）の中心を通っていると見なせるとすると、中立層の位置を原点にとった場合の Si 基板中の応力のモーメント  $M_{Si}$  は、

$$\begin{aligned} M_{Si} &= \int_{-T/2}^{T/2} \eta \sigma_{Si} d\eta = E_{Si} / R(1 - \nu_{Si}) \int_{-T/2}^{T/2} \eta^2 d\eta \\ &= \{E_{Si} / R(1 - \nu_{Si})\} T^3 / 12 \end{aligned} \quad (4-17)$$

一方、GaAs 層の応力は、膜厚 ( $t$ ) が Si の基板厚 ( $T$ ) と比較して充分薄く、その膜厚方向に対して一定であると近似すると、GaAs の応力のモーメント  $M_{GaAs}$  は、

$$M_{GaAs} = \sigma_{GaAs} t T / 2 \quad (4-18)$$

$M_{Si}$  と  $M_{GaAs}$  は方向が逆で釣り合っているはずであるから、(4-17) 式と (4-18) 式を等しいと置くと、Si 基板上に成長させた GaAs 層中の応力の近似式、<sup>18)</sup>

$$\sigma_{GaAs} = (1/6) [E_{Si} / (1 - \nu_{Si})] (T^2 / tR) \quad (4-19)$$

が得られる。

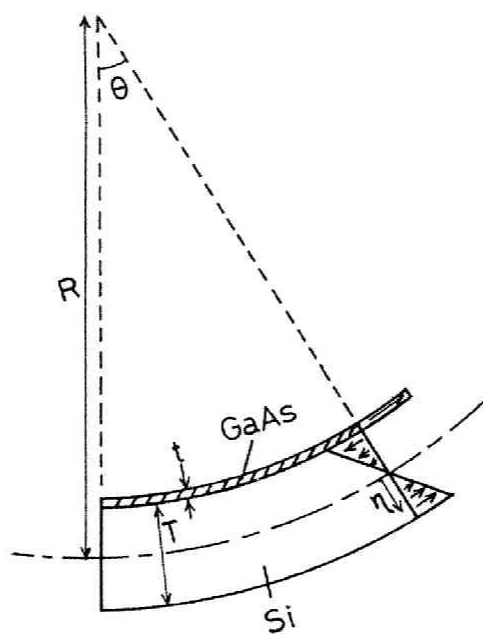


図 4.31 GaAs/Si ウェハの GaAs と Si の応力による変位

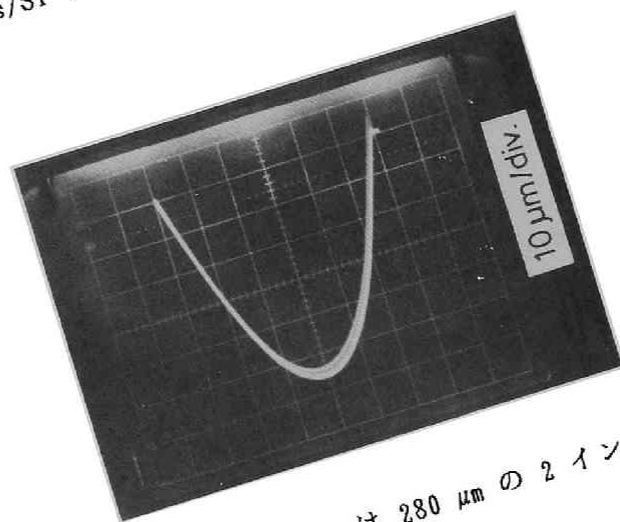


図 4.32 GaAs/Si ウェハの反り (Si は  $280 \mu\text{m}$  の 2 インチ基板、GaAs の膜厚は  $4 \mu\text{m}$ )

(4-19) 式を用いて、Si 基板上に成長させた GaAs 層の応力を求める。図 4.32 にウェハの反りを平坦度測定器で測定した例を示す。この試料は 280  $\mu\text{m}$  の厚さの 2 インチ Si 基板上に、700  $^{\circ}\text{C}$  の成長温度で、GaAs を約 4  $\mu\text{m}$  成長させたウェハである。引っ張り応力によって、約 55  $\mu\text{m}$  反っている。表 4.1 に、低温バッファ層の成長温度、膜厚をそれぞれ 400  $^{\circ}\text{C}$ 、100  $\text{\AA}$  と一定にして、このバッファ層のアニール温度、その上の GaAs の成長温度を変化させた場合の、ウェハの反りから求めた GaAs 層に働く平均の引っ張り応力を示す。この場合の Si 基板の厚みは 300  $\mu\text{m}$ 、GaAs の膜厚は 3  $\mu\text{m}$  である。計算では  $E_{\text{Si}} / (1 - \nu_{\text{Si}})$  の値として  $1.805 \times 10^{12} \text{ dyn/cm}^2$  を使用した。<sup>9)</sup> 応力はバッファ層のアニール温度、その上の GaAs 層の成長温度にかかわらず、 $1.3 \sim 1.4 \times 10^9 \text{ dyn/cm}^2$  のほぼ一定の値である。

これらの値は成長温度と室温の Si と GaAs の熱膨張の差から求めた値と比較すると、約 1/2 である。成長温度と室温での熱膨張の差によって応力が決定するものであるならば、成長温度によって応力が変化するはずであるが、反りから求めた応力は成長温度によらずほぼ一定である。このことから、GaAs 層に働く応力は、単に成長温度と室温での GaAs と Si との熱膨張の差によって決定しているものではないことが分かる。ウェハの反りから求めた応力に対応している成長温度を求めると、350  $\sim$  400  $^{\circ}\text{C}$  である。

4.3.4 項において、PL のピーク波長のシフト量から、77K での Si 基板上の GaAs に働く応力として  $2.32 \times 10^9 \text{ dyn/cm}^2$  を求めた。また、Si 基板上に成長させた GaAs の 77K での PL を高分解能の分光器を用いて測定した結果を図 4.33 に示す。発光スペクトルは 2 つのピーク、即ち、重い正孔と軽い正孔に対応したピークに分離している。このピークのエネルギー差 13 meV は (4-7) 式、(4-8) 式から  $2.4 \times 10^9 \text{ dyn/cm}^2$  の応力に対応している。(4-13) 式から、これらの応力に対応する GaAs 層の変位はそれぞれ  $1.87 \times 10^{-3}$ 、 $1.94 \times 10^{-3}$  となる。Si と GaAs の 77 K からの熱膨張の差がこれらの変位に一致する温度を求めると、それぞれ 343  $^{\circ}\text{C}$ 、363  $^{\circ}\text{C}$  となり、ウェハの反りから求めた温度とはほぼ一致する。

このことから成長温度にかかわらずウェハが冷却される過程で GaAs と Si の熱膨張の差によって生ずる応力は、GaAs 中の転位が動くことによって、または新たに発生することによって緩和され、350  $\sim$  400  $^{\circ}\text{C}$  の低温になって、転位が動きにくくなった後の熱膨張の差が、残留応力になっているものと考えられる。

GaAs 層に働く引っ張り応力はウェハに反りを生じさせるだけでなく、成長層の膜厚が増加してくると成長層にクラックを生ずる。成長層にデバイスを製

表 4.1 2 層目の GaAs の成長温度、成長後のアニール温度を  
変化させた場合のウェハの反りと GaAs 層の応力

試料	1 層目の GaAs の 成長温度、膜厚	成長後の アニール温度	2 層目の GaAs の 成長温度、膜厚	ウェハの 反り ( $\mu\text{m}$ )	応力 ( $\text{dyn}/\text{cm}^2$ )
A	400 °C, 150 Å	780 °C	780 °C, 3 $\mu\text{m}$	50	$1.4 \times 10^9$
B	"	680 °C	680 °C, 3 $\mu\text{m}$	46	$1.3 \times 10^9$
C	"	800 °C	650 °C, 3 $\mu\text{m}$	46	$1.3 \times 10^9$
D	"	800 °C	800 °C, 1 $\mu\text{m}$ + 650 °C, 2 $\mu\text{m}$	46	$1.3 \times 10^9$

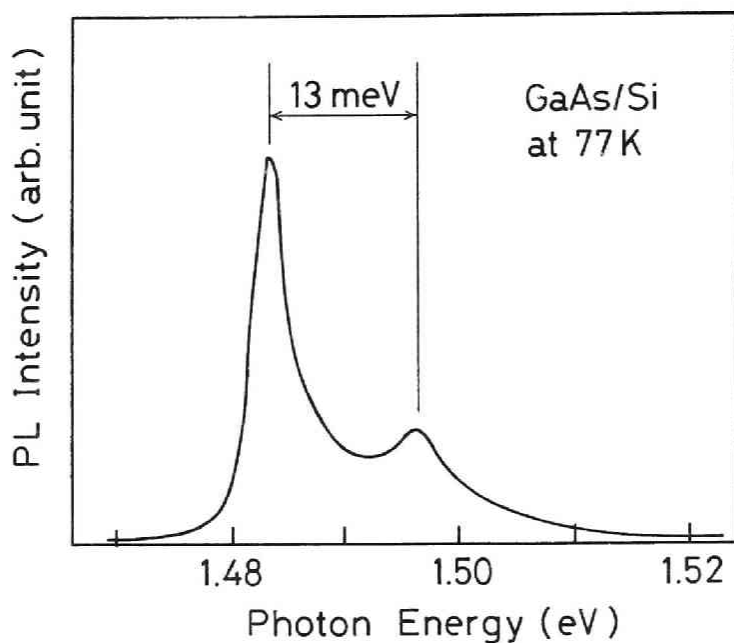


図 4.33 Si 基板上の GaAs 成長層の高分解能の分光器を用いた 77 K における  
フォトルミネッセンススペクトル



作する工程は通常何回かの熱処理を含んでいる。またフォトリソ工程に密着露光を用いるとガラスマスクにウェハを押し付ける。このような工程を通してクラックが生じることなくデバイスの製作が可能であるのは、成長層の膜厚がせいぜい  $4\ \mu\text{m}$  程度までであった。

単にウェハの反りを少なくするためならば厚い Si 基板を用いればよい。 $475\ \mu\text{m}$  の厚さの 2 インチ Si 基板上に GaAs を  $3\ \mu\text{m}$  成長させた時のウェハの反りは約  $20\ \mu\text{m}$  であり、 $300\ \mu\text{m}$  の厚さの Si 基板を用いた場合の  $1/2$  以下であった。また、Si 基板の裏面に適当な薄膜のコーティングを行う等の方法で、成長時に基板を上にも凸に変形させる方法もある。裏面にプラズマ CVD によって  $\text{SiN}_x$  膜のコーティングを行い、この膜が GaAs を成長させる前の熱処理で変質して生じる応力を用いて、Si 基板を上にも凸に変形させて成長させた時の実験結果を図 4.34 に示す。用いた Si 基板の厚さは  $300\ \mu\text{m}$  であり、GaAs 成長層の膜厚は  $2.5\ \mu\text{m}$  である。この場合は、約  $4,300\ \text{\AA}$  の  $\text{SiN}_x$  膜を用いた場合に成長後の室温でのウェハの反りはほぼ 0 となる。

この他に選択成長により GaAs を成長させる領域を限定することによってウェハの反りを低減させることも可能である。TMG を Ga ソースとして用いて減圧系で成長を行うと、GaAs 基板上と同様に、Si 基板上にもほぼ完全な選択成長を行うことができる。成長させる領域を正方形として、 $750\ \mu\text{m}$  ピッチで正方形の大きさを変化させた場合のウェハの反りを成長層の  $77\ \text{K}$  での PL の発光波長とともに図 4.35 に示す。成長させる領域が減少するに従ってウェハの反りは減少している。また、それに従ってクラックの生じる成長層の膜厚は増加し、一辺が  $300\ \mu\text{m}$  の正方形の成長領域では  $5\sim 6\ \mu\text{m}$  の膜厚までクラックの発生は観察されなかった。しかし、PL の発光波長は成長させた正方形の大きさを変化させてもほとんど変わらず、全面に成長させた場合と同じである。このことは、選択成長を行っても成長層に働く応力は実験を行った範囲では変化していないことを示している。

以上述べたような方法でウェハの反りを低減することは可能であるが、成長層に働く応力はほとんど変化しない。応力を低減するためには基板、成長層への何等かの工夫、また成長温度の低温化が必要である。しかし、成長温度が  $350\sim 400\ ^\circ\text{C}$  以上では応力に差がないことから、この温度以下でなければ効果はないと考えられる。

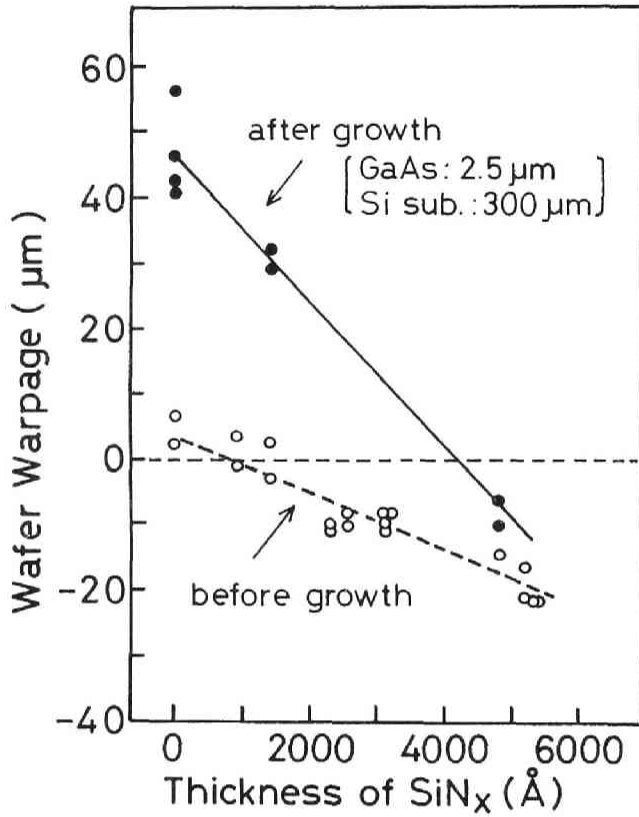


図 4.34 Si 基板の裏面に SiN 膜をコーティングして GaAs を成長させた場合の SiN 膜の厚みと成長前後のウェハの反り

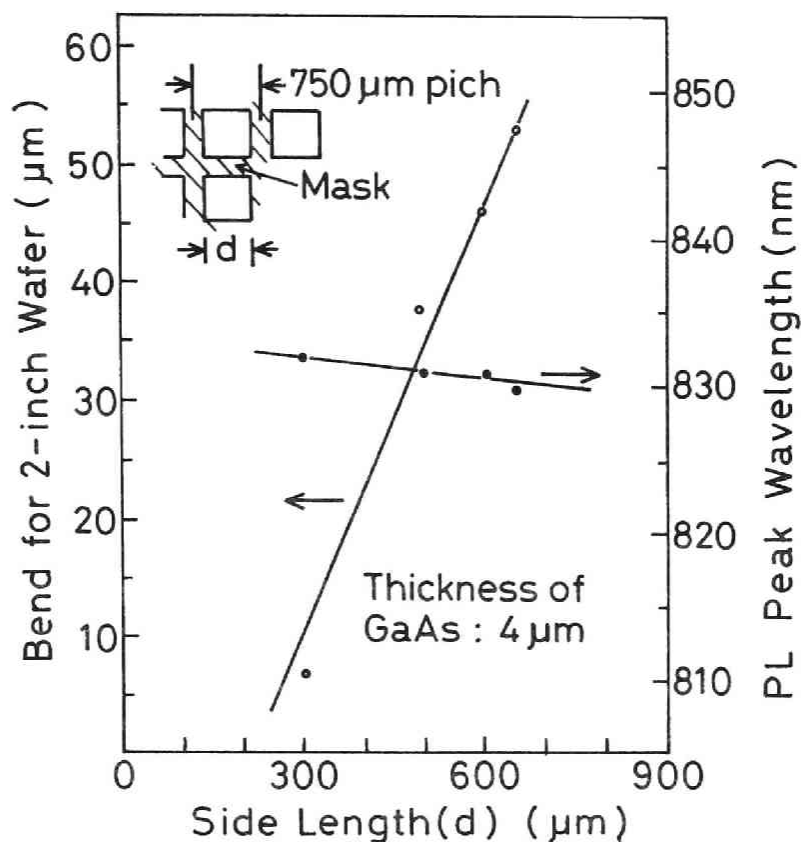


図 4.35 Si 基板の上に GaAs を選択成長させた場合のウェハの反りと成長層の 77 K でのフォトルミネッセンスのピーク波長

#### 4.7.2 転位密度

4.5 節で述べたように 2 段階成長法で成長させた GaAs 層には  $10^8/\text{cm}^2$  程度の転位が残留している。このため、成長層中での少数キャリアの拡散長は GaAs 基板の上の成長層中と比較して 1/2 程度であることが報告されている。<sup>19)</sup> このことは次章で述べるように FET 等の多数キャリアを用いる電子デバイスに対しては特に問題はないが、少数キャリアを用いる光デバイスに対しては大幅にその性能を劣化させる。このため GaAs/Si ウェハが広く使用されるためには転位密度の低減が必須である。

転位を低減する方法としていくつかの方法が提案され、その有効性が確認されている。その一つの方法は成長の途中で基板に成長温度と 300 °C 程度の低温の間で熱サイクルをかける方法であり、この方法により転位密度は約 1 桁低減されることが報告されている。<sup>20)</sup> また、より短時間で行える簡便な方法

として、成長の途中または成長後に高温でアニールを行う方法の有効性も報告されている。<sup>21-22)</sup>

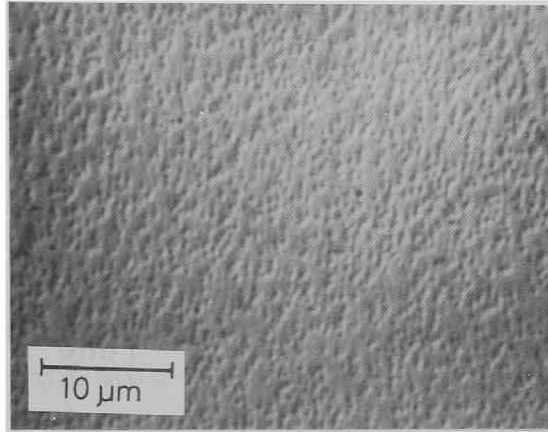
図 4.36 に 3  $\mu\text{m}$  の GaAs を成長させた後、アニールを行わないで取り出した試料と、成長後  $\text{AsH}_3$  を流しながら 850  $^\circ\text{C}$ 、5 分間のアニールを行った試料を溶融 KOH でエッチングした表面写真を示す。写真から明らかなように、この方法によっても約 1 桁程度転位を低減することが可能である。

これ等の方法は、温度を変化させることにより成長層に GaAs と Si の熱膨張の差によって生じる応力をかけて転位を動かし、これによって転位のループを形成したり、互いに逆方向のバーガスベクトルをもった転位を合流させて、転位の伝播を停止させていると考えられる。このため、成長温度より低温で熱サイクルを何度も行うより、転位の動き易い高温でのアニールの方が効果が大きく、短時間で行うことができる。

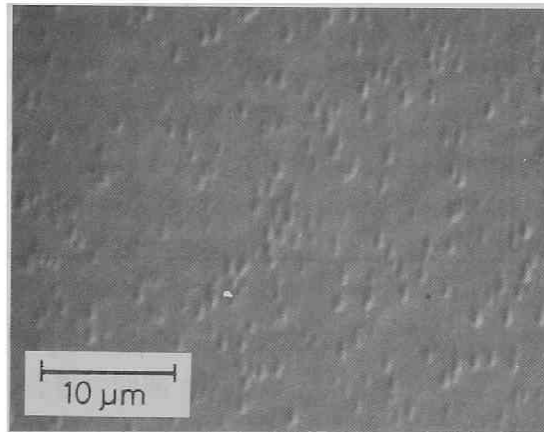
図 4.37 に GaAs の成長膜厚を 3  $\mu\text{m}$  と一定にして、途中で成長を停止して 850  $^\circ\text{C}$ 、5 分間のアニールを行った場合と、950  $^\circ\text{C}$ 、5 分間のアニールを行った場合のエッチピット密度を、アニール時の膜厚に対してプロットしたものを示す。850  $^\circ\text{C}$  のアニールの場合は膜厚が厚い方がエッチピット密度が減少する傾向を示している。しかし、950  $^\circ\text{C}$  でアニールを行った場合にはアニール時の膜厚が 2  $\mu\text{m}$  のあたりでエッチピット密度が最小値になっている。前節で述べたように、GaAs/Si ウェハは成長温度にかかわらずそのウェハの反りは 350  $^\circ\text{C}$   $\sim$  400  $^\circ\text{C}$  と室温との温度差の熱膨張の差に対応している。このことは 350  $^\circ\text{C}$  程度以上の高温においては、応力が加わると容易に転位が動き、または新たに転位が発生して応力を緩和することを示している。アニールの温度が高い場合には、温度差が大きくなることによってアニールによって生ずる応力が大きくなり、これを緩和するために転位の移動、発生が起りやすくなる。また膜厚が増加しても、膜全体の応力を緩和するために転位は移動しやすく、また、新たに発生する転位が多くなるであろう。図 4.37 に示す結果は、アニールによる転位の運動が適当な場合に転位密度が最低になり、温度が高すぎたり膜厚が厚すぎる場合には、減少する以上に新たに転位が発生することを示している。

その他の方法として、InGaAs/GaAs 歪超格子を導入することによって転位の伝播する方向を成長表面と平行な方向に曲げることにより、その上の成長層の転位を低減させる方法も報告されている。<sup>23)</sup>

これ等の方法、またはその組み合わせによって  $10^6/\text{cm}^2$  程度まで転位密度を低減させることができる。しかし、まだ GaAs 基板上の成長層と比較すると 2  $\sim$  3 桁多い。今後の問題として転位密度低減のための成長法、層構成の最適化が GaAs/Si 系に対して必須の課題である。



(a)



(b)

図 4.36 Si 基板の上に  $3\ \mu\text{m}$  成長させた GaAs 層の成長後のアニール ( $800\ ^\circ\text{C}$ 、5 分間) の有 (b) 無 (a) による熔融 KOH によるエッチビットパターン

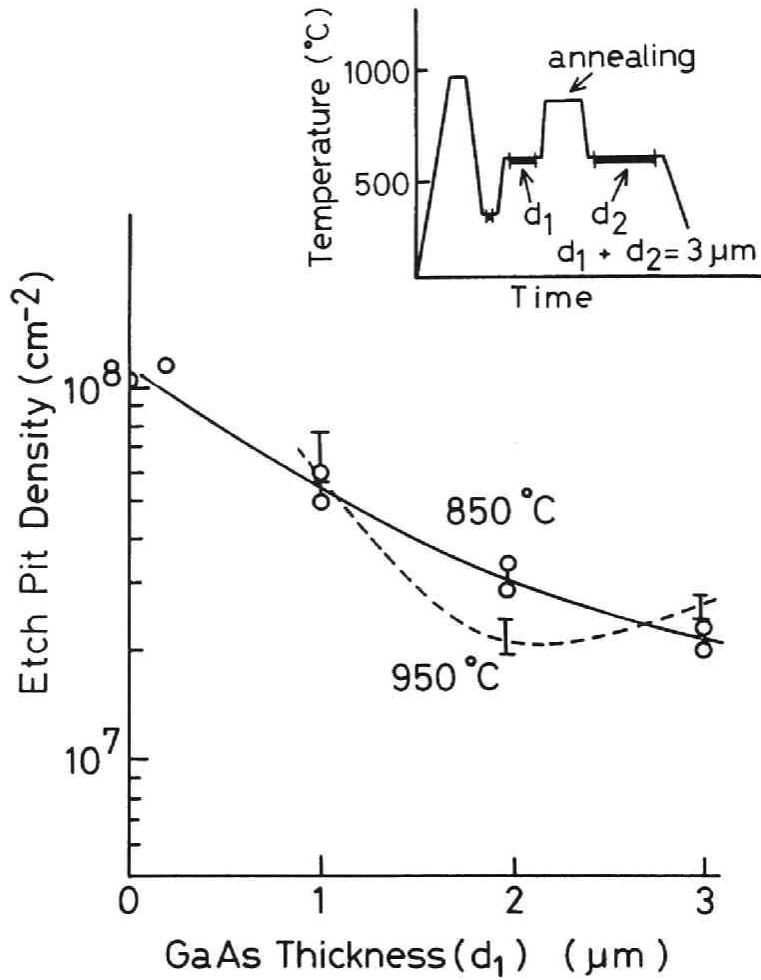


図 4.37 GaAs の膜厚を一定 (3 μm) にしてアニールを行う膜厚、温度を変化させた場合の熔融 KOH によるエッチピット密度

#### 4.8 まとめ

本章では MOVPE による Si 基板上への GaAs の成長について、直接成長を可能とした 2 段階成長法に至るまでの経過、その成長法、成長層の膜質について述べ、成長機構について考察した。また今後解決されるべき問題点についても述べた。

本研究で開発した 2 段階成長法により、Si と GaAs の 4 % の格子不整合の問題、および polar on nonpolar の成長による antiphase domain 構造の成長層が得られやすいという問題が同時に解決され、(100) 面近傍の Si 基板上に、single domain ではほぼ鏡面の GaAs 層を容易に成長させることが可能になった。得られた成長層はバルクと同程度の電子移動度を示し、GaAs 基板上の成長層と比較すると劣るものの、かなり強いフォトルミネッセンス発光を示す高品質の結晶であった。

MOVPE による GaAs/Si の成長では、第 1 層目の GaAs 薄膜を 450 °C 程度以下の低温で成長させることが、single domain で鏡面の成長層を得るためには必要である。この低温で成長させた GaAs 薄膜が、昇温時にアニールされて固相成長を行う過程で格子不整合が緩和され、また domain 構造も決定する。成長層が single domain になるためには、成長前の基板の熱処理によって Si 表面のステップが 2 原子層またはその倍数の高さになることが重要と考えられる。しかし、必ずしもすべてのステップが完全に偶数倍の原子層の高さになっていなくても、また基板の熱処理を行わなくても single domain の成長層は得られ得る。この成長機構、および成長前に基板の熱処理を行わない場合と、AsH<sub>3</sub> 雰囲気中で熱処理を行った場合とで、成長層の結晶方位が 90° 異なっていることの機構等についてはまだ明らかになっていない。

GaAs 成長層にはまだ多くの転位が残留しており、約  $1.4 \times 10^9$  dyn/cm<sup>2</sup> のかなり強い引っ張り応力も働いている。これ等の転位および応力の低減は GaAs/Si 系における今後の問題である。

(参考文献)

- 1) T. Soga, S. Hattori, S. Sakai, M. Takeyasu, and M. Umeno; *Electron. Lett.* 20 (1984) 916.
- 2) P. N. Uppal, and H. Kroemer; *J. Appl. Phys.* 58 (1985) 2195.
- 3) M. Ishida, H. Ohyama, S. Sakaki, Y. Yasuda, T. Nishinaga, and T. Nakanura ; *Jpn. J. Appl. Phys.* 20 (1981) L541.
- 4) G. E. Pikus, and G. L. Bir; *Sov. Phys. Solid State* 1 (1959) 136.
- 5) G. E. Pikus, and G. L. Bir; *Sov. Phys. Solid State* 1 (1960) 1502.
- 6) F. H. Pollak, and M. Cardona; *Phys. Rev.* 172 (1968) 816
- 7) A. Freundlich, J. C. Grenet, G. Neu, G. Landa, and R. Carles; *Appl. Phys. Lett.* 55 (1989) 1558.
- 8) M. Chandrasekhar, and F. H. Pollak; *Phys. Rev.* 15 (1977) 2127.
- 9) W. A. Brantley; *J. Appl. Phys.* 44 (1973) 534.
- 10) S. Nishi, H. Inomata, M. Akiyama, and K. Kaminishi; *Jpn. J. Appl. Phys.* 24 (1985) L391.
- 11) K. Ishida, M. Akiyama, S. Nishi; *Jpn. J. Appl. Phys.* 26 (1987) L163.
- 12) H. Takasugi, M. Kawabe, and Y. Bando; *Jpn. J. Appl. Phys.* 26 (1987) L584
- 13) 川辺光央、高杉英利、上田登志雄、坂東義雄、北見善三 ; 日本結晶成長学会誌 13 (1986) 233
- 14) K. Ishida, M. Akiyama, S. Nishi; *Jpn. J. Appl. Phys.* 25 (1986) L288.
- 15) R. Kaplan; *Surf. Sci.* 93 (1980) 145.
- 16) T. Sakamoto, G. Hashiguchi; *Jpn. J. Appl. Phys.* 25 (1986) L78.
- 17) A. G. Milnes, and D. L. Feucht; in "Heterojunctions and Metal-Semiconductor Junctions" (1972) 9. (Academic Press, Inc.)
- 18) C. M. Drum, and M. J. Rand; *J. Appl. Phys.* 39 (1968) 4458.
- 19) 清水正文、水木敏雄、久松正、山口利幸、江夏昌朗、菅原和士、桜井武 ; 電子通信学会研究会資料 CPM85-74 (1985)
- 20) 清水正文、菅原和士、桜井武 ; 日本結晶成長学会誌 13 (1986) 253.
- 21) C. Choi, N. Otsuka, G. Munns, R. Houdre, H. Morkoç, S. L. Zhang, L. Levi, and M. V. Klein; *Appl. Phys. Lett.* 50 (1987) 992.
- 22) H. L. Tsai, and J. W. Lee; *Appl. Phys. Lett.* 51 (1987) 130.
- 23) R. Fischer, D. Neuman, H. Zabel, H. Morkoç, C. Choi, and N. Otsuka; *Appl. Phys. Lett.* 48 (1986) 1223.



## 第5章 GaAs/Si ウェハのデバイスへの応用

### 5.1 はじめに

前章で述べたように 2 段階成長法により、Si 基板上に single domain でほぼ鏡面の GaAs 層の成長が可能になった。このことにより、機械的強度が高く、廉価で大面積であるという Si 基板の特徴を備えた GaAs/Si ウェハを得ることができるようになった。本章では GaAs/Si ウェハ上にデバイスを試作してデバイス応用への可能性を調べた結果について述べる。

GaAs/Si ウェハ上にデバイスを製作する場合、成長層と基板とを導通させて使用するデバイスと、絶縁する必要のあるデバイスがある。GaAs 成長層は GaAs/Si の界面近傍で高濃度の n 型の伝導を示すので、n 型の Si 基板を用いれば n 型の GaAs 成長層とはオーミック接触が得られる。一方、FET、集積回路等を成長層上に製作するためには、デバイスを製作する成長層の表面近傍は基板および界面近傍の n 型導電層と絶縁されていなければならない。

本章では、まず Cr、V を添加した半絶縁性 GaAs のエピタキシャル成長についての実験結果を述べる。次に、この半絶縁性 GaAs 層によって Si 基板と成長層上層を分離した GaAs/Si ウェハ上に試作したデジタル IC 用の FET、リングオシレータ、電力 FET の特性、及び AlGaAs 可視発光ダイオードの試作例について述べ、デバイス応用の面から見た GaAs/Si ウェハの特性、問題点について考察する。

### 5.2 Cr の添加による半絶縁性 GaAs の成長

半絶縁性の GaAs のエピタキシャル成長は、主にマイクロ波 FET を製作する場合の基板と能動層の間のバッファ層への適用を目的として、研究が行われてきた。半絶縁性の GaAs を得るには禁制帯の中心付近に深い準位を形成する原子を不純物として添加すればよい。バルクの結晶では Cr または Cr と 0 等の添加が行われている。エピタキシャル成長によるものとしては、液相成長では Cr を添加した例<sup>1-2)</sup> と Fe を添加した例<sup>3-4)</sup> が報告されている。クロライド系の気相成長では Fe を添加した例、<sup>5-6)</sup> Cr を添加した例、<sup>7)</sup> V と 0 を同時に添加した例<sup>8)</sup> が報告されている。また MBE においても、Cr と Fe を添加した結果が報告されている。<sup>9-10)</sup> しかし、MOVPE においてはヘキサカーボニルクロム ( $\text{Cr}(\text{CO})_6$ ) を用いた Cr を添加した例の報告<sup>11)</sup> があるだけである。この報告では  $10^4 \text{ } \Omega\text{cm}$  以上の抵抗率の成長層が得られている。しかし、 $\text{Cr}(\text{CO})_6$  はその蒸気圧が  $1.8 \times 10^{-1} \text{ Torr}$  と高く、添加量を正確に制御するにはあまり適していない。また、反応系への導入を停止した後も成長層に添加

され、強い履歴が残ることも報告されている。

本節では蒸気圧が適当に低い材料として、ビスベンゼンクロム ( $\text{Cr}(\text{C}_6\text{H}_6)_2$ ) を用いた Cr の添加による判絶縁性結晶の成長実験の結果を述べ、次節でトリエトキシバナジル ( $\text{VO}(\text{OC}_2\text{H}_5)_3$ ) を用いた V を添加した結果について述べる。

#### 5.2.1 $\text{Cr}(\text{C}_6\text{H}_6)_2$ による Cr の添加

$\text{Cr}(\text{C}_6\text{H}_6)_2$  (以下 BBC) は常温で黒褐色の昇華性を有する固体である。<sup>1,2)</sup> その融点は 284 ~ 285 °C であり、約 300 °C で Cr とベンゼンに分解する。蒸気圧は常温で  $7 \times 10^{-5}$  Torr であり、 $\text{Cr}(\text{CO})_6$  に比較して充分低く、反応系への導入量を制御するには有利である。この BBC の反応系への導入は、通常液体の物質の場合に用いるステンレス製のバブラに BBC を封入し、キャリアガスの  $\text{H}_2$  をこのバブラを通して流して、昇華した BBC を導入した。導入量の制御は、バブラの温度およびバブラを通過する  $\text{H}_2$  の流量によって行った。このような物質は配管の壁面に付着して系全体を汚染する可能性がある。そこで BBC の導入系を新たに付け加え、反応管の直前で他のガスと合流するようにした。

#### 5.2.2 評価法

抵抗率の評価は、 $n^+$  GaAs 基板の上に Cr を添加した GaAs 層を成長させ、その表面に直径 200  $\mu\text{m}$  の Ti ショットキ電極を、基板の裏面に In を合金化することによりオーミック電極を形成した試料を用いた。このショットキダイオードの順方向の電圧電流特性の例を図 5.1 に示す。低電圧では電流は電圧に対して指数関数的に増加するが、さらに電圧を上げていくと、電圧と電流が比例するダイオードの直列抵抗によって電流が決定される領域がある。この領域の電圧と電流の傾きから成長層の抵抗率を求めた。また、どの程度の電子を補償できるかを、Se と同時に Cr を添加して測定した。この場合、成長層が導電性の場合には、半絶縁性 GaAs 基板の上に成長させた試料を用いて van der Pauw 法によって測定を行った。

#### 5.2.3 Cr の添加特性と半絶縁性 GaAs 成長層の性質

##### (a) 補償可能な電子濃度

まず、どの程度の電子濃度を補償できるかを調べた。半絶縁性 GaAs 基板の上に  $\text{H}_2\text{Se}$  を用いて Se を一定量添加し、他の成長条件も一定にして、BBC のバブラを流す  $\text{H}_2$  の流量を変化させて成長させた試料の電子濃度と移動度を測定した。バブラの温度を 22 °C に保って行った実験結果を図 5.2 に示す。BBC の

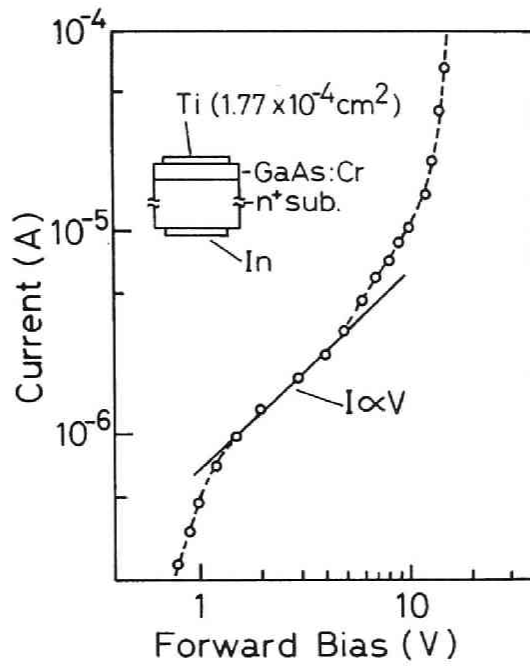


図 5.1 Cr を添加した GaAs 層と Ti ショットキ電極の順方向電圧電流特性

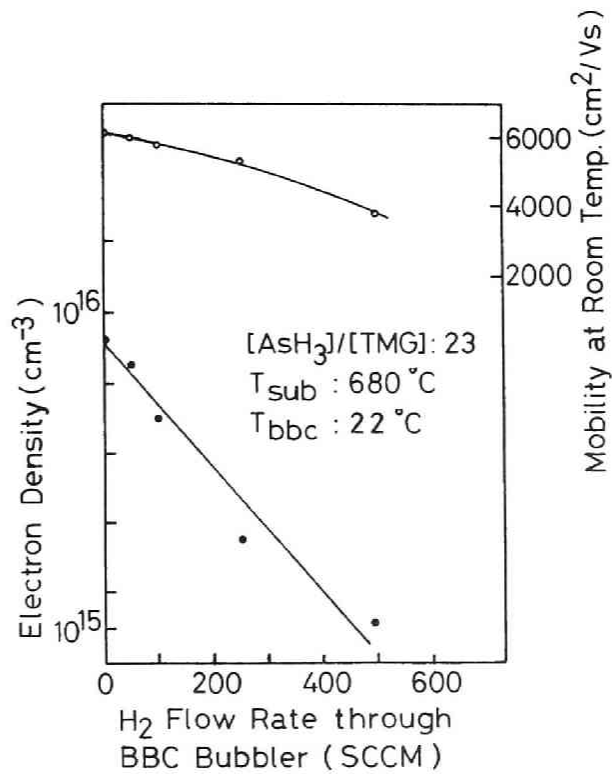


図 5.2 Se の添加量を一定にして BBC の反応系への導入量を変化させた場合の成長層の電子濃度と室温での電子移動度

バブラを通過する  $H_2$  の流量が増加するに従って、電子濃度、移動度とも減少している。この場合の Se の添加量は  $9 \times 10^{15}/cm^3$  であるが、ほぼこの程度の電子濃度は補償できることを示している。この実験では成長層はすべて鏡面の表面が得られたが、バブラの温度を上げて BBC の導入量を増した場合には、徐々に成長層の表面が白濁する傾向を示した。このことから、以後の実験は BBC バブラの温度は  $22^\circ C$ 、バブラに流す  $H_2$  の流量は 400 SCCM と一定にして行った。

## (b) 抵抗率

Se と Cr を同時に添加することにより、 $10^{16}/cm^3$  程度の電子濃度を補償できることが明らかになったが、Se を同時に添加した場合には、抵抗率は高くなるものの、半絶縁性の成長層は得られなかった。しかし、Cr のみを添加した場合には  $10^5 \sim 10^6 \Omega cm$  の抵抗率の成長層が得られることから、成長条件と抵抗率の関係を調べた。

### i) 成長温度依存性

TMG の導入量を  $8 \times 10^{-2}$  Torr、V/III 比を 45、全流量を 1,500 SCCM、BBC の導入量も一定（バブラの温度； $22^\circ C$ 、バブラを通過する  $H_2$  の流量；400 SCCM）として、成長温度のみを変化させた場合の抵抗率を図 5.3 に示す。実験を行った  $670 \sim 750^\circ C$  の範囲ではほぼ一定の抵抗率が得られており、成長温度依存性は少ない。

### ii) V/III 比依存性

成長温度依存性を調べた場合と同じ成長条件で成長温度を  $680^\circ C$  と一定にし、 $AsH_3$  の導入量を変化させた場合の抵抗率の V/III 比依存性を図 5.4 に示す。V/III 比を増加させるに従って抵抗率は低下する。この傾向は、無添加の GaAs 層の電子濃度が V/III 比を増加させるに従って増加することから、僅かにドナ不純物を添加した場合に対応するためと考えられる。

## (c) 残留効果

Cr(CO)<sub>6</sub> を用いた場合には、強い残留効果があることが報告されているが、<sup>11)</sup> BBC を用いた場合の残留効果について調べた。半絶縁性の GaAs 基板に、まず Se を添加した GaAs を成長させ、途中から TMG と Se の導入を保持したまま BBC を導入して 10 分間成長させた後、BBC の導入を停止してさらに 10 分間成長させた。この試料を用いてステップエッチを行いながら、van der

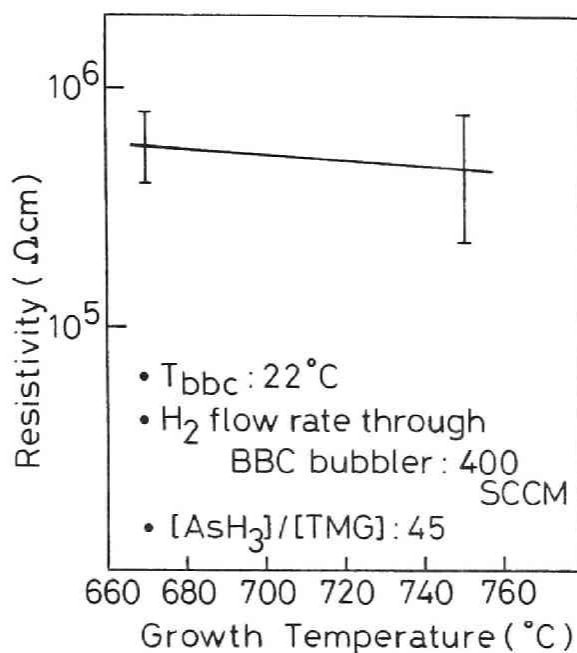


図 5.3 成長温度に対する Cr を添加した GaAs 成長層の抵抗率

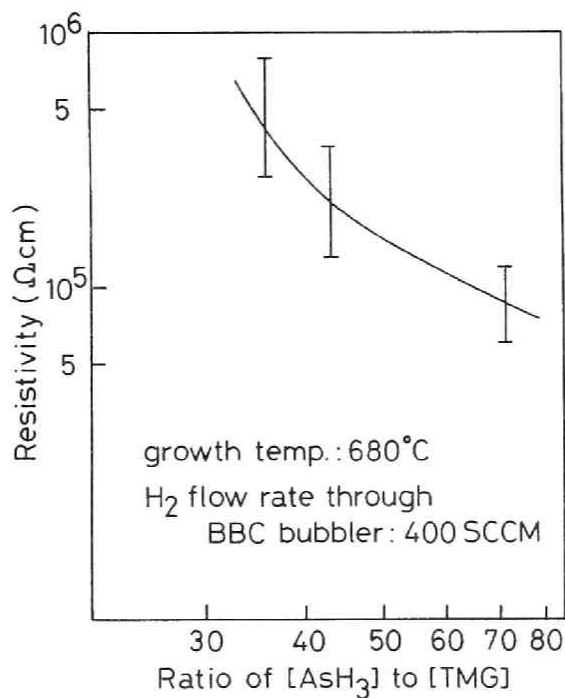


図 5.4 V/III 比に対する Cr を添加した GaAs 成長層の抵抗率

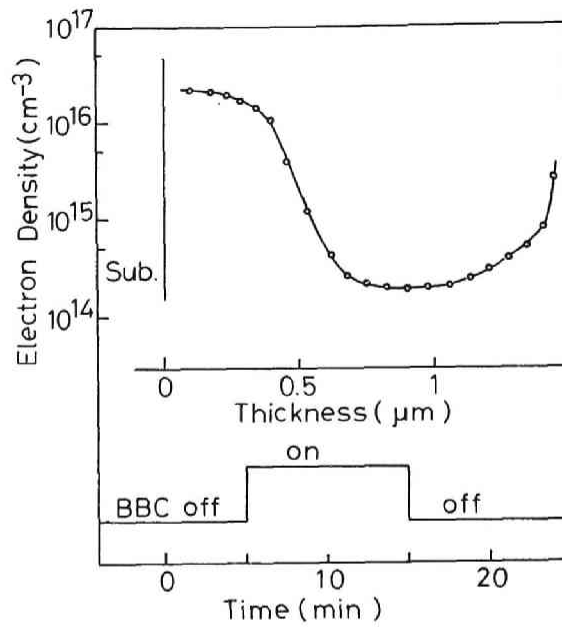


図 5.5 Se の添加量を一定にし、成長の途中で BBC の導入、停止を行った場合の成長層の電子濃度プロファイル

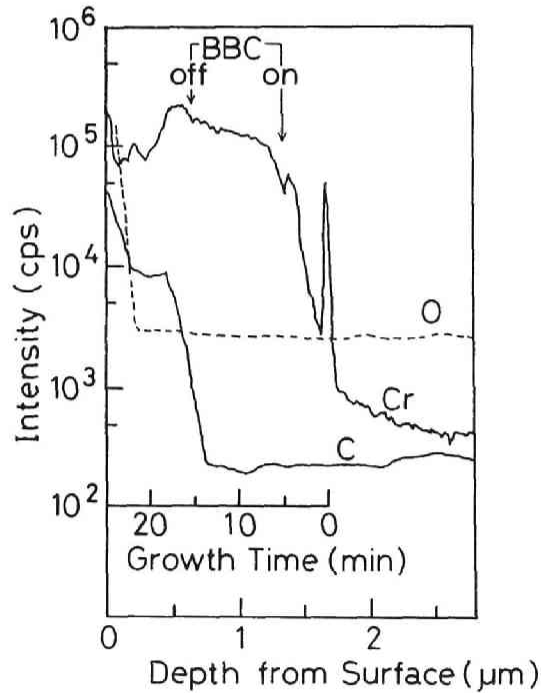


図 5.6 成長の途中で BBC の導入、停止を行った試料の SIMS プロファイル

Pauw 法により電子濃度のプロファイルを求めた結果を図 5.5 に示す。BBC を導入すると徐々に電子濃度は減少するが、BBC の導入を停止しても、なかなか電子濃度は回復せず、Cr(CO)<sub>6</sub> と同様に強い残留効果があることが明らかになった。これは配管壁、反応管壁に付着した BBC がバブラからの供給を停止した後も反応管中に出て来るためと考えられる。

この試料について、SIMS (secondary ion mass spectroscopy) による成長層中の Cr 濃度を測定した結果を図 5.6 に示す。図には同時に調べた O 濃度および C 濃度も示しているが、O 濃度については基板側と変化なく、測定系のバックグラウンドを示していると考えられる。BBC の導入を開始した時点から Cr 濃度が増加しているが、導入を停止した後も同レベルの Cr が検出されており、電子濃度のプロファイルの測定結果とよい一致を示している。さらに、基板の Cr 濃度は約  $10^{16}/\text{cm}^3$  と考えられるので、この成長層の Cr 濃度は  $10^{18}/\text{cm}^3$  かまたはそれ以上と考えられる。一方、Cr の添加によって補償されている電子濃度は高々  $10^{16}/\text{cm}^3$  であり、成長層中に取り込まれている Cr で電子トラップとなる深い準位の形成に寄与しているのはごく一部であることが分かる。また C については BBC の導入を停止したあたりから増加していることが見られるが、この理由については明らかでない。

#### 5.2.4 Cr の添加のまとめ

BBC を用いた Cr の添加により、 $10^5 \sim 10^6 \Omega\text{cm}$  の半絶縁性 GaAs 成長層を得ることができた。成長層の抵抗率は成長温度にはあまり影響されないが、V/III 比に対してはこの比が増加するに従って抵抗率は減少する傾向を示す。また Cr(CO)<sub>6</sub> を用いた場合に報告されていると同様に、強い残留効果を示すことを電子濃度プロファイル、SIMS による測定で確認した。また、結晶中に取り込まれた Cr 原子の内、深い準位の形成に寄与しているのはごく一部であることが明らかになった。

### 5.3 V の添加による半絶縁性 GaAs の成長

#### 5.3.1 $\text{VO}(\text{OC}_2\text{H}_5)_3$ による V の添加

前節で述べたように、BBC により Cr を添加した場合には得られる抵抗率が高々  $10^6 \Omega\text{cm}$  であり、強い残留効果を示す。導電性の基板と成長層上のデバイスの間を電氣的に分離するためにはさらに高抵抗であることが望ましい。また、残留効果があると半絶縁性層の上に任意の電氣的特性の成長層を同一の成長炉で連続的に成長することが困難である。これ等のことから、クロライド系の成長で  $10^8 \Omega\text{cm}$  の抵抗率の得られている V と O の添加を試みた。使用した原料は  $\text{VO}(\text{OC}_2\text{H}_5)_3$  (以下 TEV) である。TEV は常温で黄色の液体である。その蒸気圧の詳細は明らかでないが、高温での蒸気圧から推定される  $10^\circ\text{C}$  での蒸気圧は  $10^{-4} \sim 10^{-3}$  Torr である。<sup>13)</sup> これをステンレス製のバブラに封入して、 $\text{H}_2$  でバブルして反応系に導入した。実験ではバブラの温度を  $10^\circ\text{C}$  に固定して、バブラに流す  $\text{H}_2$  の流量のみによって導入量を制御した。TEV を用いた場合、その分子式の中に O を含んでいるので、O も同時に添加されることが期待され、高抵抗化には有利であると考えられる。

#### 5.3.2 V の添加特性と半絶縁性 GaAs 成長層の性質

##### (a) 補償可能な電子濃度

Se と V を同時に添加することによって、補償可能な電子濃度を調べた結果を図 5.7 に示す。(a) の結果は、Se を  $2 \times 10^{18}/\text{cm}^3$  添加した時の、TEV のバブラを流れる  $\text{H}_2$  の流量と成長層の電子濃度の関係である。この場合の成長速度は  $1,000 \text{ \AA}/\text{min}$  である。また、(b) は Se を  $1 \times 10^{17}/\text{cm}^3$  添加した時の同様の実験結果である。この場合は  $2,000 \text{ \AA}/\text{min}$  の速度で成長を行った。

いずれの場合も TEV を流れる  $\text{H}_2$  の流量を増加することによって電子濃度は補償されて低下している。そして  $10^{18}/\text{cm}^3$  以上の電子濃度を補償できることを示している。このように高濃度に V を添加した場合にも成長層の表面のモフォロジーの荒れは観察されず、無添加の場合の表面と同様の鏡面であった。これ等の結果は補償できる電子濃度が高々  $10^{16}/\text{cm}^3$  であり、高濃度に添加すると白濁する傾向を示した Cr の場合と比較して、非常に使用しやすい。

##### (b) 抵抗率

###### i) 成長温度依存性

TEV のバブラを  $10^\circ\text{C}$  に保ち、バブラを流す  $\text{H}_2$  の流量を  $10 \text{ SCCM}$ 、V/III 比を 19、全流量を  $1,500 \text{ SCCM}$ 、成長速度を  $2,000 \text{ \AA}$  と一定にして、成長温



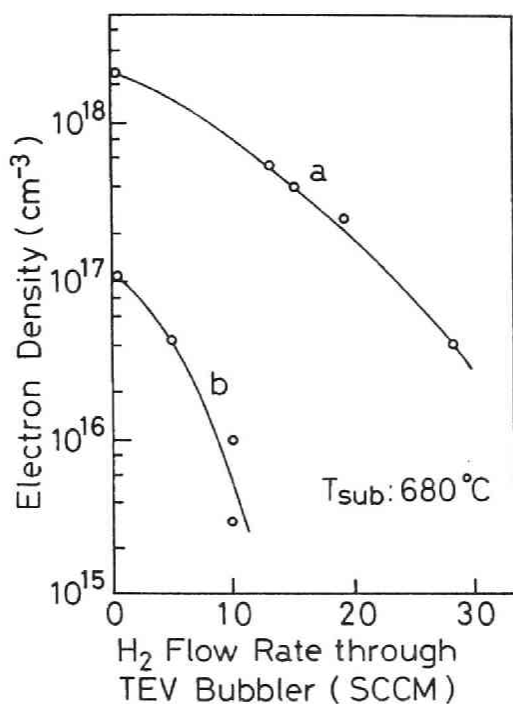


図 5.7 Se の添加量を一定にして反応系への TEV の導入量を変化させた場合の電子濃度

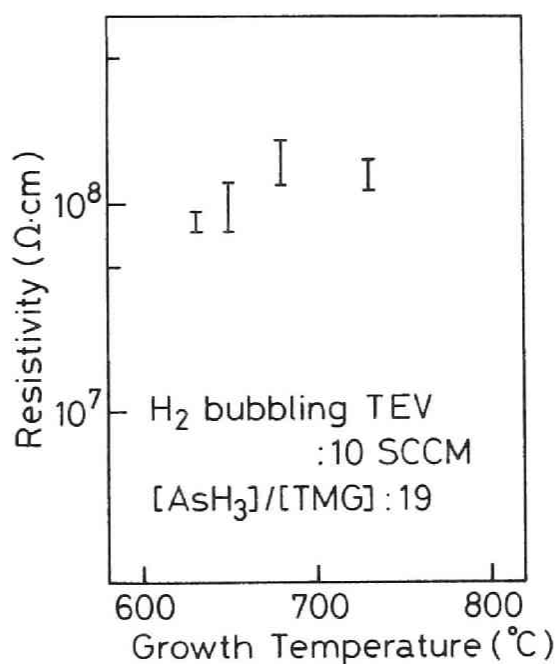


図 5.8 成長温度に対する V を添加した GaAs 成長層の抵抗率

度を変化させた時の成長層の抵抗率を図 5.8 に示す。この成長条件の場合、TEV を導入しない場合には高純度の成長層が得られる。しかし、その抵抗率は高々  $100 \Omega\text{cm}$  程度であった。TEV を加えることにより、図に示すように  $10^8 \Omega\text{cm}$  前後の抵抗率が安定して得られており、成長温度依存性は少ない。

#### ii) V/III 比依存性

成長温度を  $680^\circ\text{C}$  と一定にして、 $\text{AsH}_3$  の流量のみを変化させて V/III 比依存性を調べた結果を図 5.9 に示す。全流量、成長速度、TEV の導入量は成長温度依存性を調べた時と同じ条件である。この結果から明らかなように、BBC を用いた Cr を添加した時に見られたような V/III 比依存性は見られず、安定して  $10^8 \Omega\text{cm}$  前後の高い抵抗率の成長層が得られている。

#### iii) 室温付近での抵抗率の温度依存性

このような高抵抗層について、室温付近での抵抗率の温度変化を測定した。その代表的な結果を図 5.10 に示す。この温度依存性から求めた活性化エネルギーは  $0.74 \text{ eV}$  であり、禁制帯の中央付近に準位が形成されていることを示している。

以上の結果から TEV を用いた V の添加により、広い成長条件の範囲で抵抗率が  $10^8 \Omega\text{cm}$  前後の半絶縁性 GaAs 層の成長が可能であることを確認した。

### (C) 残留効果

Se を  $2 \times 10^{17}/\text{cm}^3$  添加しながら TEV を導入して成長を行い、途中で TEV の導入を停止した資料をステップエッチングを行いながら van der Pauw 法で求めた電子濃度プロファイルを図 5.11 に示す。TEV の導入を停止した後、電子濃度は急激に回復しており、Cr を添加した時に見られたような強い残留効果は見られない。

さらに詳しく調べるために、成長の途中で TEV の導入を開始して 10 分間成長させ、途中で TEV の導入を停止した資料の SIMS による分析を行った。結果を図 5.12 に示す。TEV を導入すると同時に成長層中の V 濃度は急激に多くなる。導入を開始したところで見られるゆらぎは、TEV のバブラに  $\text{H}_2$  を流し始めた時の  $\text{H}_2$  の流れの不安定性によるものであろう。そして、導入している間はほぼ一定の V 濃度を示し、導入を停止した時点で完全にはなくならないものの、Cr の場合に比較すると急激に減少している。0 についても測定結果を示すが、これは基板中と変化なく測定系のバックグラウンドを示している

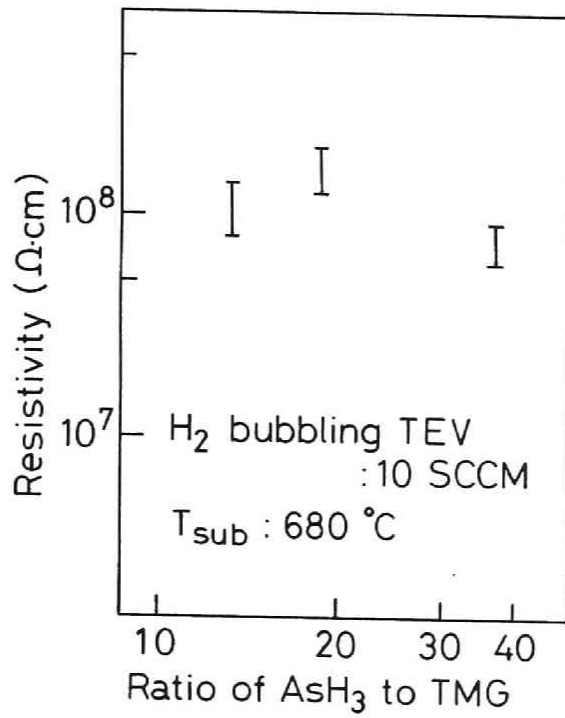


図 5.9 V/III 比に対する V を添加した GaAs 成長層の抵抗率

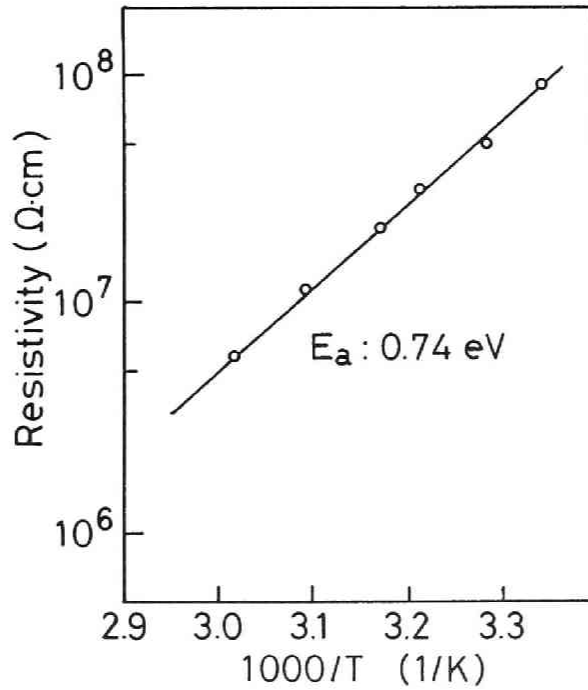


図 5.10 V を添加した GaAs 成長層の抵抗率の温度依存性

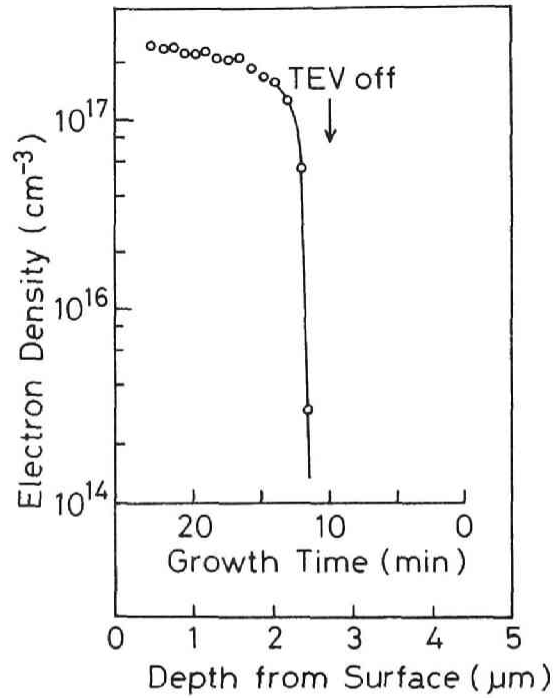


図 5.11  $\text{H}_2\text{Se}$  と TEV を同時に導入し、途中で TEV の導入を停止した場合の電子濃度プロファイル

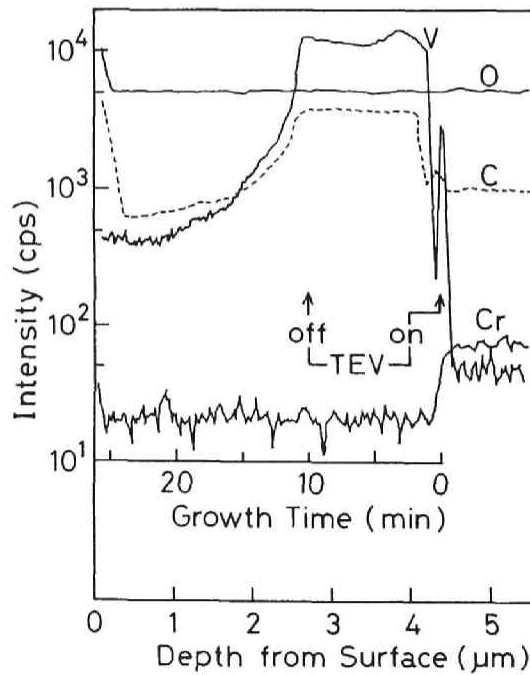


図 5.12 成長の途中で TEV の導入を停止した試料の SIMS プロファイル

と考えられる。このため、0 の結晶中への添加について、この結果からはなにも知ることはできない。また、V のプロファイルに対して C が同様の増減を示していることから、この C は TEV から取り込まれたものと考えられる。この C によるアクセプタも電子濃度を補償して低下させていると考えられるが、その濃度の増加が基板中の C と比較して 1 桁以下であり、TEV の導入により、 $10^{18}/\text{cm}^3$  以上の電子が補償されることから、C は中心的な役割は果たしていないと考えられる。

#### (d) 熱的安定性

GaAs 中の Cr は高温で処理すると比較的結晶中で動きやすいことが知られている。その 800 °C での拡散係数は  $1 \times 10^{-12} \text{ cm}^2/\text{s}$  であると報告されている。<sup>14)</sup> V の添加について高温における安定性を調べるために、図 5.13 に示すような試料を成長させた。半絶縁性 GaAs 基板上に Se と V を添加することにより、高抵抗層/n型層/高抵抗層のサンドイッチ構造にしたものである。この場合、Se は全層に約  $2 \times 10^{16}/\text{cm}^3$  添加しており、高抵抗層には  $1 \times 10^{17}/\text{cm}^3$  のドナを補償する V を添加している。n 型層の膜厚は約 3,000 Å である。この試料を用いて 800 °C、20 分の As 圧雰囲気中での熱処理前後の電子濃度を比較した。この結果、熱処理前は  $3 \times 10^{11}/\text{cm}^2$  のシート電子濃度であったものが、熱処理後は  $7 \times 10^{10}/\text{cm}^2$  に減少した。この場合、Se は成長層中に一様に添加しているので V の拡散のみを考えればよい。V の 800 °C での拡散係数を仮定して、20 分の熱処理後の分布を計算した結果を図 5.14 に示す。この計算結果と実験結果を比較すると、V の 800 °C での拡散係数は  $5 \times 10^{-14} \text{ cm}^2/\text{s}$  以下であると考えられる。

さらに、V 添加層 (1.5 μm)/無添加層 (4,000 Å) / V 添加層 (1.5 μm) の 3 層からなる試料の、SIMS を用いて測定した、熱処理 (800 °C、20 分) の前後における V のプロファイルを図 5.15 に示す。この結果によっても、熱処理による V の拡散は非常に小さいことが確認された。

以上のことから、TEV を用いた V の添加による半絶縁性層は熱的に非常に安定であると言える。最近 Kütt 等によって V を添加した基板へのイオン注入の実験結果が報告されている。<sup>15)</sup> ここでも Cr と比較して V の熱処理による結晶中での移動は少なく、V の拡散係数は Cr のそれよりも 1 桁小さいとしており、上記の実験結果とよく一致している。

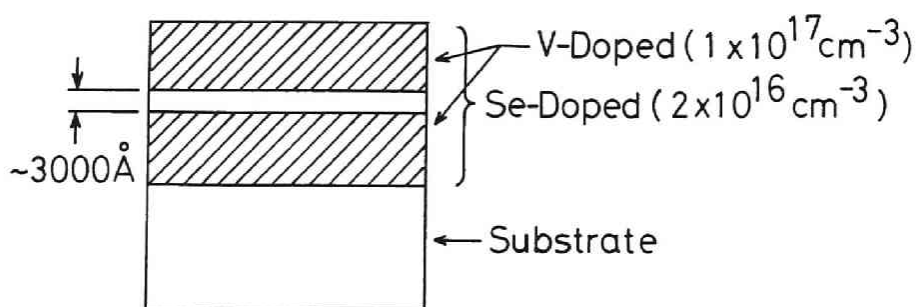


図 5.13 V を添加した GaAs 層の熱的安定性を調べるために作製した試料の層構造

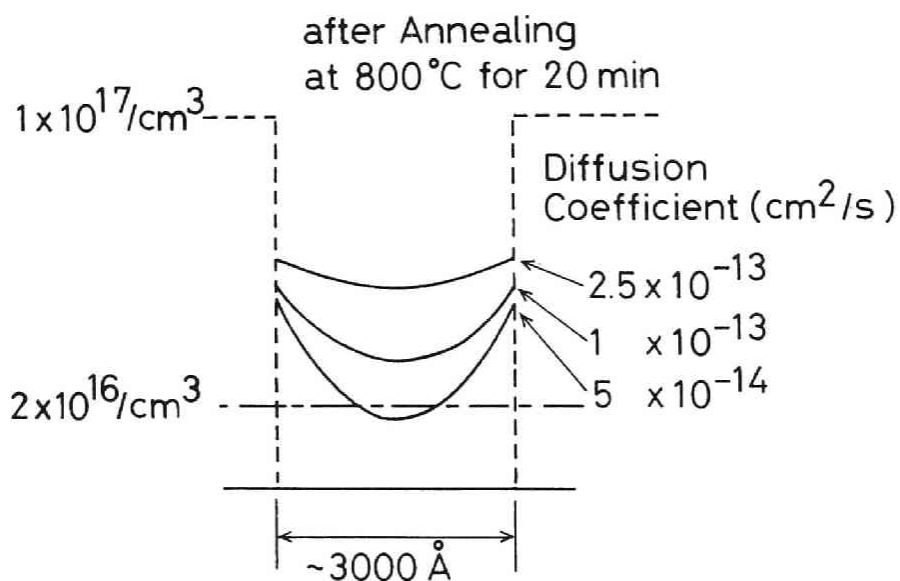


図 5.14 図 5.13 の構造の試料で、V の拡散係数を仮定して計算したアニール後の V のプロファイル

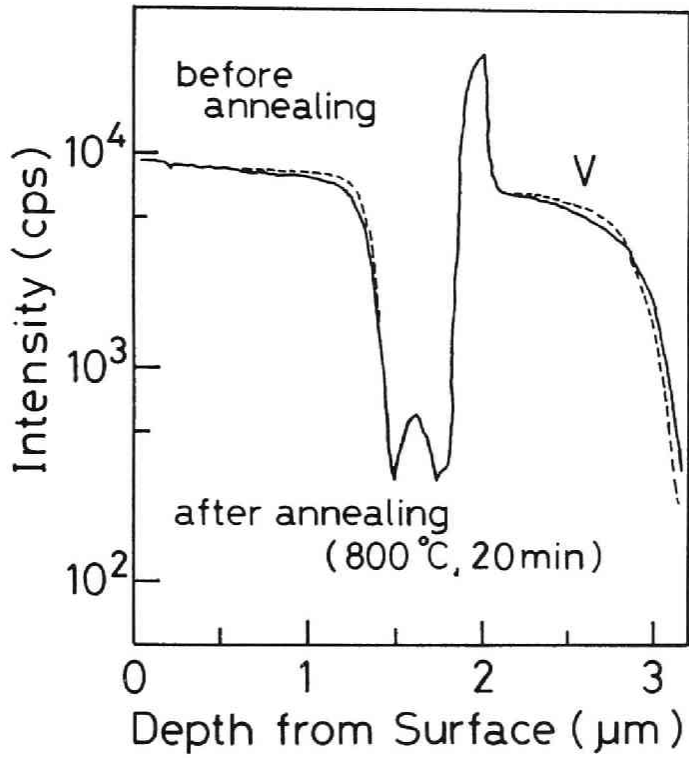


図 5.15 V 添加/無添加/V 添加 の構造の成長層の 800 °C、20 分のアニール前後の V の SIMS プロファイル

### 5.3.3 V の添加のまとめ

以上、TEV を用いた V の添加による半絶縁性 GaAs 層の成長について述べたが、この添加は以下のような優れた特性を示した。

- $10^8 \Omega\text{cm}$  前後の高抵抗層が広い成長条件の範囲で安定して得られる。
- $10^{18}/\text{cm}^3$  以上のドナの補償が可能であり、高濃度に添加しても成長層の表面モフォロジーに荒れは観察されない。
- 残留効果は弱く、TEV を停止すると数分で V の濃度は問題のないレベルまで低下する。
- 熱処理に対しては安定で、 $800^\circ\text{C}$ における拡散係数は  $5 \times 10^{-14}\text{cm}^2/\text{s}$  以下である。これは Cr の拡散係数と比較すると 1 桁以上小さい。

これ等の特性は BBC を用いた Cr の添加に比較して、また、報告されている Cr(CO)<sub>6</sub> を用いた Cr の添加に比較して、すべての項目で優れている。これにより、Si 上の GaAs のみならず、導電性の基板上に基板と電氣的に絶縁された能動層を形成することが可能になった。

V を添加することによって、どのような機構でどのような準位を形成しているかについては調べていないが、クロライド系での実験では V のみでは高抵抗にならず、O を加えることによって初めて高抵抗になることが報告されている。<sup>8)</sup> TEV はその分子式に O を含んでおり、おそらく V と共に O も結晶中に取り込まれているものと考えられる。しかし、SIMS による分析においても、バックグラウンドが高いためにこれを確認することはできていない。

この一連の実験によって、MOVPE を用いた V の添加による半絶縁性 GaAs の成長が可能であることを初めて実証した。そして、TEV を用いた V の添加が、実用上、非常に有効であることを確認した。



## 5.4 デジタル IC への応用

GaAs/Si ウェハは大面積の Si 基板を用いることができるため、比較的大きなチップ面積を必要とするデジタル IC には有利である。本節では、デジタル IC への応用の可能性を調べるために、試作した MESFET、及びそれを使用した DCFL (Direct Coupled FET Logic) 構成によるリングオシレータの特性を、GaAs 基板上に製作したデバイスと比較して、GaAs/Si ウェハのデジタルデバイスへの応用について考察する。

### 5.4.1 結晶成長

MESFET 及びリングオシレータの試作に用いた GaAs/Si ウェハの層構成とデバイス構造を図 5.16 に示す。用いた Si 基板は 2 インチの n 型 (100) 基板である。まず  $1\ \mu\text{m}$  の無添加 GaAs 層、次に基板及び界面からデバイスを形成する層を絶縁するための  $1.8\ \mu\text{m}$  の V を添加した半絶縁性層、最後にデバイスを形成するための無添加層を  $1\ \mu\text{m}$  成長させた。この成長では、V を添加した層の成長後、配管内に残留している TEV の影響を少なくするために、AsH<sub>3</sub> 中で 10 分間成長を中断した。

### 5.4.2 デバイス製作プロセス

MESFET の試作は W - Al 耐熱ゲートを用いたセルフアラインイオン注入プロセスによった。<sup>16)</sup> このプロセスの概略を図 5.17 に示す。まずチャンネルを形成する領域に Si<sup>+</sup> のイオン注入を行い、その上に W - Al (Al は約 1%) を  $1,000\ \text{\AA}$  全面にスパッタ法によって形成する。その上にゲートパターンを Ti/Ni を蒸着リフトオフによって形成し、この Ti/Ni のゲートパターンをマスクにして、W - Al 膜を反応性イオンエッチングによってエッチングしてゲートを形成する。次に同じ Ti/Ni のゲートパターンをマスクにして、ソース、ドレイン電極を形成する領域に n<sup>+</sup> 低抵抗層を形成するための Si<sup>+</sup> イオン注入を行う。その後、Ti/Ni を除去して、アニールにより注入したイオンの活性化を行い、ソース、ドレイン電極を形成して FET とする。試作した FET はゲート長  $1\ \mu\text{m}$  である。注入イオンは <sup>29</sup>Si<sup>+</sup> を用いた。チャンネル層へのドーズ量は、ゲート電極とソース電極が同電位の場合にドレインソース間が off となる E-FET (Enhancement type FET) に対しては  $1.1 \sim 1.3 \times 10^{12}/\text{cm}^2$ 、on となる D-FET (Depletion type FET) に対しては  $2 \sim 2.2 \times 10^{12}/\text{cm}^2$  とし、注入の加速エネルギーは 60 KeV で行った。また n<sup>+</sup> 層領域の形成のための注入は、ドーズ量  $1.5 \times 10^{13}/\text{cm}^2$ 、100 KeV の加速エネルギーで行った。注入イオンの活性化は AsH<sub>3</sub>、H<sub>2</sub>、Ar の混合雰囲気中で、800 °C、20 分のキャップ

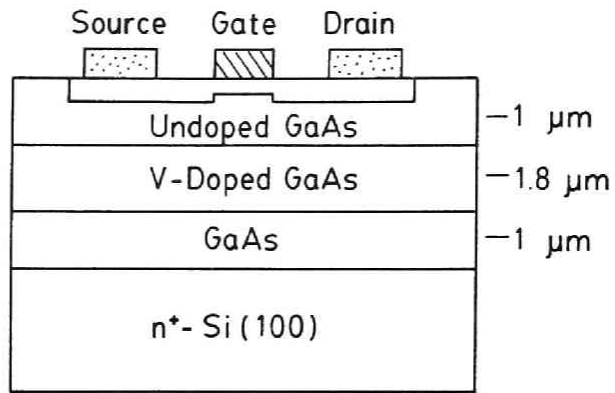


図 5.16 試作した MESFET の構造と用いた GaAs/Si ウェハの層構成

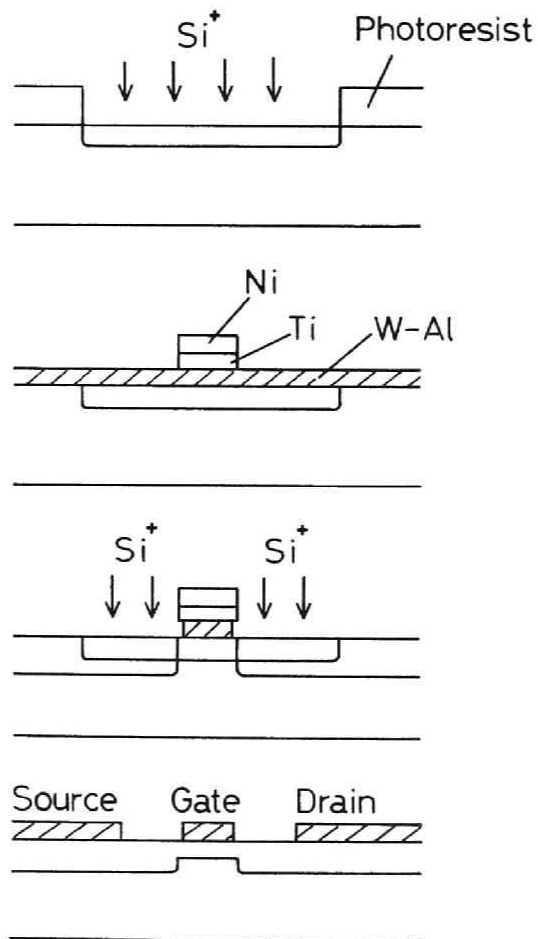


図 5.17 MESFET の製作プロセス

レスアニールによった。ソース、ドレインのオーミック電極は、AuGe/Ni/Au の蒸着リフトオフによるパターン形成後、400 °C、1 分間のシンタによって形成した。またリングオシレータは、FET 形成後、Ti/Pt/Au による第 1 層配線、SiO<sub>2</sub> 膜による層間絶縁膜の形成、および Ti/Pt/Au による第 2 層配線により製作した。

試作したゲート長 1 μm、ゲート幅 10 μm の FET の写真を図 5.18 に示す。また、17 段のリングオシレータの写真を図 5.19 に示す。このリングオシレータは E - FET、D - FET とともにゲート長 1 μm、ゲート幅 20 μm である。

GaAs/Si ウェハは、前章で述べたように GaAs と Si の熱膨張の差によって、室温ではウェハの反りが生ずる。試作したウェハは 280 μm の Si 基板の上に約 4 μm の GaAs を成長させており、50 μm 強の反りが生じていた。フォトリソ工程ではコンタクト露光を用いたが、この程度までの膜厚ではウェハプロセス上特に問題はなかった。しかし、さらに膜厚が増した場合、またプロセスによってはクラックの発生等の問題が生ずると考えられる。

#### 5.4.3 動作特性

##### (a) FET の直流特性

試作したゲート長 1 μm、ゲート幅 10 μm の FET の直流特性を図 5.20 に示す。ドレイン電流は良好な飽和特性を示しており、V ドープ層が基板と動作層の間の絶縁層として十分な特性を有していることが分かる。相互コンダクタンス ( $g_m$ ) は 200 mS/mm の値が得られている。この試作で得られた FET の  $g_m$  の最高値は 240 mS/mm であった。ゲートのショットキダイオード特性を図 5.21 に示す。(a) は順方向、(b) は逆方向の特性である。この順方向の電流電圧特性から求めたビルトイン電圧は 0.74 V、また、ideality factor は 1.1 以下であった。逆方向に対してもリークは少なく、約 10 V で急峻なブレイクダウン特性を示しており、良好なショットキダイオード特性である。これ等の特性は GaAs 基板上に製作した FET の特性と比較しても遜色のない値である。

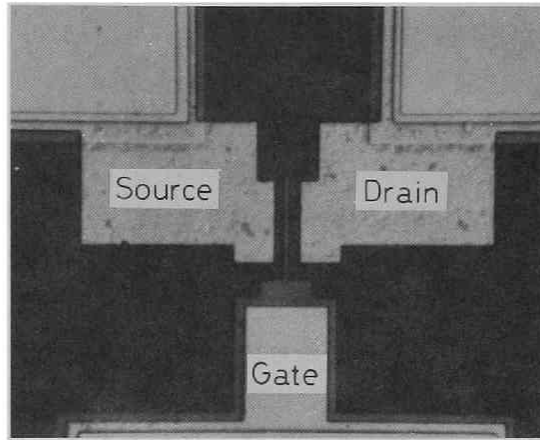


図 5.18 GaAs/Si ウェハ上に試作した MESFET  
(ゲート長;  $1\ \mu\text{m}$ 、ゲート幅;  $10\ \mu\text{m}$ )

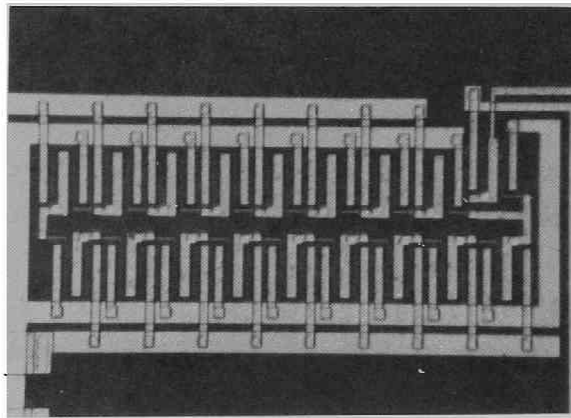


図 5.19 試作したリングオシレータ

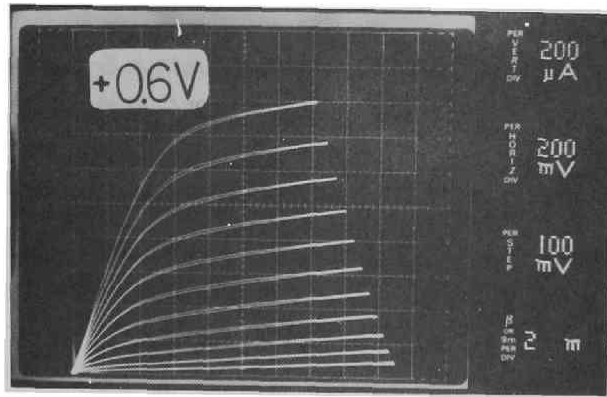
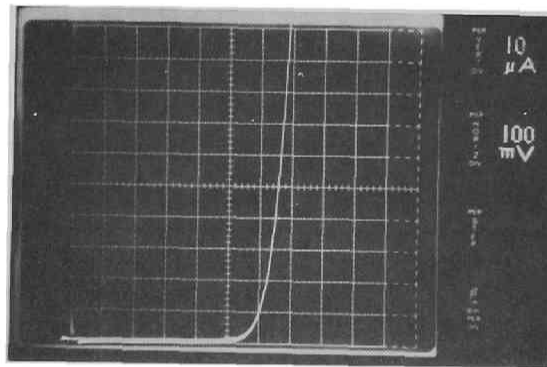
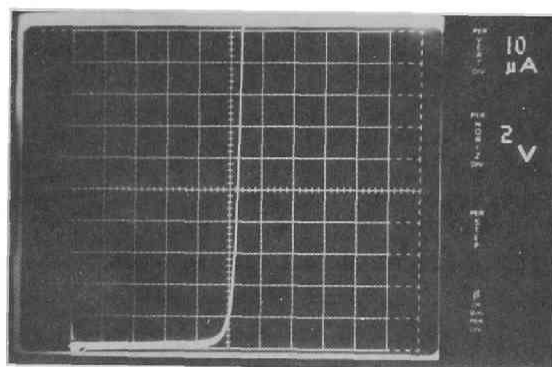


図 5.20 試作した MESFET の直流特性



(a)



(b)

図 5.21 MESFET のゲートのショットキ特性、(a) 順方向 (b) 逆方向

(b) 高速動作特性

これ等の FET を用いて試作した、DCFL 構成による 17 段のリングオシレータの特性から求めたゲート当たりの遅延時間と、消費電力の関係を図 5.22 に示す。回路を構成した E-FET、D-FET のしきい電圧 ( $V_t$ ) はそれぞれ 0.2 V、 $-0.4$  V である。リングオシレータの測定はウェハのままプローバを用いて行い、発振周波数はスペクトルアナライザによって測定した。最高速度として、消費電力 1.1 mW の時に 52 ps/ゲートの速度が得られた。また、最小遅延時間消費電力積は 10.4 fJ であり、この時の速度は 63 ps/ゲートである。図 5.22 には、GaAs 基板に同じマスクを用い、同じウェハプロセスで製作したリングオシレータの特性を同時に示している。わずかに GaAs/Si ウェハ上のデバイスの特性が劣っているが、ほぼ同等の特性であると言える。このわずかな特性の劣化は、FET の直流特性が GaAs 基板上のものと遜色ないことから、回路と基板の間の容量の差によるものと考えられる。

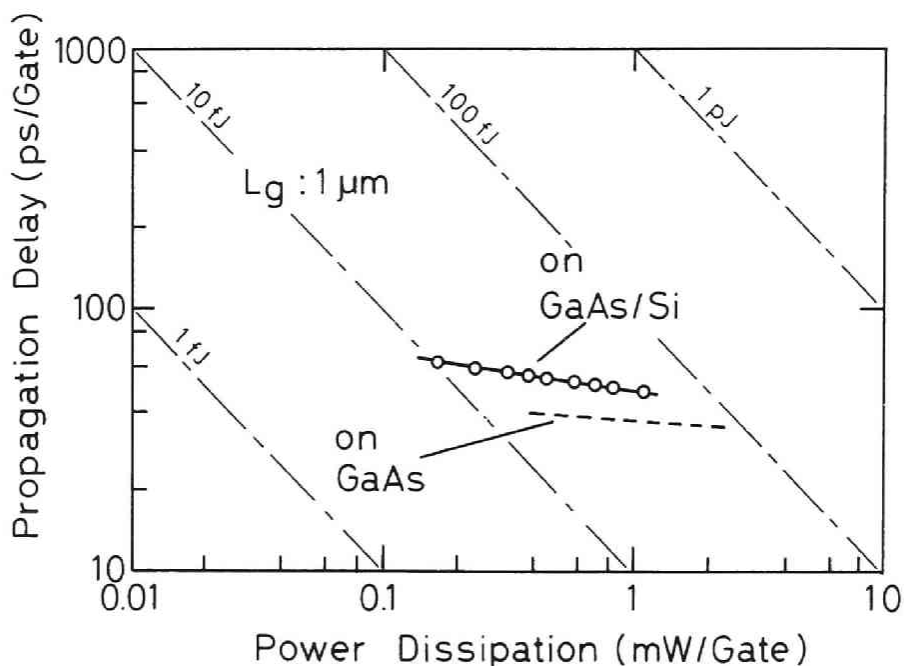


図 5.22 試作したリングオシレータのゲート当たりの速度と消費電力

## 5.5 電力 FET への応用

Si の熱伝導率は室温で  $1.5 \text{ W/cm}\cdot\text{K}$  であり、GaAs の  $0.46 \text{ W/cm}\cdot\text{K}$  に比較して約 3 倍である。<sup>17)</sup> このため、GaAs 電力デバイスに GaAs/Si ウェハを使用すれば、放熱の点で有利であると考えられる。このことを実証する電力デバイスとして、電力 FET の試作を行い、GaAs 基板上に製作したデバイスと比較した。

### 5.5.1 結晶成長

結晶成長は 2 インチの n 型 Si 基板上に、まず V を添加した GaAs 層を MOVPE により  $1.5 \mu\text{m}$  成長させた。そして、その上に MBE によって無添加のバッファ層を  $1.2 \mu\text{m}$ 、 $3 \times 10^{17}/\text{cm}^3$  の電子濃度の n 層を  $0.2 \mu\text{m}$ 、 $3 \times 10^{18}/\text{cm}^3$  の n<sup>+</sup> 層を  $400 \text{ \AA}$  順次成長させた。上層の成長に MBE を用いたのは、この電力 FET の試作時に、MBE により GaAs 基板上に同じ層構成で製作した FET の特性評価が既になされており、この特性と GaAs/Si ウェハ上の FET の特性を比較するためである。

成長後の表面をノマルスキ顕微鏡で観察すると、細かいさざ波状の模様が見られたが、その凹凸は小さく、ウェハプロセス上特に問題はなかった。

### 5.5.2 デバイス製作プロセス

試作した電力 FET の断面図を図 5.23 に示す。まず素子分離を O<sup>+</sup> イオン注入によって行った。O<sup>+</sup> イオン注入は 30 KeV (ドーズ量  $2 \times 10^{12}/\text{cm}^2$ )、80 KeV (ドーズ量  $3 \times 10^{12}/\text{cm}^2$ ) の 2 段注入を行った。これにより、表面の n<sup>+</sup> 層を含めて素子分離を行うことができた。素子分離後、AuGe/Ni/Au を蒸着してリフトオフを行い、これをシンタすることによって、ソース、ドレインのオーミック電極を形成した。ソース、ドレインの電極の間隔は  $5 \mu\text{m}$  である。その後、ゲート形成領域を化学エッチングによってリセス構造を形成し、このエッチングマスクをゲート金属である Ti/Pt/Au の蒸着リフトオフのマスクとして用いてゲートを形成した。こうして形成した各電極を SiO<sub>2</sub> を層間絶縁膜として並列に接続し、ゲート長  $1 \mu\text{m}$ 、ゲート幅  $0.9 \text{ mm}$  と  $5.4 \text{ mm}$  の電力 FET を製作した。ゲート幅  $5.4 \text{ mm}$  の FET のチップ写真を図 5.24 に示す。

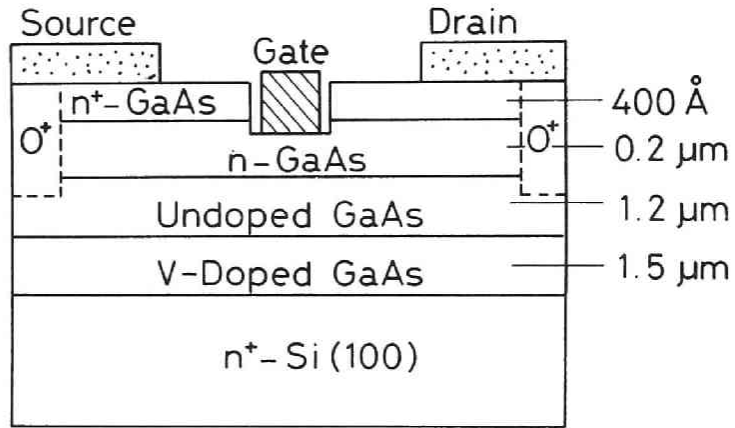


図 5.23 試作した電力 FET の構造と用いた GaAs/Si ウェハの層構成

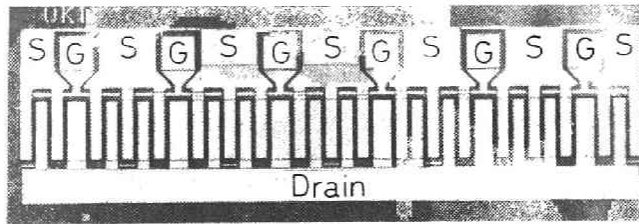


図 5.24 電力 FET のチップ写真 (ゲート長 ;  $1 \mu\text{m}$ 、ゲート幅 ;  $5.4 \text{ mm}$ )



### 5.5.3 動作特性

#### (a) 直流特性

試作した FET は GaAs 基板上に試作したものとほぼ同等の直流特性を示した。図 5.25 にゲート幅 0.9 mm の FET の代表的な特性を示す。 $V_t$  は  $-3\text{ V}$  であり、ゲートソース間電圧 ( $V_{gs}$ ) が  $0\text{ V}$  の時の  $g_m$  は  $110\text{ mS/mm}$  である。また、ゲートの逆方向特性も急峻なブレイクダウン特性を示し、耐圧は  $1\text{ mA}$  の電流時に  $17\text{ V}$ であった。

図 5.26 に、プロセスチェックに用いるゲート長  $1\text{ }\mu\text{m}$ 、ゲート幅  $20\text{ }\mu\text{m}$  の FET について測定した GaAs/Si ウェハと GaAs 基板上の素子のドレイン電流 ( $I_{DS}$ ) の  $1/2$  乗と  $V_{gs}$  の関係を示す。ほぼ同等の特性が得られているが、このグラフの傾きから求めた  $K$  値 (FET の特性を  $I_{DS} = K (V_{gs} - V_t)^2$  で近似した場合の  $K$  の値) は、GaAs/Si ウェハ上の FET に対しては  $0.58\text{ mA/V}^2$ 、GaAs 基板上の FET に対しては  $0.65\text{ mA/V}^2$  であり、GaAs 基板上の方がわずかに高い値を示した。この差は、結晶成長、およびデバイスの製作プロセスのバラツキを含んだものであるが、Si 上の GaAs の結晶性に改良の余地のあることを示唆しているものと考えられる。

#### (b) 高周波特性

試作した電力 FET をセラミックパッケージ内にボンディングを行って高周波特性を測定した。測定に使用した測定系、および入出力の整合回路を図 5.27 に示す。整合回路は、マイクロストリップラインとチップコンデンサ、調整用の可変容量として高周波用のピストンコンデンサを用いて構成した。FET のパッケージは放熱板に直接ネジ止めした。ドレイン電圧を  $9\text{ V}$  と一定にして、ゲートバイアス電圧は測定を行いながら最適値を求めた。測定は  $1\text{ GHz}$  で行ったが、ゲートバイアス電圧は  $-1\text{ V}$  前後で最も高い利得が得られた。FET の  $V_t$  が  $-3\text{ V}$  であることから、小信号の場合は A 級、信号のレベルが大きくなってくると AB 級の動作をしているものと考えられる。

ゲート幅  $5.4\text{ mm}$  の FET について、ドレイン電圧  $9\text{ V}$ 、ゲートバイアス電圧  $-1\text{ V}$  で測定した  $1\text{ GHz}$  での出力特性を図 5.28 に示す。線形利得は  $10.2\text{ dB}$ 、飽和出力は  $33.6\text{ dBm}$ 、出力付加効率は最大  $38\%$  の特性が得られた。しかし、GaAs 基板上の FET は同じ測定条件で、線形利得  $14\text{ dB}$  前後の特性が得られており、GaAs/Si ウェハ上の FET と比較して  $3\text{ dB}$  以上利得が高い。また、GaAs 基板上の FET の方が整合回路の整合が取りやすい傾向があった。FET の直流特性は両者ともほぼ同等であることから、これ等の高周波特性の差はそれぞれの FET のリアクタンス成分の差が関係していることが予想される。

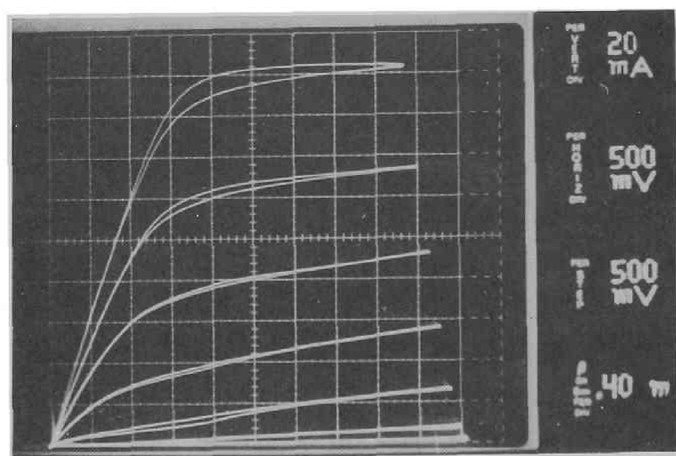


図 5.25 試作したゲート幅 0.9 mm の FET の直流特性

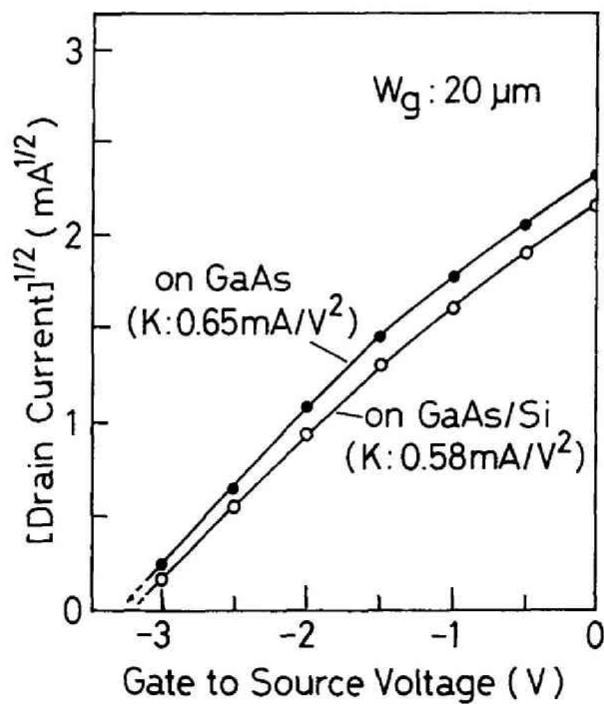


図 5.26 GaAs 基板と GaAs/Si 基板上に試作した電力 FET の直流特性の比較

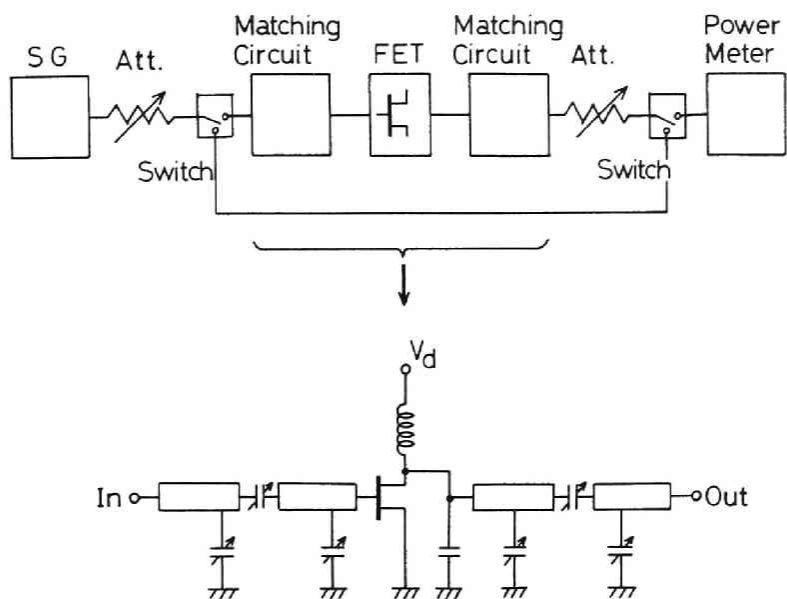


図 5.27 高周波特性の測定に用いた測定回路

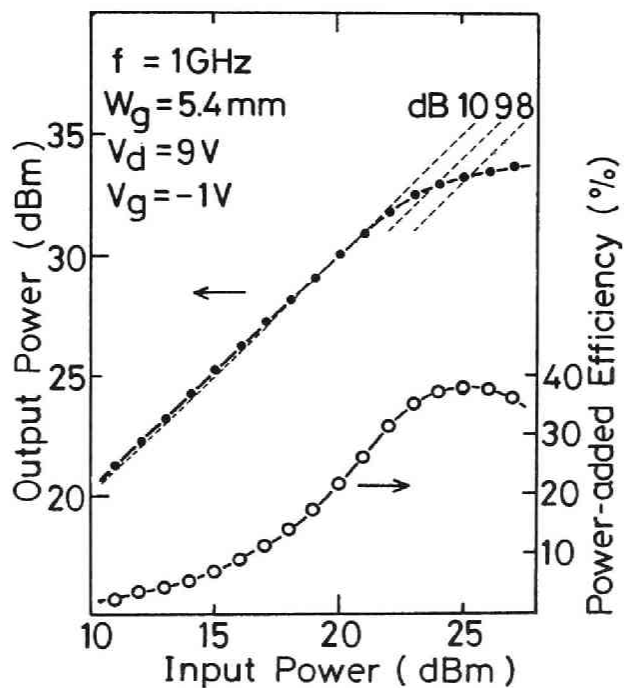


図 5.28 GaAs/Si ウェハ上に試作した電力 FET の 1 GHz における動作特性

これを明らかにするためにそれぞれの FET について S パラメータの測定を 0.2 ~ 2 GHz で行った。測定に用いた FET はゲート幅 0.9 mm のものである。S<sub>11</sub> と S<sub>22</sub> についての測定結果をスミスチャート上にプロットしたものを図 5.29 に示す。S<sub>11</sub>、S<sub>22</sub> とも GaAs/Si ウェハ上の FET の方が、GaAs 基板上のものに比較して周波数に対して容量性の回りが大きく、特に S<sub>22</sub> は大きく変化している。これは GaAs 基板上の FET と比較して、GaAs/Si ウェハ上のものは入力のゲートとソース間、および出力のドレインとソース間に余分の容量が付加されていることを示している。この S<sub>11</sub>、S<sub>22</sub> に対する差から求めた余分に付加された容量はゲートとソース間に約 0.9 pF、ドレインとソース間に約 3.5 pF であった。これ等の値はゲートのボンディングパッドと各ゲートフィンガを連結している配線の面積の和について、また、ドレインのボンディングパッドを含む配線面積について、GaAs 成長層と Si 基板の界面との間に入る容量を計算した値とほぼ一致した。このことから GaAs/Si ウェハ上の FET には図 5.30 に模式的に示すように、電極と Si 基板との間に余分の容量が付加されており、このために回路の整合が取りにくく、また高周波での動作特性を劣化させていると考えられる。

Si 基板上に MOVPE により、GaAs を成長させた場合、前章の図 4.13 に示したように、Si 基板の導電性によらず、界面近傍の GaAs 層に n<sup>+</sup> の導電層が形成される。このため成長層表面に形成したデバイスと、この導電層の間に容量が付加される。このため、図 5.24 にチップ写真を示したような幅の広い配線を使用した場合には高周波特性の劣化は避けられない。GaAs/Si ウェハ上に高周波、高速のデバイスを設計する時にはこの容量を考慮して設計する必要がある。この容量を積極的に利用する方法として、マイクロ波集積回路が考えられる。GaAs の膜厚を 4 μm とすると、特性インピーダンスは 50 Ω の伝送線路で約 3 μm の線幅となり、分布定数回路を用いたマイクロ波集積回路を小面積のチップ上に構成するには適していると考えられる。

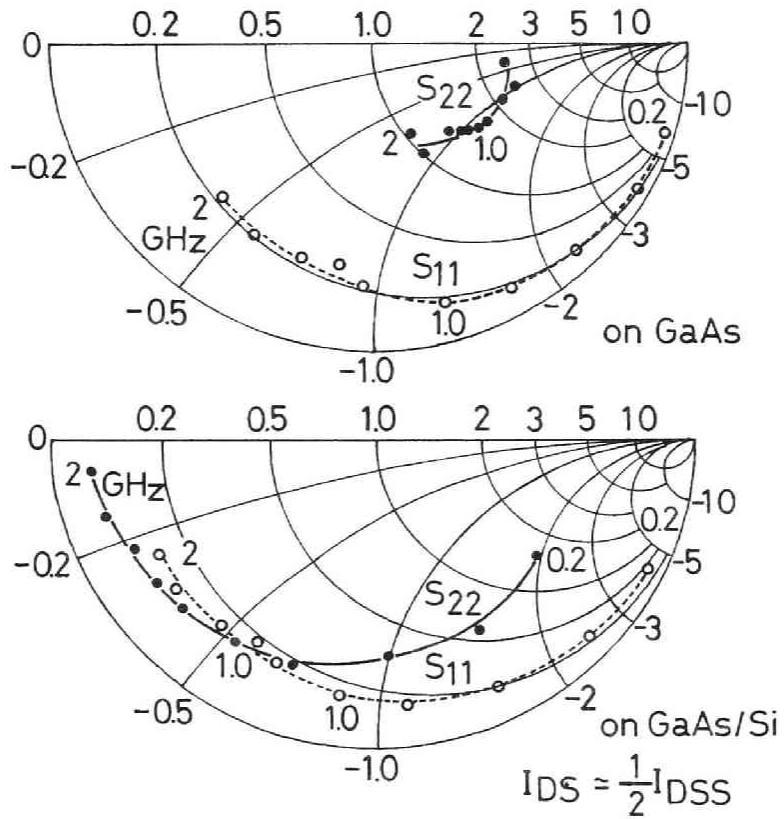


図 5.29 GaAs 基板と GaAs/Si 基板上的電力 FET (ゲート長 : 0.9 mm) の S-パラメータ ( $S_{11}$ 、 $S_{22}$ ) の周波数依存性

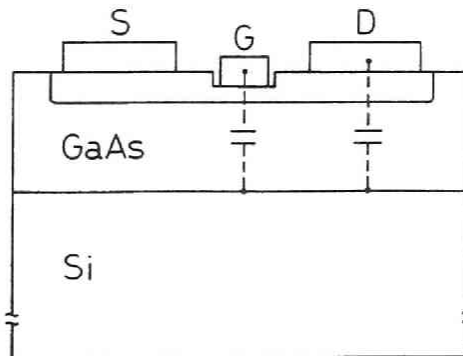


図 5.30 GaAs/Si 基板の場合に付加される浮遊容量

### (c) 熱抵抗

GaAs/Si ウェハ上に製作したデバイスは Si の熱伝導率が GaAs の約 3 倍であることから、その熱抵抗は小さいことが期待される。これを確認するために試作した FET の熱抵抗を測定した。熱抵抗はパッケージにボンディングした FET を放熱フィン付きの Al のヒートシンクに取り付け、3.6 W の直流入力を入れた時のチップの表面温度を赤外線顕微鏡で測定して計算した。またヒートシンクの温度はパッケージの下面から 1 mm 下の温度を熱電対で測定した。測定はヒートシンクのフィンの部分をブローで冷却しながら行い、測定中にヒートシンクの温度が上昇することを押さえた。

ゲート幅 5.4 mm の FET について、ゲートのフィンガの中心部に沿って測定したチップ表面の温度を図 5.31 に示す。この測定から計算した熱抵抗は GaAs/Si ウェハ上の FET については 5.3 °C/W、GaAs 基板上の FET については 10 °C/W である。チップの厚みが GaAs/Si ウェハは約 280 μm、GaAs 基板は 450 μm であるため、この熱抵抗の差をそのまま両者の差と考えることはできない。そこで、近似的に熱は発熱部から下方に 45° の広がりで見ると仮定してチップ部分の熱抵抗を計算すると、それぞれのチップに対して 1.3 °C/W、6.9 °C/W となった。これ等の値と実測値の差 3 ~ 4 °C/W が使用したパッケージ自体の熱抵抗であると考えられる。この値をパッケージの熱抵抗として、GaAs 基板の厚みを GaAs/Si と同じ 280 μm とすると、GaAs 基板上の FET のパッケージ込みの熱抵抗は 7 ~ 8 °C/W となる。この場合はパッケージの熱抵抗が上記のようにならかなり大きいと考えられるので、GaAs 基板の場合も熱抵抗は GaAs/Si 基板の場合の 1.5 倍程度となるが、パッケージの熱抵抗はさらに小さくすることは可能である。そうすると熱抵抗の差はさらに大きくなり、GaAs/Si ウェハは有利になる。

以上は電力 FET についての結果であるが、FET は図 4.24 のチップ写真にも示したようにチップ上に発熱部が広く分散している。このような場合には熱抵抗の絶対値は低くなり、GaAs 基板上のデバイスでも実用上はあまり問題にならない。しかし、レーザダイオード、バイポーラデバイス等の、高電力でしかも電力密度が高いデバイスの場合には GaAs/Si ウェハの低い熱抵抗は非常に有利な点となる。熱抵抗を下げるためにはチップの厚さを薄くすることは通常行われているが、GaAs は薄くすると割れやすくなる。GaAs/Si ウェハはこのような必要はなく、GaAs の電力デバイスには適したウェハである。

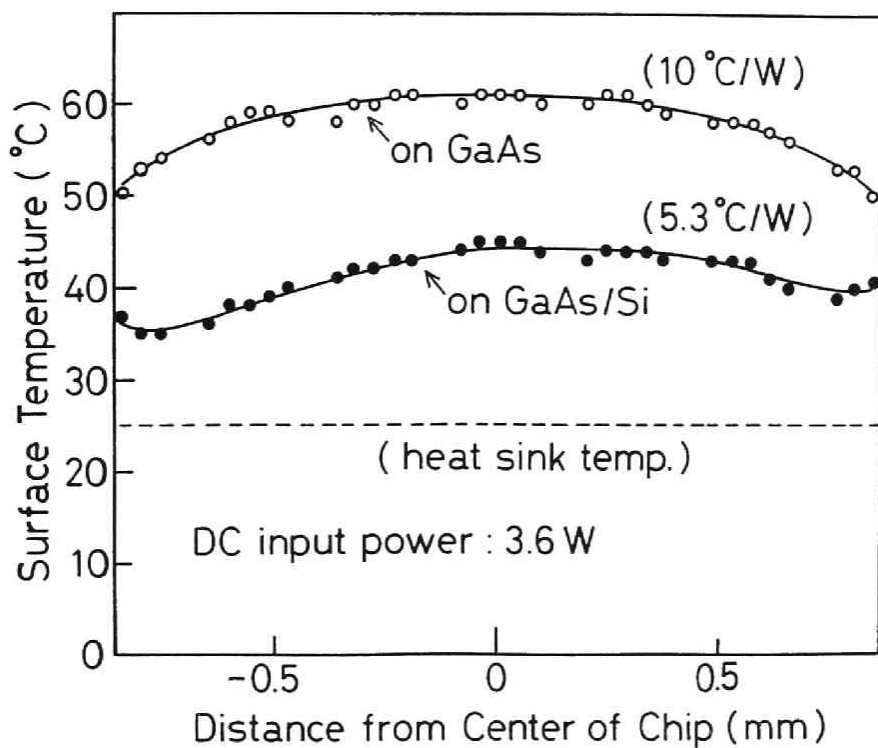


図 5.31 GaAs 基板と GaAs/Si 基板上の電力 FET の動作時のチップ表面の温度

## 5.6 発光ダイオードへの応用

GaAs 等の化合物半導体の特徴の一つはそのバンド構造が直接遷移型であり、発光機能を有することである。Si 基板上的 GaAs 層の上に発光デバイスを製作することができれば、各種の表示デバイスに Si 基板の大面积であるという特徴を生かすことができる。また、Si IC と発光デバイスをチップ上に集積化したデバイス、さらに発光デバイスと受光デバイスを Si IC と集積化して、チップ間の信号の送受に光を用いるデバイス等も考えられる。このようなことから、GaAs/Si ウェハの発光デバイスへの応用の可能性を調べる目的で、AlGaAs の可視発光ダイオードを試作した。

### 5.6.1 結晶成長

結晶成長は n 型の Si 基板を用い、まず無添加の GaAs 層を  $0.2 \mu\text{m}$  成長させた。この上に n 型 ( $n: 3 \times 10^{17}/\text{cm}^3$ ) の  $\text{Al}_{0.35}\text{Ga}_{0.65}\text{As}$  を  $1 \mu\text{m}$ 、発光層となる同一混晶組成の p 型 ( $p: 3 \times 10^{17}/\text{cm}^3$ ) の AlGaAs 層を  $3 \mu\text{m}$ 、上部のオーミック電極形成層として p<sup>\*</sup> GaAs 層 ( $p: 5 \times 10^{18}/\text{cm}^3$ ) を  $0.5 \mu\text{m}$  成長させた。Si 基板上的最初の  $0.2 \mu\text{m}$  の GaAs 層は低温バッファ層を除いて  $750 \text{ }^\circ\text{C}$  で成長させ、その上の AlGaAs 層は  $800 \text{ }^\circ\text{C}$  で成長させた。n 型の成長には 100 ppm に希釈した  $\text{H}_2\text{Se}$  を導入して Se を添加し、p 型の成長にはジメチル亜鉛 ( $\text{Zn}(\text{CH}_3)_2$ 、以下 DMZ) を用いて Zn を添加した。DMZ は蒸気圧が高いので、通常のパブラを用いてバブリングで導入すると導入量の制御が困難であるが、希釈することにより、ガスボンベにつめて通常的气体と同様に使用することができる。当初 500 ppm のものを用いたが、これでは  $5 \times 10^{18}/\text{cm}^3$  の濃度の成長層を得るには不足であったので、途中から 1,000 ppm の濃度のガスを使用した。

### 5.6.2 デバイス製作

こうして成長させたウェハを用いて発光ダイオードを試作した。まず表面の p<sup>\*</sup> GaAs へのオーミック電極パターンを Cr-Au の蒸着リフトオフによって形成し、 $\text{N}_2$  中で  $420 \text{ }^\circ\text{C}$  のシンタを行った。もう一方の電極は Si 基板の裏面に形成したが、これは Si 表面の酸化膜を HF ディップによって除去した後、全面に Au を蒸着し、 $360 \text{ }^\circ\text{C}$ 、1 分間のシンタを行った。こうして上下のオーミック電極を形成した後、各ダイオードの分離を化学エッチングによって行った。この分離工程は化合物成長層のみが選択的にエッチングされるので容易に行える。各ダイオードのチップサイズは  $350 \mu\text{m} \times 350 \mu\text{m}$  である。試作した発光ダイオードの断面の模式図を図 5.32 に示す。特性の測定はダイオードチップ



を T0-18 のパッケージにボンディングして行った。

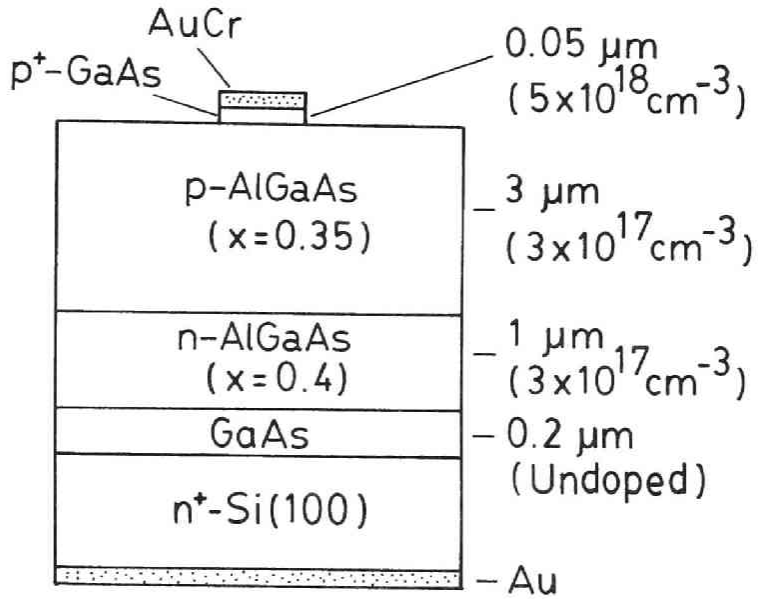


図 5.32 試作した可視 LED の層構成

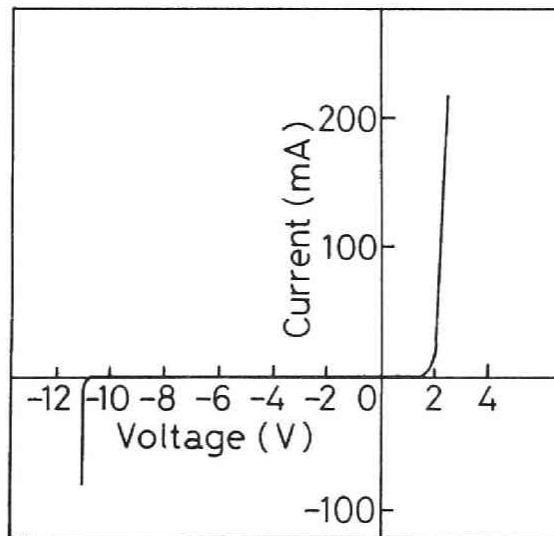


図 5.33 試作した LED の電流電圧特性

### 5.6.3 ダイオードの特性

試作したダイオードの直流電圧電流特性を図 5.33 に示す。順方向、逆方向とも良好な直流特性を示している。素子分離のためにエッチングしたダイオードの側面は特に何のパッシベーションも行っていないが、逆方向のリークも少なく、11 V で鋭いブレイクダウン特性を示している。この直流特性は GaAs 基板上的ダイオードと同様である。試作したダイオードは 0.2  $\mu\text{m}$  の無添加の GaAs 層を基板との間に含んでいるが、前章で述べたように界面近傍の GaAs 層は n 型の伝導を示すため、ダイオード特性には影響を及ぼしていない。

ダイオードの室温での発光スペクトルを図 5.34 に示す。700 nm 近辺にピークを有する可視光の発光が得られている。図 5.35 に注入電流と発光出力の関係を示す。発光出力は注入電流に比例して増加しており、100 mA の電流時に 0.6 mW の発光出力を示した。この時の電圧は約 2 V であり、外部効率は 0.3 % である。この効率は GaAs 基板上的デバイスと比較すると約 1 桁低い値である。顕微鏡の下で発光の様子を観察すると、電極パターンの近傍で光が強く、電極から離れるに従って光が弱くなっているのが見られた。これは電流がダイオードの面積全体に広がって流れていないことを示しており、このために光が外に出て来ない電極パターンの下が最も発光強度が強くなっていることも効率を下げている原因である。しかし、最大の原因はまだ成長層中に多くの転位が残留していることであると考えられる。

これ等の発光特性はパッケージにボンディングして測定したが、ボンディング前にウェハ上でプローバを用いて発光の様子を観察した。この時、カーブトレーサを用いて電流、電圧を見ながら発光させたが、ピーク電流として 1 A 以上流しても破壊されることなく発光しており、2 A 前後のピーク電流を流して電極の金属が破壊されるまで発光が観察された。これは Si 基板の熱放散が良く、熱が発光させているダイオードにこもらないためと考えられる。

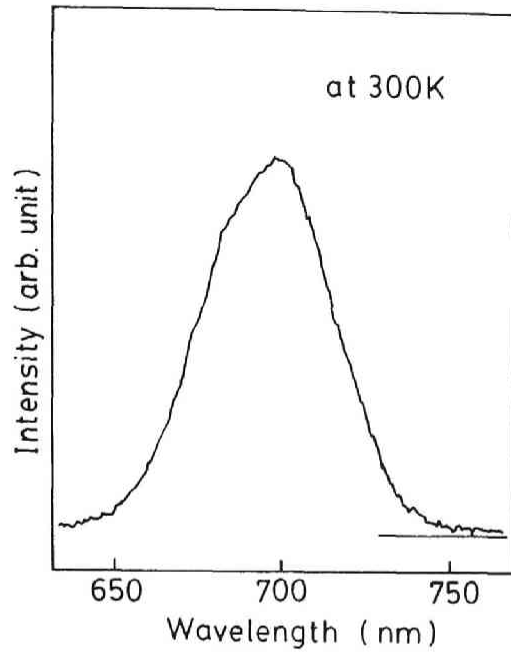


図 5.34 LED の室温における発光スペクトル

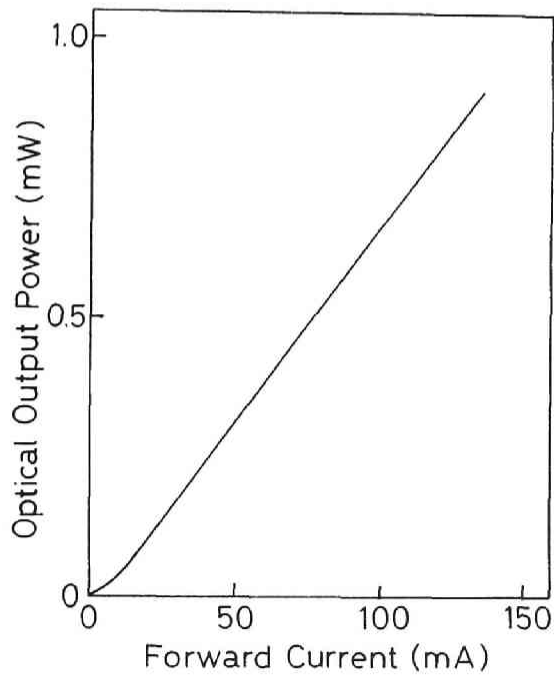


図 5.35 LED の電流と発光出力

## 5.7 まとめ

GaAs/Si ウェハのデバイスへの応用の可能性を調べる目的で、デジタル IC 用の FET、それを用いたリングオシレータ、電力 FET、発光ダイオードを試作してその特性について述べた。

デジタル IC 用の FET、およびリングオシレータはイオン注入プロセスによって試作を行ったが、単体特性、リングオシレータの特性とも GaAs 基板上に製作したものとほぼ同等の特性が得られ、デジタル IC 用の基板としては使用可能であると考えられる。

電力 FET は直流特性については GaAs 基板上のデバイスとほぼ同等であったが、高周波特性については幾分劣っている。この原因としてはゲート、ドレインの各電極と基板の間に余分に付加される容量によると考えられる。この容量は成長層の膜厚を増加すれば低減できるが、成長層に働く引っ張り応力のため、クラックが生じない GaAs 成長層の膜厚は 4  $\mu\text{m}$  程度までである。このことからデバイスの電極、配線と基板との間の容量の増加は GaAs/Si ウェハにとって本質的な問題である。特に、高周波、高速のデバイスにとってはそれ等の性能を制限する一つの要因となる。このため、これ等のデバイスの設計時にはこの容量を考慮に入れて電極の形状、配線の引き回しを設計する必要がある。

GaAs/Si ウェハは熱放散の点では非常に有利である。GaAs 基板は機械的強度の点から、チップ面積が大きくなるに従って薄層化には限度がある。GaAs のデジタル IC を考えると、回路方式と設計ルールが一定の場合、速度を上げるにはゲートあたりの消費電力を上げていく必要があり、放熱の面から単位面積あたりのゲート数も限られてくる。GaAs/Si ウェハの使用はこの限界を引き上げる一つの方法である。

以上のように、FET に GaAs/Si ウェハを使用した場合の特性と比較して、発光ダイオードを試作した場合の特性は発光効率が約 1 桁低く、まだ発光デバイスに使用するには結晶性の改善が必要なことを示している。他の研究機関からの報告でも FET、HEMT 等の電子デバイスでは GaAs 基板上のものと同等の特性が得られているが、少数キャリアを利用する光デバイスの性能で GaAs 基板上のものと同等の性能のものはまだ報告されていない。また、Si 基板の大面積、軽量、廉価といった GaAs/Si ウェハを利用した太陽電池も、まだ GaAs 基板上に製作されたデバイスの性能には及んでいない。これ等の原因は GaAs 成長層中にまだ多く残留している転位のためと考えられ、今後、残留転位を低減する成長法の研究が必須である。また光デバイスの場合は比較的膜厚が必要なデバイスが多いことから成長層の応力の低減の研究も必要である。

(参考文献)

- 1) 大坪睦之、三木秀二郎；第 22 回応用物理学関係連合講演会予稿集 (1975) 1a-E-7.
- 2) Y. M. Houg, G. L. Peason, and B. L. Mattes; J. Electrochem. Soc. 125 (1978) 2058.
- 3) 長谷川英樹、小島清明；第 37 回応用物理学学会学術講演会予稿集 (1977) 1a-T-2.
- 4) 小島清明、坂井高正、長谷川英樹；第 24 回応用物理学関係連合講演会予稿集 (1977) 26a-M-3.
- 5) P. L. Hoyt, and R. W. Haisty; J. Electrochem. Soc. 113 (1966) 296.
- 6) K. Nakai, K. Kitahara, A. Shibatomi, and S. Ohkawa; J. Electrochem. Soc. 124 (1977) 1635.
- 7) O. Mizuno, S. Kikuchi, and Y. Seki; Jpn. J. Appl. Phys. 10 (1971) 208.
- 8) 寺尾博、砂川晴夫、伊東明弘、大畑恵一；第 42 回応用物理学学会学術講演会予稿集 (1981) 9p-U-4.
- 9) H. Morkoç, and A. Y. Cho; J. Appl. Phys. 50 (1979) 6413.
- 10) D. Convington, J. Comas, and P. W. Yu; Appl. Phys. Lett. 37 (1980) 1094.
- 11) S. J. Bass; J. Cryst. Growth; 44 (1978) 29.
- 12) 総合カタログ (1986 年版) (株) 高純度化学研究所 D-15、D-17.
- 13) *ibid.* D-8、D-9.
- 14) J. Kasahara, and N. Watanabe; Jpn. J. Appl. Phys. 19 (1980) L151.
- 15) W. Kütt, D. Bimberg, M. Maier, H. Kräutle, F. Köhl, and E. Bauser; Appl. Phys. Lett. 44 (1984) 1078.
- 16) H. Nakamura, Y. Sano, T. Nonaka, T. Ishida, and K. Kaminishi; GaAs IC Symp. Tech. Digest (1983) 134.
- 17) S. M. Sze; in "Physics of Semiconductor Devices" (1969) 58. (John Wiley and Sons, Inc.)

## 第 6 章 結論

本論文では減圧系の MOVPE を用いて行った Si 基板上への GaAs のヘテロエピタキシャル成長の研究に関して、ホモエピタキシャル成長の場合の MOVPE による成長パラメータと GaAs 成長層の特性、Si 基板上への GaAs の成長に先立つ Ge 基板上への GaAs の成長、Si 基板上への GaAs の直接成長法である 2 段階成長法に至るまでの過程、2 段階成長法とそれにより得られた GaAs 成長層の特性、その成長機構と問題点、GaAs/Si ウェハ上にデバイスを製作する時に必要となる半絶縁性 GaAs 層の成長、GaAs/Si ウェハのデバイスへの応用について述べた。本研究により得られた結果を要約して以下に述べる。

- 1) TMG と AsH<sub>3</sub> を原料として用いた 100 Torr の減圧 MOVPE による GaAs の成長実験により、成長の基本的な各パラメータに対する成長層の特性を明らかにした。また、成長条件を最適化することにより、77 K での電子移動度として 151,000 cm<sup>2</sup>/Vs (電子濃度:  $9 \times 10^{13}$ /cm<sup>3</sup>) の高純度の成長層を得た。
- 2) Ge(100) 基板上への GaAs の成長実験で、GaAs/AlGaAs の中間層を Ge 基板と GaAs 層の間に導入することにより、single domain の GaAs 成長層を得た。このことにより、無極性結晶の基板の上にも single domain の有極性結晶を成長させ得ることを確認した。また、single domain の GaAs 成長層の電子移動度は室温で 5,000 ~ 6,000 cm<sup>2</sup>/Vs (電子濃度:  $1 \sim 2 \times 10^{16}$ /cm<sup>2</sup>) と、GaAs 基板上の成長層と同等の値を示したが、antiphase domain 構造の成長層の電子移動度は約 1/2 の値であった。
- 3) Si 基板を高温での熱処理後、低温で GaAs 薄膜を成長させ、これを通常の成長温度まで昇温させてアニールすることによってバッファ層とし、この上に GaAs を成長させる 2 段階成長法により、4 % の格子不整合、polar on nonpolar の成長にもかかわらず、single domain で鏡面の成長層が得られることを見いだした。Si 基板の熱処理は 900 °C 程度以上、バッファ層の成長温度は 450 °C 程度以下、バッファ層の膜厚は 200 Å 程度以下が適当であることを明らかにした。
- 4) 2 段階成長法を用いた Si 基板上の GaAs の成長機構を明らかにした。低温で成長させたバッファ層は、通常の GaAs の成長温度 (650 ~ 700 °C) まで昇温する間にアニールされて原子の再配列が起こり、良好なバッファ層となる。TEM を用いた GaAs/Si 界面の断面の観察から、格子不整合はほとんど GaAs バッファ層の Si との界面近傍で緩和されていることを確認した。

single domain の成長層を得るには、Si 基板の高温熱処理による基板表面の再配列によってステップが 2 原子、又はその倍数の高さになること、即ち、1 つの sublattice によって構成されていることが望ましいが、(100) 面近傍の球面の Si 基板上への成長実験から、Si 基板の表面が完全に 1 つの sublattice でなくても single domain の成長層が得られることを明らかにした。低温で成長させたバッファ層は、アニールにより原子が再配列する過程で少なくともバッファ層の表面は優勢な domain に統一されるものと考えられる。

- 5) 2 段階成長法によって成長させた GaAs 層の特性を明らかにした。成長させた GaAs 層には約  $10^8/\text{cm}^2$  の転位が残留している。成長層は電子の移動度としては  $1 \times 10^{16}/\text{cm}^3$  の電子濃度で  $5,200 \text{ cm}^2/\text{Vs}$  とバルクの GaAs と同等の値が得られたが、フォトルミネッセンスの発光強度は GaAs 基板上の成長層と比較して弱い。また、発光波長はバルクの場合と比較して長波長側にシフトしている。発光強度が弱いのは残留している高密度の転位のため、長波長側に発光がシフトしているのは GaAs と Si の熱膨張の差による引っ張り応力のためと考えられる。
- 6) 成長させた GaAs/Si ウェハの問題点を明らかにした。1 点は高密度の転位であり、もう 1 点は GaAs と Si の熱膨張の差による残留応力である。成長中又は成長後の熱サイクルにより、高温で GaAs 層に GaAs と Si の熱膨張の差による応力をかけて転位を動かして  $10^6/\text{cm}^2$  程度まで転位密度を低減できるが、これ以上の低減は困難である。また、残留している応力は GaAs 層を  $4 \mu\text{m}$  程度以上成長させるとクラックを生じて成長膜厚を制限する。GaAs 成長層に残留している応力は成長温度には関係なく、室温と  $350 \sim 400 \text{ }^\circ\text{C}$  の間の GaAs と Si の熱膨張の差に対応している。この温度以上の高温では、転位が移動または新たに発生することによって、熱膨張の差による応力を緩和しているものと考えられる。応力の制御は成長層の膜厚を厚くするためのみでなく、転位密度の低減のためにも必要であり、今後の課題である。
- 7) Si 基板上の GaAs 層の表面層を基板側から電気的に分離することを目的にして、 $\text{Cr}(\text{C}_6\text{H}_6)_2$  を用いた Cr の添加、及び  $\text{VO}(\text{OC}_2\text{H}_5)_3$  を用いた V の添加による、半絶縁性 GaAs の成長を行い、その特性を明らかにした。Cr を添加した場合には、 $10^{16}/\text{cm}^3$  程度までの電子濃度を補償でき、 $10^5 \sim 10^6 \Omega\text{cm}$  の抵抗率の成長層が得られるが、残留効果があり、反応管に導入を停止した後も結晶中の Cr 濃度はしばらく減少しない。V を添加した場合には、 $10^{18}/\text{cm}^3$  程度までの電子濃度を補償でき、抵抗率は  $10^8 \Omega\text{cm}$  以上の成長層

が広い成長条件下で得られる。また、高濃度に添加しても表面モフォロジーの劣化がない。残留効果も小さく、さらに 800 °Cでの拡散係数は  $5 \times 10^{-14} \text{ cm}^2/\text{s}$  以下と優れた特性を示す。

- 8) GaAs/Si ウェハのデジタル IC への応用の可能性を示した。イオン注入による MESFET、及びリングオシレータを試作して、GaAs 基板上のデバイスと比較した。FET 特性、リングオシレータの速度とも GaAs 基板上のものとはほぼ同等の特性が得られた。
- 9) GaAs/Si ウェハ上に電力 FET を試作して、電力デバイスへの応用の可能性を示した。直流特性は GaAs 基板上のデバイスと同等であったが、高周波特性は利得で約 3 dB 低く、回路の整合もとりにくい。これはデバイスと Si 基板の間の容量のためであり、この容量を考えに入れた設計が必要である。しかし、熱抵抗は小さく、電力デバイスには適している。
- 10) GaAs/Si ウェハ上に GaAlAs の可視発光ダイオードを試作して、光デバイスへの応用の可能性を調べた。発光効率は GaAs 基板上のデバイスより約 1 桁低い。これは高密度に残留している転位のためと考えられる。このことは、FET の試作例と比較すると、転位は少数キャリアを用いるデバイスには敏感に影響すると考えられる。



(謝辞)

本論文をまとめるにあたって、京都大学工学部 松波弘之教授になみなみならぬ御指導、御鞭撻を賜り、心より感謝致します。また、御指導、御助言をいただいた京都大学工学部 佐々木昭夫教授、藤田茂夫教授に深謝いたします。東京大学 青木昌治名誉教授（現 東京理科大学教授）には、論文をまとめる初期の段階で、有益な御助言をいただいたことに感謝いたします。

本研究は、沖電気工業株式会社研究開発本部半導体技術研究所において行われたものであり、研究の一部は通商産業省工業技術院の次世代産業基盤技術開発制度に基づき、(財)新機能素子協会が委託を受けた「三次元回路素子の研究開発」の研究の一環として行われたものである。研究の機会を与えられ、研究の遂行にたいして御指導、御鞭撻いただいた、沖電気工業株式会社常務（故）仲矢茂長博士、研究開発本部長 山本正隆博士、基盤技術研究所長 上西勝三博士、半導体技術研究所長佐久田昌明氏、研究開発本部技師長 石井康博博士、半導体技術研究所光デバイス研究部長石田俊正氏に心から感謝の意を表します。本研究を遂行するにあたっては、半導体技術研究所の研究員の方々から多くの御協力をいただいた。成長、評価に関しては、河原田美裕氏、上田孝氏、小野沢幸子氏、西清次博士、堀川英明氏、デバイス製作、評価に関しては、野中敏夫氏、猪股博記氏、橋本明弘博士、木村有氏の多大な御協力をいただいた。これらの方々をはじめとして、研究を支えていただいた多くの方々に感謝致します。また、GaAs/Si の成長に関しては多くの方々と議論する機会を得、これらの議論を通して多くの有益な御教示をいただいた。これらの方々に感謝の意を表します。

(本研究に関する発表論文)

- 1) Masahiro Akiyama, Yoshihiro Kawarada and Katsuzo Kaminishi "Growth of Vanadium-Doped Semi-Insulating GaAs by MOCVD" J. Cryst. Growth, 68 (1984) 39.
- 2) Y. Kawarada, M. Akiyama and K. Kaminishi, "Vanadium-Doped and Chromium-Doped High Resistivity GaAs Prepared by MOCVD" Proc. Int. Conf. Semi-Insulating III-V Mat., (1986) 509. (Ohmusha)
- 3) Masahiro Akiyama, Yoshihiro Kawarada and Katsuzo Kaminishi, "The Growth of Single Domain GaAs on Ge(100) Substrate by MOCVD" Extended Abstracts 15th Conf. Solid State Dev. and Mat., Tokyo, (1983) 293.
- 4) Masahiro Akiyama, Yoshihiro Kawarada and Katsuzo Kaminishi, "Growth of GaAs on Si by MOCVD" J. Cryst. Growth, 68 (1984) 21.
- 5) Masahiro Akiyama, Yoshihiro Kawarada and Katsuzo Kaminishi, "Growth of Single Domain GaAs Layer on (100)-Oriented Si Substrate by MOCVD" Jpn. J. Appl. Phys., 11 (1984) L843.
- 6)\* Masahiro Akiyama, Seiji Nishi and Katsuzo Kaminishi, "Growth and Properties of Single Domain GaAs, AlGaAs and Their Hetero-structures on Si by MOCVD and MBE" Surf. Sci., 174 (1986) 19.
- 7)\* Masahiro Akiyama, Yoshihiro Kawarada, Takashi Ueda and Katsuzo Kaminishi, "Growth of High Quality GaAs Layers on Si Substrates by MOCVD" J. Cryst. Growth, 77 (1986) 490.
- 8)\* Masahiro Akiyama, Yoshihiro Kawarada, Seiji Nishi, Takashi Ueda and Katsuzo Kaminishi, "Growth of GaAs on Si and Its Application to FETs and LEDs" Mat. Res. Soc. Symp. Proc., 67 (1986) 53.
- 9)\* Masahiro Akiyama, "Heteroepitaxy of GaAs on Si by MOCVD and MBE" Extended Abstracts 18th Conf. Solid State Dev. and Mat., Tokyo (1986) 113.
- 10) Takashi Ueda, Seiji Nishi, Yoshihiro Kawarada, Masahiro Akiyama and Katsuzo Kaminishi, "Effects of the Substrate Offset Angle on the Growth of GaAs on Si Substrate" Jpn. J. Appl. Phys., 25 (1986) L789.
- 11)\* 秋山正博、西清次、河原田美裕、上田孝、上西勝三 "Si 基板上への GaAs の成長とデバイスへの応用" 日本結晶成長学会誌, 13 (1986) 242.

- 12)\* Masahiro Akiyama, Takashi Ueda and Sachiko Onozawa, "MOCVD Growth of GaAs on Si" Mat. Res. Soc. Symp. Proc., 116 (1988) 79.
- 13)\* 秋山正博 "二段階成長法における Si 基板上へのシングルドメイン GaAs 膜の成長機構" 応用物理, 57 (1988) 1742.
- 14) Toshio Nonaka, Masahiro Akiyama, Yoshihiro Kawarada and Katsuzo Kaminishi, "Fabrication of GaAs MESFET Ring Oscillator on MOCVD Grown GaAs/Si(100) Substrate" Jpn. J. Appl. Phys., 23 (1984) L919.
- 15) H. Inomata, S. Nishi, M. Akiyama, M. Itoh, S. Takahashi and K. Kaminishi, "GaAs Power FETs Fabricated on a GaAs/Si Substrate" Proc. Int. Symp. GaAs and Related Compounds, Karuizawa, (1985) 481. (Inst. Phys. conf. Ser., 79)
- 16) A. Hashimoto, Y. Kawarada, T. Kamijoh, M. Akiyama, N. Watanabe and M. Sakuta, "AlGaAs Heterojunction Visible(700nm) Light-Emitting Diodes on Si Substrates Fabricated by Metalorganic Chemical Vapour Deposition" Appl. Phys. Lett., 48 (1986) 1617.

(\* は招待論文)

