

新制
工
854
京大附図

時分割多元接続システムにおける 同期制御方式の研究

平成3年5月

守倉正博

目次

第 1 章	緒言	1
1.1	研究の背景	1
1.2	研究課題の所在	2
1.2.1	単一中継器運用 T D M A 方式	4
1.2.2	複数中継器運用 T D M A 方式	6
1.2.3	S S - T D M A 方式	7
1.2.4	衛星上再生中継 T D M A 方式	8
1.3	論文の概要	9
第 2 章	同期制御	10
2.1	まえがき	10
2.2	送受信同期制御法	10
2.2.1	受信同期	10
2.2.2	初期捕捉	14
2.2.2.1	初期捕捉法	14
2.2.2.2	初期捕捉用ウィンドウ幅	15
2.2.3	送信同期	19
2.3	同期制御信号伝送特性の改善法	23
2.3.1	直列転送方式と並列転送方式	23
2.3.2	バースト誤りパターンの理論的検討	24
2.3.3	ブロック無効確率とブロック誤り確率	26
2.3.4	実験	27
2.4	むすび	30

第 3 章	同期語	31
3.1	まえがき	31
3.2	同期語検出器の構成と特性	31
3.2.1	同期語検出器の構成	31
3.2.2	不検出・誤検出特性	36
3.2.3	同期語長	40
3.2.4	同期語パターン	43
3.3	同期語検出特性の改善法	46
3.3.1	符号化UW検出法	46
3.3.2	ビタビ復号後の符号誤りパターン	49
3.3.3	符号化UW検出特性	52
3.4	むすび	54
第 4 章	複数中継器運用時の同期制御	55
4.1	まえがき	55
4.2	複数中継器運用・時分割多元接続装置の構成	55
4.2.1	T D M A 同期制御法	58
4.2.2	ガードタイム	59
4.3	記憶型バースト復調器 A F C 回路	60
4.3.1	回路構成と記憶型動作	61
4.3.2	制御部動作	62
4.3.3	実験	65
4.4	むすび	71

第 5 章	衛星上マスタクロック周波数制御	72
5.1	まえがき	72
5.2	マスタクロック制御方式	74
5.2.1	マスタクロック位相誤差測定	75
5.2.2	マスタクロック周波数制御ループ	78
5.2.3	マスタクロック制御誤差	80
5.2.4	最適制御間隔	87
5.3	実験結果	89
5.4	むすび	93
第 6 章	時分割多元接続装置の小型・高信頼化	94
6.1	まえがき	94
6.2	TDMA装置の構成	94
6.2.1	TDMA同期制御部における信号処理概要	96
6.2.2	TDMA同期制御部の主な回路	96
6.3	TDMA装置のLSI化手法	100
6.3.1	デバイスの選択	101
6.3.2	基本機能の抽出と最適機能配分	101
6.3.3	LSI化同期制御部	105
6.4	衛星搭載用TDMA装置のLSI化手法	107
6.4.1	デバイスの選択	107
6.4.2	衛星搭載用ベースバンド処理回路	108
6.4.3	衛星搭載用S/P変換LSIとP/S変換LSI	111
6.4.4	衛星搭載用ユニークワード検出器の構成	113
6.4.4.1	高速デジタル相関器	113
6.4.4.2	高速ユニークワード(UW)検出器	117
6.4.4.3	開発UW検出器LSIの構成と特性	120
6.5	むすび	123

第7章	結言	124
参考文献		126
本論文に関する著者の発表論文		135
謝辞		139

第1章 緒言

1.1 研究の背景

衛星通信の歴史は1960年にNASAがアルミ箔で覆った直径30mの風船衛星 Echo 1を高度約1,600kmに打上げたことにさかのぼる⁽¹⁾。この受動型衛星を用いてNASA及びベル電話研究所がFM方式による電話及びTV信号の伝送に成功して以来、能動型静止衛星の時代を迎えて衛星通信は急速な発展を続けている。

衛星通信が固定通信の手段として実用化されて以来、衛星通信回線において広く用いられてきた通信方式は周波数分割多元接続方式 (Frequency Division Multiple Access : FDMA)である。この方式は周波数帯域を分割して各局に割り当てる方式であり、変復調器の動作速度が低速となり、小型地球局による通信が可能という長所を有している。しかし、FDMA方式は衛星中継器で複数波を同時に増幅しなければならないことから、中継器の飽和動作点で運用することができず、衛星中継器当たりの伝送容量が小さくなるという欠点を有している。また種々の速度からなるデジタル信号伝送との親和性に乏しいという欠点も有している。これらの問題を解決するため、衛星中継器当たりの送信電力を最大限利用可能で種々の速度からなるデジタル信号伝送が容易に実現可能な時分割多元接続方式 (Time Division Multiple Access : TDMA)が考案され、これまで研究・開発が進められている。

衛星TDMA通信方式の歴史は1966年米国コムサット研究所による6Mbit/s TDMA通信 (MATE方式) 実験に始まる⁽²⁾。我が国では1968年に、NTT電気通信研究所による13.664Mbit/s TDMA (SMAX)方式の実験が行われている⁽³⁾。その後、種々の研究開発が各国で進められ、世界初の商用TDMAシステムが1976年にカナダで導入された⁽⁴⁾。我が国ではNTTがSMAX方式の実験結果をもとにTDMA-60MおよびTDMA-100M方式を1982年に実用化した⁽⁵⁾。一方、インテルサット衛星用TDMA通信方式も種々変遷後、1985年からはDS-SS付き120Mbit/s TDMA方式がインテルサット-V号衛星 (14/12GHz帯)を用いて商用されている⁽⁶⁾。

本論文は衛星TDMA通信を実現する上で重要な技術である同期制御方式に関するものである。

1. 2 研究課題の所在

これまで実用化されて来た衛星 T D M A 通信システムは大型の地球局アンテナ、高出力の送信機及び大規模な T D M A 装置を必要とするものであり、衛星 T D M A 通信の適用領域の拡大には更に①システム当たりの伝送容量の増大、②地球局の小型化・経済化、③柔軟な回線運用が必要となる。これらの条件を満足するため、技術発展方向としては次のように研究開発が進められている。

(1) シングルビーム衛星に搭載された単一中継器で T D M A システムを構成する方式。

(単一中継器運用 T D M A 方式) ⁽²⁾ ⁽⁷⁾

↓

(2) シングルビーム衛星に搭載された複数中継器で T D M A システムを構成する方式。

(複数中継器運用 T D M A 方式) ⁽⁸⁾ ⁽⁹⁾

↓

(3) マルチビーム衛星に搭載された複数中継器と中間周波スイッチにより T D M A システムを構成する方式。 (Satellite Switched-TDMA : S S - T D M A 方式) ⁽¹⁰⁾ ⁽¹¹⁾

↓

(4) マルチビーム衛星に搭載された複数中継器を用いて再生中継を行うことにより T D M A システムを構成する方式。 (衛星上再生中継 T D M A 方式) ⁽¹²⁾ ⁽¹³⁾ ⁽¹⁴⁾

ここでシングルビーム衛星通信とは図 1. 1 に示すように衛星アンテナの照射エリアが衛星通信のサービスエリアに対応しているシステムである。またマルチビーム衛星通信は図 1. 2 に示すようにサービスエリアを複数のスポットビームにて照射する方式である。マルチビーム衛星通信は衛星アンテナ利得が高くなることから回線容量の増大、地球局の小型化が可能となる。一方、スポットビーム間の相互接続性を保証するため衛星上にてビーム切替えスイッチが必要となる。

以下に本論文で前提とするこれら T D M A 方式の概略を述べ、研究課題の所在を明らかにする。

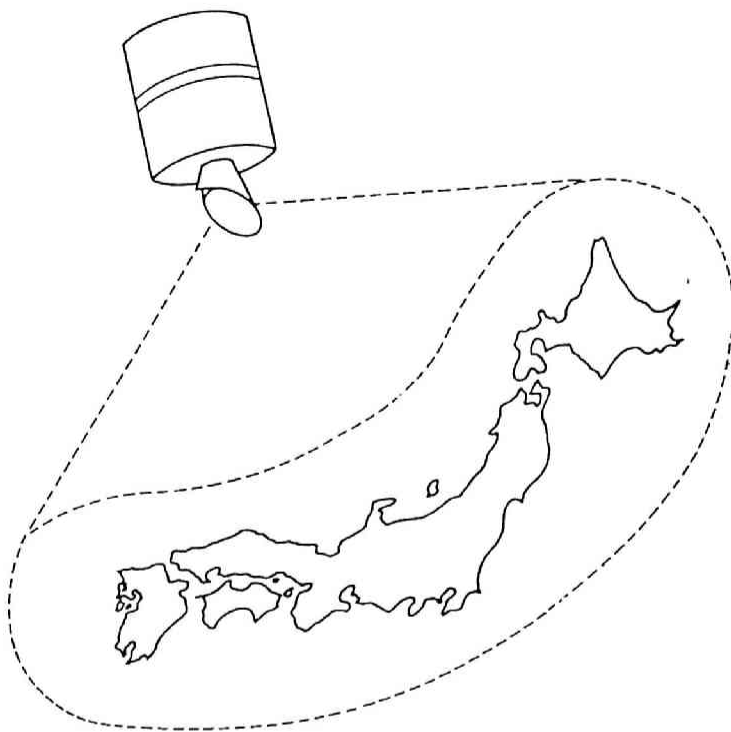


図1.1 シングルビーム衛星通信方式

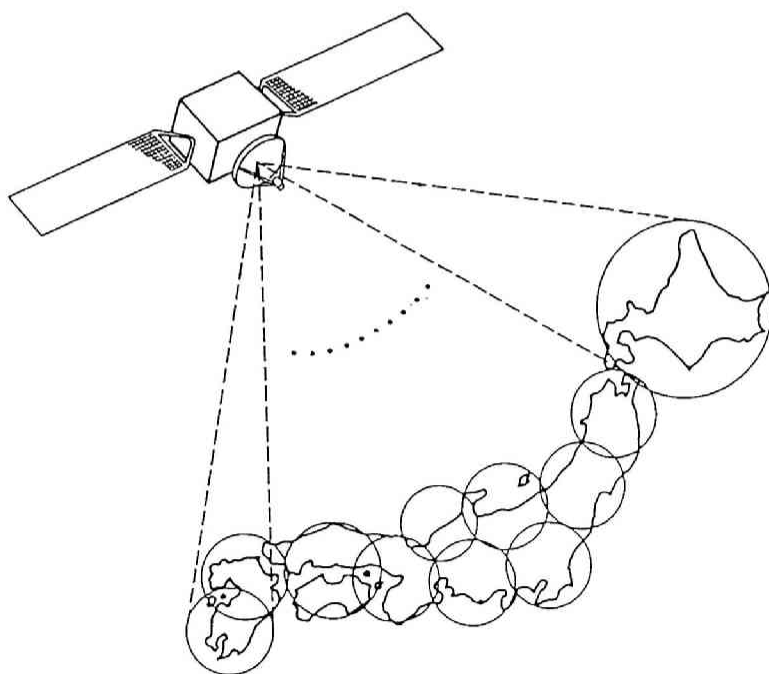


図1.2 マルチビーム衛星通信方式

1. 2. 1 単一中継器運用 T D M A 方式

本方式は各種 T D M A 方式の基本となるもので図 1. 3 に衛星 T D M A 通信の概念を示す。また単一中継器運用 T D M A 方式を構成する地球局と衛星の装置ブロック図を図 1. 4 に示す。本 T D M A 方式では、まず衛星上で周期的に区切られた時間を考える。T D M A では、この周期すなわち T D M A フレームを時間分割して各地球局に割り当てる。各地球局は自局の信号をその割当時間内に収まるように信号を送出する。従って各送信信号は T D M A フレームと等しい周期を持った断続信号となる。この断続信号を衛星 T D M A 通信では一般にバースト信号と呼ぶ。

各地球局のバースト信号は図に示すように衛星上で時間的に配列された形となり、地球局に戻ってくる。各地球局ではこれを受信し自局向けの信号が存在するタイムスロットを抜き出す。各地球局はバースト信号を送出するに当たって、それが衛星上で割り当てられた時間位置に置かれ、互いに衝突しないようにバースト送信時間を制御する。衛星上の時間位置は基準同期バーストと呼ばれるバースト信号を基準として決められる。基準同期バーストは T D M A システムにおいて時間基準となる基準局から送信され、各地球局はその基準同期バーストに絶えず追従して各バースト信号の送信タイミングを制御する。

このような単一中継器運用 T D M A 方式において所要 C / N 値を小さくし、地球局アンテナ径および送信機の出力を低減させるため強力な誤り訂正 (Forward Error Correction : FEC) が用いられつつある。これまで大規模なハードウェアが要求されていた誤り訂正回路も近年の L S I 化技術の進歩により、1 チップ L S I 化が実現し容易に T D M A 装置に適用可能な技術となっている。この強力な誤り訂正方式を用いた T D M A システムでは、誤り訂正符号化がなされたデータ部の回線品質を一定値以上に保つため、誤り訂正符号化が施されていない同期語 (Unique Word : UW) に対する要求条件が厳しくなる。また安定な同期制御を行うためには同期制御信号に対する高信頼性が要求される。

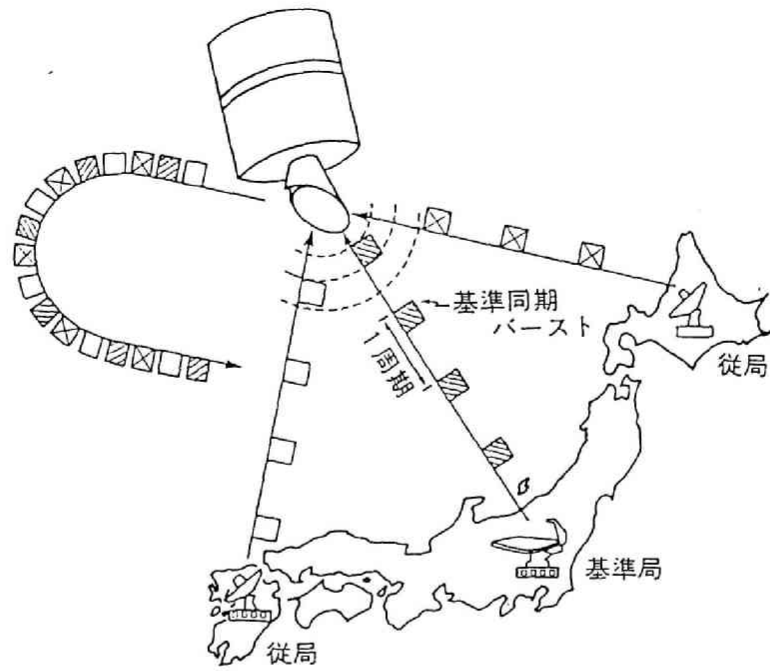


図1.3 衛星TDMA通信の概念

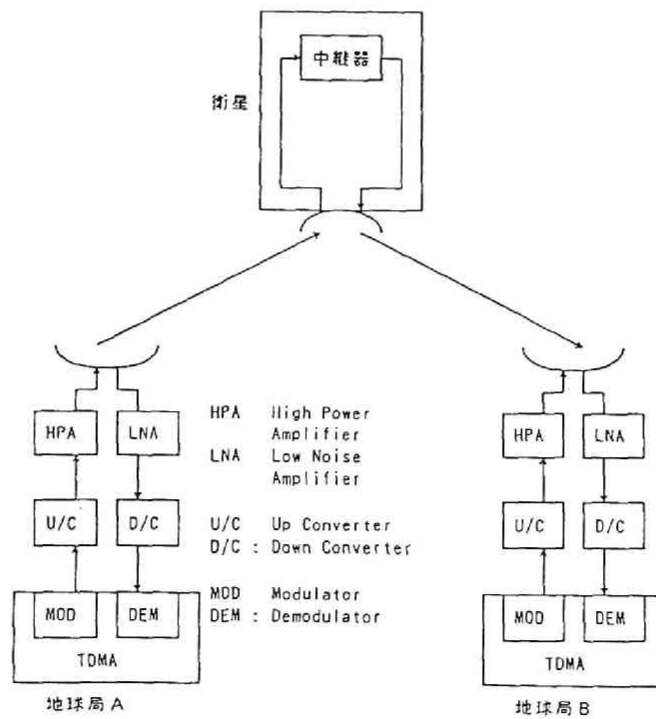


図 1 4 単一中継器運用TDMA方式

1. 2. 2 複数中継器運用 T D M A 方式

本方式はシステムに要求される伝送容量が1中継器の容量よりも大きい場合に用いられ、トランスポンダホッピング (Transponder Hopping)方式とも呼ばれる。本方式の特徴は図1. 5に示すように各地球局が伝送すべきトラフィックをバースト信号ごとに周波数の異なるトランスポンダに向け送信または受信することにより、衛星中継器の有する伝送容量を効率良く使用できる。この反面、各地球局では複数の周波数変換器と復調器が必要とされ、ハードウェアの増大により地球局装置が大型化するという問題がある。このため周波数変換器と復調器の台数を増大させることなくトランスポンダホッピング機能を実現するため新たな T D M A 同期制御法、T D M A 装置構成法が必要となる。

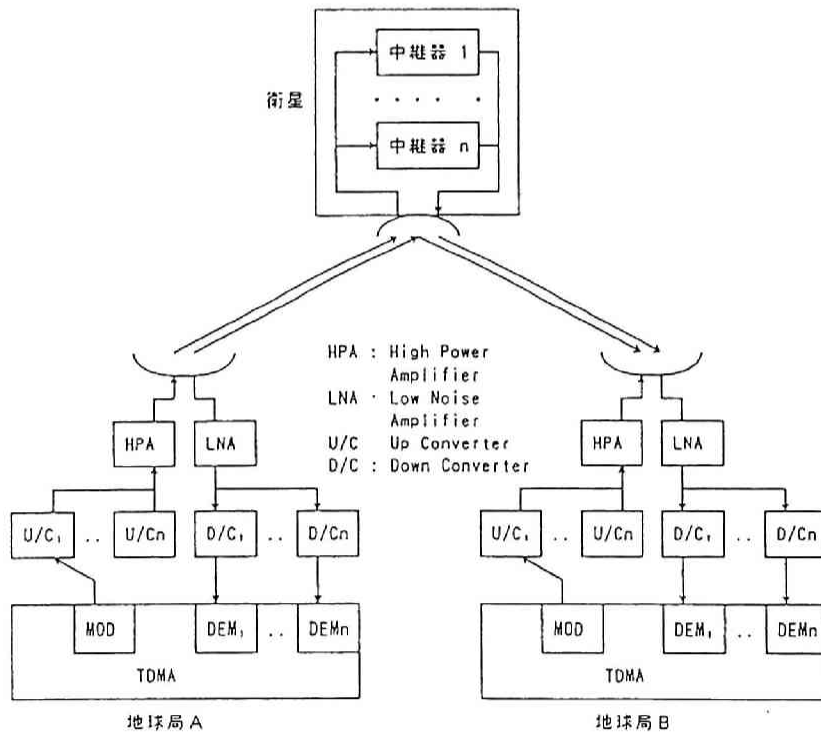


図 1. 5 複数中継器運用 T D M A 方式

1. 2. 3 SS-TDMA方式

マルチビーム衛星通信では、図1. 2で示したように衛星アンテナ利得を向上させることに加え、同一周波数を多数のスポットビームで同時に使用し、衛星通信に割り当てられた周波数を何重にも利用できる長所がある。このような衛星では一つのビームからの信号を他のビームへ接続するため、衛星上にビーム間接続の切替えスイッチが搭載される。この切替えスイッチはあらかじめ定められたシーケンスに従って切り替わり、同じシーケンスが各TDMAフレーム毎に繰り返される。一方、各地球局は自ビームと目的ビームが接続されるタイミングに合わせてバースト信号を送出する。

SS-TDMA方式における装置ブロック図を図1. 6に示す。本方式においては複数中継器運用TDMA方式における送信側U/C (Up Converter) 及び受信側D/C (Down Converter)のバースト毎に実時間で無線周波数を切り替える機能が、地球局ではなく衛星上に集約されたと考えられる。従ってSS-TDMA方式では各地球局は実時間でバースト信号周波数を指定する必要は無く、単一中継器運用TDMA方式と同様に簡易な地球局構成となる。このようなSS-TDMA方式では、衛星上に搭載された切り替えスイッチを駆動するマスタクロックを地上網の高安定なクロックといかに同期させるかが重要な課題の一つとなる。

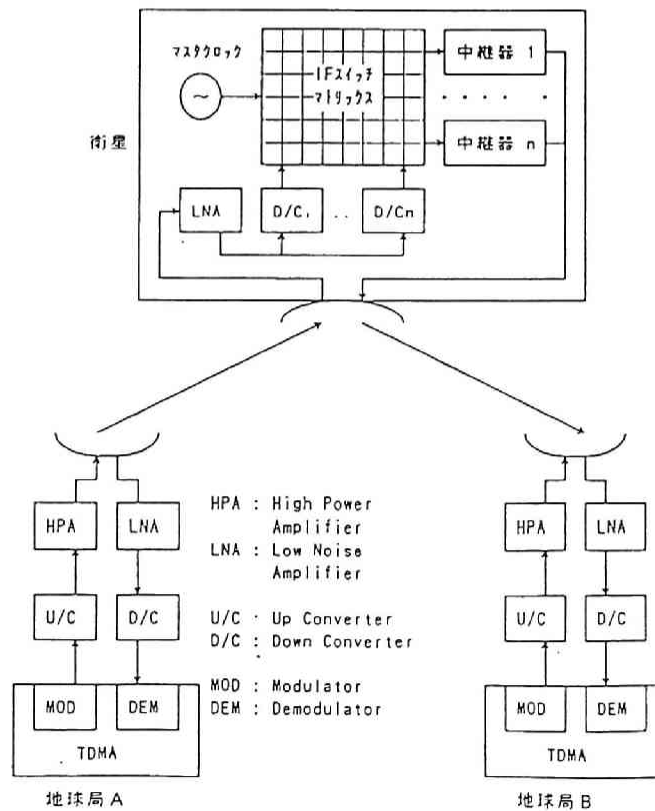


図 1. 6 SS-TDMA方式

1. 2. 4 衛星上再生中継 TDMA 方式

本方式の装置ブロック図を図 1. 7 に示す。衛星上再生中継 TDMA 方式では、各地球局から送信されたバースト信号を衛星上で復調・再生し、他ビームからのバースト信号と搭載ベースバンドスイッチにより交換し、多重化した後、下り回線 TDMA 信号とする。本方式は衛星上でバースト信号が再生中継されるため回線品質の改善及び異速度の TDMA 方式との相互接続が可能等の特徴を有する。従って柔軟な回線運用を行う上で有望な方式である。本方式を実現する上での技術的課題は搭載マスタクロックの地上網クロックへの同期化に加え、搭載 TDMA 装置の LSI 化が鍵となる。

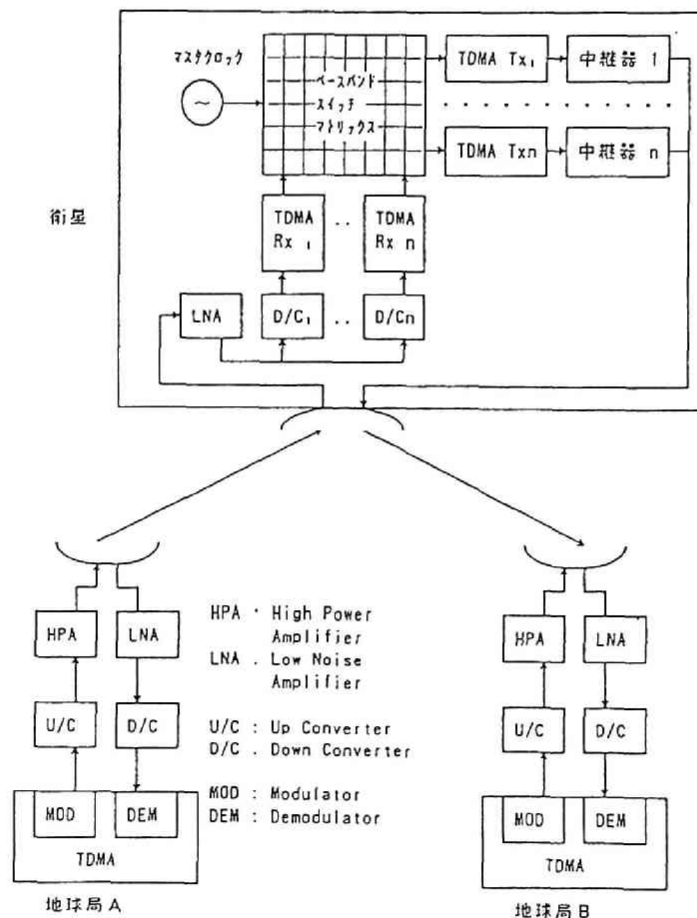


図 1. 7 衛星上再生中継 TDMA 方式

1.3 論文の概要

以上述べたように、本論文は単一中継器運用 T D M A 方式から衛星上再生中継 T D M A 方式に至る各種 T D M A 方式において、技術的課題となる同期制御法、同期制御装置構成法について研究した結果をまとめたものである。各章の位置づけを図 1.8 に示す。

第 2 章ではシングルビームでかつ単一中継器での T D M A 通信方式において、同期制御の基礎となる T D M A 送受信同期制御法について整理し、フィードバックループ法による同期制御が適することを示す。更に本フィードバックループ法を実現する上で課題となる同期制御信号伝送特性の改善について明らかにする。

第 3 章では強力な誤り訂正方式を採用した場合において、単一中継器 T D M A 通信方式の同期語検出法について検討を行い、新たに符号化ユニークワード検出法を提案する。さらに実験により符号化ユニークワード検出法の特性を明らかにし、その有効性を示す。

第 4 章では複数中継器運用 T D M A 方式において技術的課題となる T D M A 同期法について検討を行い、複数中継器運用 T D M A 方式に適したフレーム構成の提案を行う。更に地球局装置を小型化・簡易化するためバースト復調器の構成について検討を行い、新たに記憶型バースト復調器 A F C (Automatic Frequency Control) 回路を提案し、実験的にその特性を明らかにする。

第 5 章では S S - T D M A 方式及び衛星上再生中継 T D M A 方式を実現する上で技術的課題となる搭載マスタクロックの制御法について検討を行い、マスタクロックの最適制御間隔を理論的に導出する。また実験により理論の妥当性を明らかにする。

第 6 章では地球局 T D M A 装置及び衛星上 T D M A 装置を小型化する上で鍵となる大規模 T D M A 装置の L S I 化手法について検討を行い、その設計法を明らかにする。

第 7 章は第 2 章から第 6 章までの研究結果を総括し、本論文のまとめとしている。

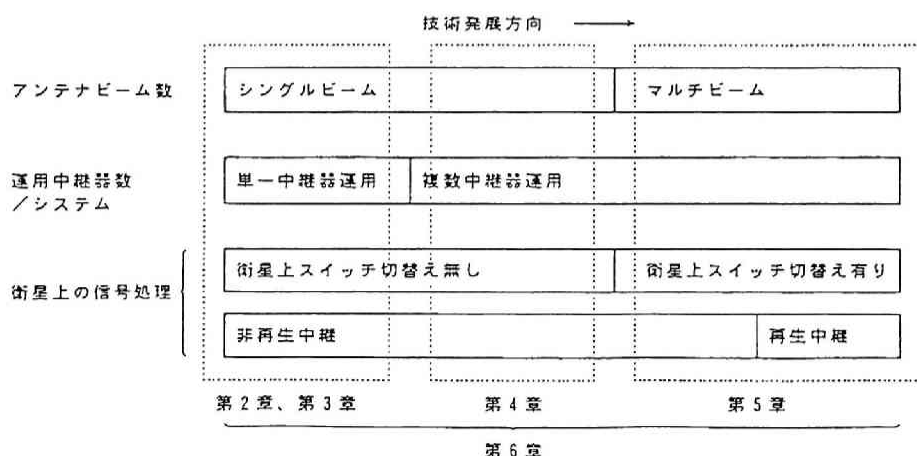


図 1.8 各章の位置づけ

第 2 章 同期制御

2. 1 まえがき

T D M A 通信では、各局が送信するバーストが互いに衝突して通信の障害とならないように種々の同期をとることが必要となる。本章では全ての衛星 T D M A 方式において基本となる単一中継器運用 T D M A 方式に関して、① T D M A システムの時間基準をとるための受信同期、② 情報送信のためのデータバーストの送出を可能とするための T D M A システムへの初期捕捉 (Initial Acquisition) および、③ 定常的に通信を行うための同期 (送信同期) に分類して考察する。初期捕捉については後述する距離推定方を用いた場合に技術的課題となる初期捕捉ウィンドウについて検討を行い、送信同期については、後述するフィードバックループ制御方を用いた場合に問題となる同期制御情報の高信頼化について検討を行う。

2. 2 送受信同期制御法

従局 T D M A 装置の同期制御手順を図 2. 1 に示す。以下では図 2. 2 に示したフレーム構成を例にとりこれらの同期制御について考察する。

本 T D M A フレーム構成例では基準局は 2 局あり、それぞれ基準同期バースト R 1、R 2 を 2 m s の周期で送出する。2 基準局 (R 1 局および R 2 局) は互いに相補的に機能する。T D M A 通信に参加する最初の局 (例えば R 1 局) には初期接続制御および送信同期制御は必要なく自局送信信号を受信するための受信同期が必要となるのみである。第 2 番目の局からは初期接続および送信同期制御が必要となる。R 2 局および他の従局はこれらの同期後初めて通信が可能となる。

2. 2. 1 受信同期⁽¹⁾⁽²⁾

基準局より送信された基準同期バーストをもとに生成される T D M A フレームは衛星上にて各地球局に依存しない 1 中継器当たり唯一のフレームとなる。各地球局は衛星から送信されるこのフレームを共通に受信する。しかし各地球局は地理的に異なった場所に位置しているため、絶対時間の異なったフレームを受信することになる。また、この受信フレームは衛星の位置変動に伴い、それぞれの局にて時々刻々変化する。従って各地球局では受信信号から時間基準となる基準同期バーストを検出し、これを時間基準として受信フレ

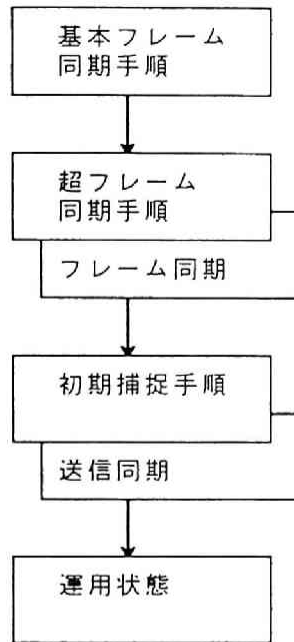


図 2. 1 従局 T D M A 装置の同期制御

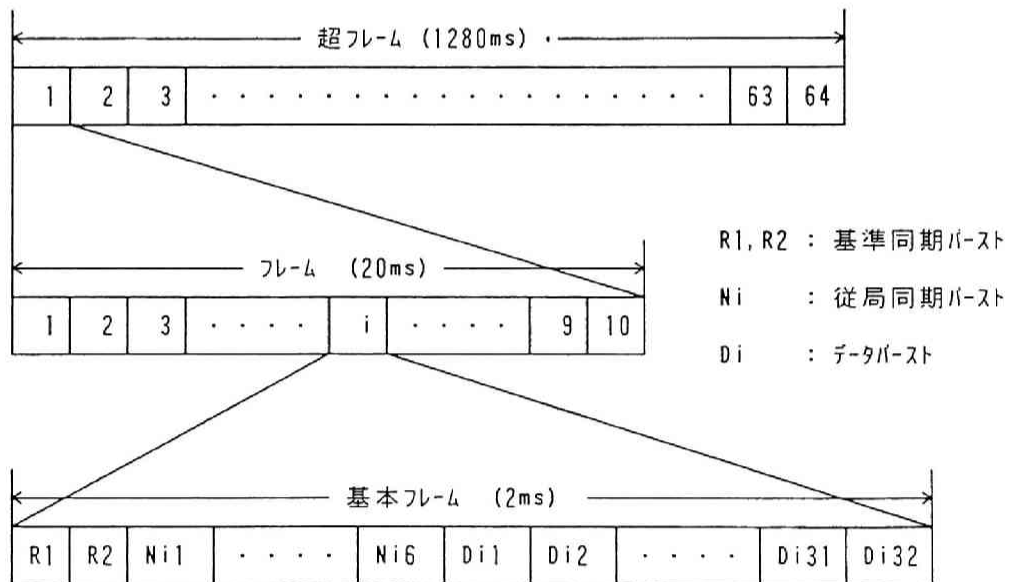


図 2. 2 T D M A フレーム構成

ームを作成することが最初に必要となる。この基準同期バーストを検出し受信フレームを確立するまでを受信同期といい、一般に基準同期バーストの受信周期を周期とするフレー

ム（ここでは基本フレームと呼ぶ）に対する同期確立が必要となる。受信同期制御フローを図2.3に示し、以下にその動作を述べる。

（a）基本フレーム同期

基準局が2局構成の場合、通常以下に示す3種の手順を経て同期が確立される。

① S M A (Search Mode Acquisition) 手順

基準同期バーストR1およびR2のいずれをも捕捉していない状態で適用される手順であり、R1およびR2のユニークワード(UW: Unique Word)をオープンアパーチャ(Open Aperture: T D M Aフレーム上の位置を限定せず、全フレームにわたる動作)で探索する。UWを検出すると受信フレームカウンタがリセットされ、ナローアパーチャ(Narrow Aperture: 次のフレームでUWの検出が予定される時間位置付近に限定してUWを検出する動作)でのUW検出モードへ移行する。通常、オープンアパーチャ動作時の誤検出率を低くするためUWの相関検出閾値(Correlation Threshold)を低くし、ナローアパーチャにて複数回のUW検出が連続してなされた後、初めてS M A手順完了となる(後方保護と呼ばれる)。

② G M A (Gated Mode Acquisition) 手順

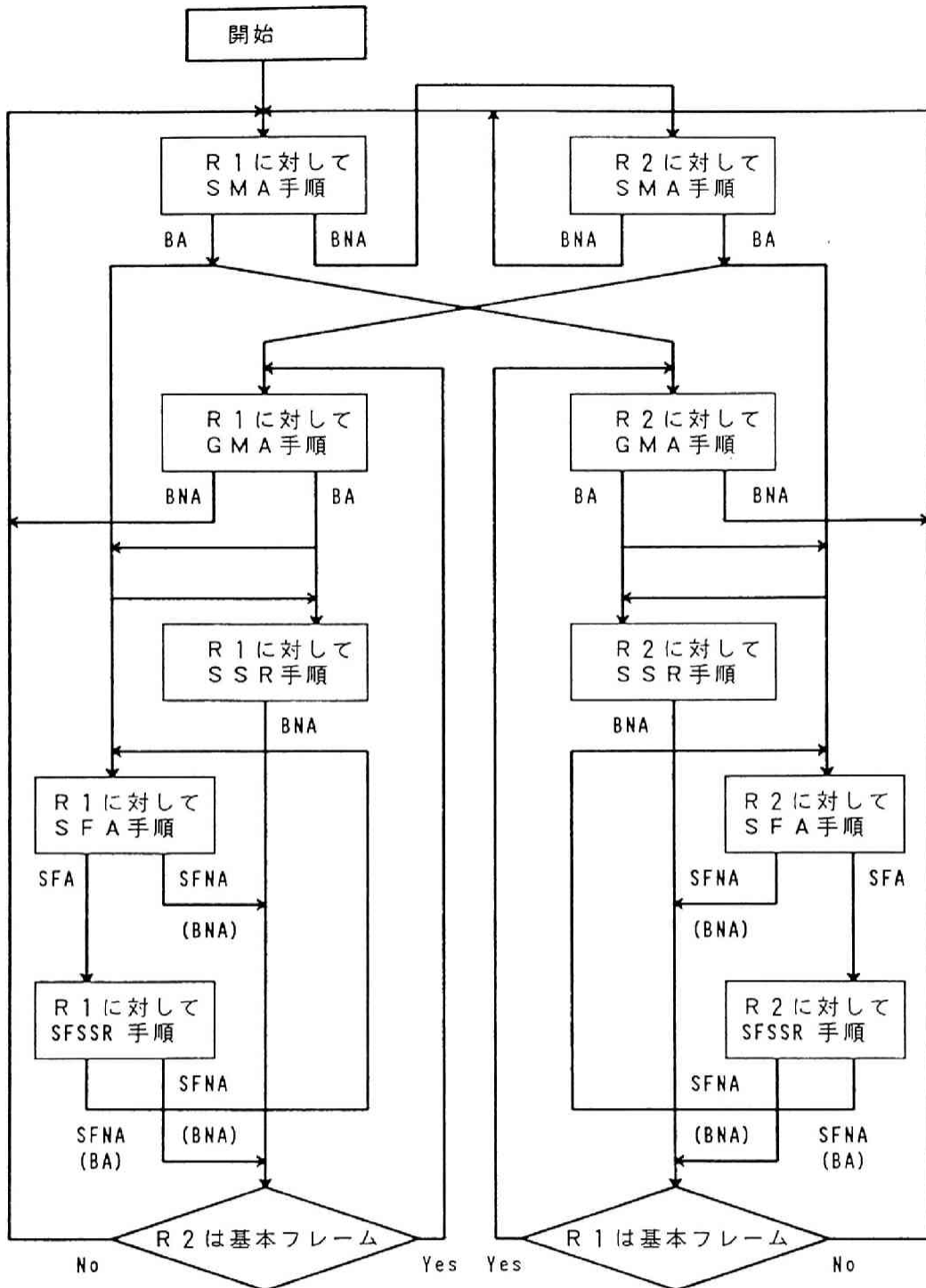
S M A手順で一方の基準同期バーストを捕捉後、他方の基準同期バーストを捕捉するための手順であり、受信タイミングが確立していることから、まだ捕捉していない基準同期バーストをナローアパーチャ動作で探索・検出する。

③ S S R (Steady State Reception) 手順

S M A手順およびG M A手順でR1およびR2基準同期バーストの同期確立後、定常的に受信同期を保持する手順である。降雨等により回線品質が劣化した場合に基準同期バーストのUW不検出率が増加するが、1回の不検出で同期外れとみなさずに通常複数回の連続不検出をもって同期はずれとする(前方保護と呼ばれる)。

（b）超フレーム同期

超フレーム同期は基本フレーム同期確立後引き続いて行われる同期手順であり、基本フレーム同期と同様に超フレーム同期確立のための手順(SFA手順: Super Frame Acquisition)と超フレーム同期保持の手順(SFSSR手順: Super Frame Steady State Reception)とからなる。基本フレーム同期と同様に通常超フレームUW検出において後方保護および前方保護がかけられ、それぞれ同期確立および保持の確度を上げている。以上の手順で基本および超フレーム同期が確立し、受信同期確立が完了する。



SMA : Search Mode Acquisition
 GMA : Gated Mode Acquisition
 SSR : Steady State Reception
 SFA : Super Frame Acquisition
 SFSSR : Super Frame Steady State Reception
 BA : Burst Acquired
 BNA : Burst Not Acquired
 SFA : Super Frame Acquired
 SFNA : Super Frame Not Acquired

図 2. 3 受信同期制御フロー

2. 2. 2 初期捕捉⁽³⁾⁽⁴⁾

2. 2. 2. 1 初期捕捉法

初期捕捉 (Initial Acquisition)は受信同期確立後、地球局と衛星との距離をもとに送信タイミングを決定するために必要な機能であり、送信タイミング設定確度の向上、装置簡易化等の観点から種々検討されている。

(1) m-シーケンス法 (低レベル初期捕捉)

本方法ではM系列符号の特徴を生かし、通信中の回線にできるだけ干渉を与えないように低レベルで送信したM系列と衛星を介して受信したM系列を比較し、地球局と衛星間の距離を測定する。測定結果をもとに所期のタイムスロット位置に送信すべきタイミングを決定する。

この方法の利点としては、①衛星の軌道情報を必要としない、②距離予測のための計算機を必要としない、③初期捕捉用ウィンドウを必要としない、④特に正規信号伝送速度と同一信号速度でM系列を送信する場合にはアクジション用の特別な変復調器を必要としない等がある。また欠点として①既に通信中の回線に干渉を与える。②低レベルで送受信するため、多数決判定の採用等、高い符号誤りへの配慮が必要等がある。本方法の初期捕捉信号レベルとしては通常正規レベルよりも20 dB程度低い値が用いられる。

(2) 受信同期法 (高レベル初期捕捉)

一般に地理的に異なる場所に位置する3局で測距をすれば静止衛星の位置を高精度に推定が可能なることから、衛星の正確な位置を推定し、各従局の地理的位置を考慮した送信フレームタイミングを基準局が決定し各従局に通知することにより高レベルにて初期捕捉を行う方法である。本方法は従局における特別な初期捕捉機能を必要とせずオープンループ方式による初期捕捉方式に属する。

(3) 距離推定法 (高レベル初期捕捉)

距離推定法は、衛星の軌道情報により各従局にて衛星と地球局の距離を推定して初期捕捉を行う方法である。また衛星—地球局間の距離推定は(2)で述べた方法を用いて行うことも可能であるが、受信同期法との大きな差は本方法では衛星折り返し信号を自局または基準局にて受信し正規のバーストを送信する以前のその同期精度を高めることである。

距離推定方式では、通常プリアンプルと呼ばれる搬送波、クロック再生符号と同期語のみからなる短バーストを初期捕捉バーストとして高レベル(正規レベル)にてフレーム中

の空きバースト部へ送信する。従って他の回線へ干渉を与えないためには初期捕捉バースト送信タイミング精度以上の空きバースト領域（初期捕捉ウィンドウ）が必要となる。この方法の利点は①正規レベルで初期捕捉信号を送信することから回線品質の良い状態で同期信号の検出ができる。②通信中の他の回線に干渉を与えない。③基準局にて従局発初期捕捉バーストの復調・位相誤差検出を行い、各従局に通知するフィードバックループ方式との併用により基準局の負担は大となるが従局初期捕捉機能の簡易化が図れることである。また、欠点としてはフレーム長の短い場合、フレーム内の大部分を初期捕捉ウィンドウ領域として配分しなくてはならずフレーム利用効率を著しく劣化させる点である。しかし、伸張／圧縮バッファに利用可能なメモリの大容量化に伴い、T D M A フレーム長が長くなりこの欠点はほとんど問題となくなっている。本方法を用いた初期接続法が国内衛星通信用 T D M A 方式では主に用いられている。次節では本初期捕捉法を用いた場合に重要となる初期捕捉ウィンドウ幅について考察する。

2. 2. 2. 2 初期捕捉用ウィンドウ幅

日本のように狭いサービスエリアを対象とした T D M A 方式では静止衛星の正規位置と基準局との距離をもとにして各従局と衛星との伝搬距離を決定し、初期捕捉を行う距離推定法（1点測距）が主に用いられている。本方式では基準局からの受信フレームタイミングを基準とし、基準局から指定された時間 d だけ遅延させて送信タイミングを取り、バーストを送信する。しかし衛星は正規位置にはとどまらず、絶えずドリフト運動をしているため、従局のバースト送信位置は正確なものとは言えず、バースト送信位置の誤差が伴う。この許容すべき誤差の範囲を初期捕捉用ウィンドウ幅と呼び、以下に本ウィンドウ幅に対する設計法を述べる。

まず、図 2. 4 に示すように基準局 R が自局の往復伝搬遅延時間 D_R を測定する。基準局 R では、この D_R と予め知っている衛星の正規位置での往復伝搬遅延時間 D_{NR} とを比較し $(D_R - D_{NR})$ を求め、従局 S にこの分だけ遅延するよう指示する。つまり基準局 R は、自局における衛星の正規位置からの位置変動が従局 S に対しても同じとみなすことになる。しかし、従局 S における衛星の正規位置からの変動は $(D_S - D_{NS})$ であるのでそこに誤差が存在する。従って、システムを運用する上で、初期捕捉時のバースト送信位置に、この誤差を見込んだウィンドウをあける必要がある。

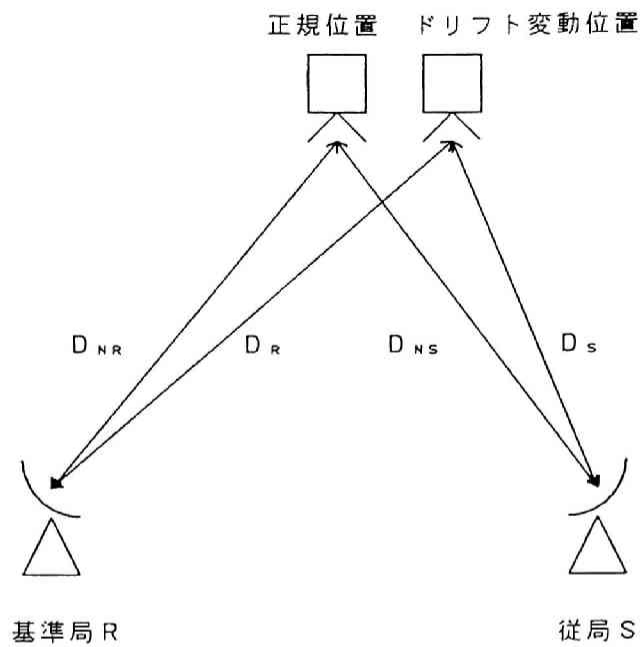


図 2. 4 衛星と地球局間の距離変動

ここで基準局 R が従局 S に指示する情報は

$$\Delta D_R = D_R - D_{NR} \quad (2-1)$$

であり、従局 S が実際に持つ衛星の正規位置からの誤差は、

$$\Delta D_S = D_S - D_{NS} \quad (2-2)$$

である。この両者の差分 ΔD がバースト位置誤差である。

$$\Delta D = \Delta D_R - \Delta D_S \quad (2-3)$$

ここで図 2. 5 に示すように、衛星の正規位置の座標を (x_n, y_n, z_n) とし、各座標軸方向へのドリフトの最大移動量を $(\Delta x, \Delta y, \Delta z)$ とすると、衛星の座標は

$$\begin{cases} x' = x_n + \Delta x = \Delta x \\ y' = y_n + \Delta y \\ z' = z_n + \Delta z = \Delta z \end{cases} \quad (2-4)$$

と表すことができる。但しこの場合、衛星の正規位置座標を $x_n = z_n = 0$ とした。

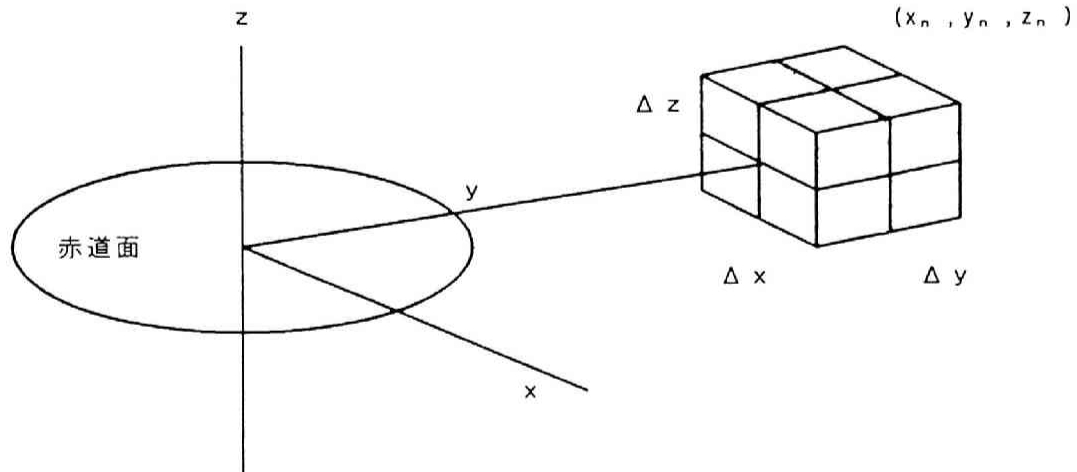


図 2. 5 衛星の位置保持精度

また基準局 R の衛星に対する相対的緯度、経度を (θ_R, ϕ_R) 、その座標を (x_R, y_R, z_R) とし、従局 S のそれらを (θ_S, ϕ_S) 、 (x_S, y_S, z_S) とすると

$$\begin{aligned} \Delta D_R &= D_R - D_{NR} & (2-5) \\ &= \{(\Delta x - x_R)^2 + (y_n + \Delta y - y_R)^2 + (\Delta z - z_R)^2\}^{1/2} \\ &\quad - \{x_R^2 + (y_n - y_R)^2 + z_R^2\}^{1/2} \end{aligned}$$

$$\begin{aligned} \Delta D_S &= D_S - D_{NS} & (2-6) \\ &= \{(\Delta x - x_S)^2 + (y_n + \Delta y - y_S)^2 + (\Delta z - z_S)^2\}^{1/2} \\ &\quad - \{x_S^2 + (y_n - y_S)^2 + z_S^2\}^{1/2} \end{aligned}$$

となる。

静止衛星の軌道位置を東経132°及び位置保持精度を東西・南北0.05°以下、離心率 10^{-4} とした時の初期捕捉用ウィンドウ幅 ΔD の具体的な数値を等高線として図2.6に示す。

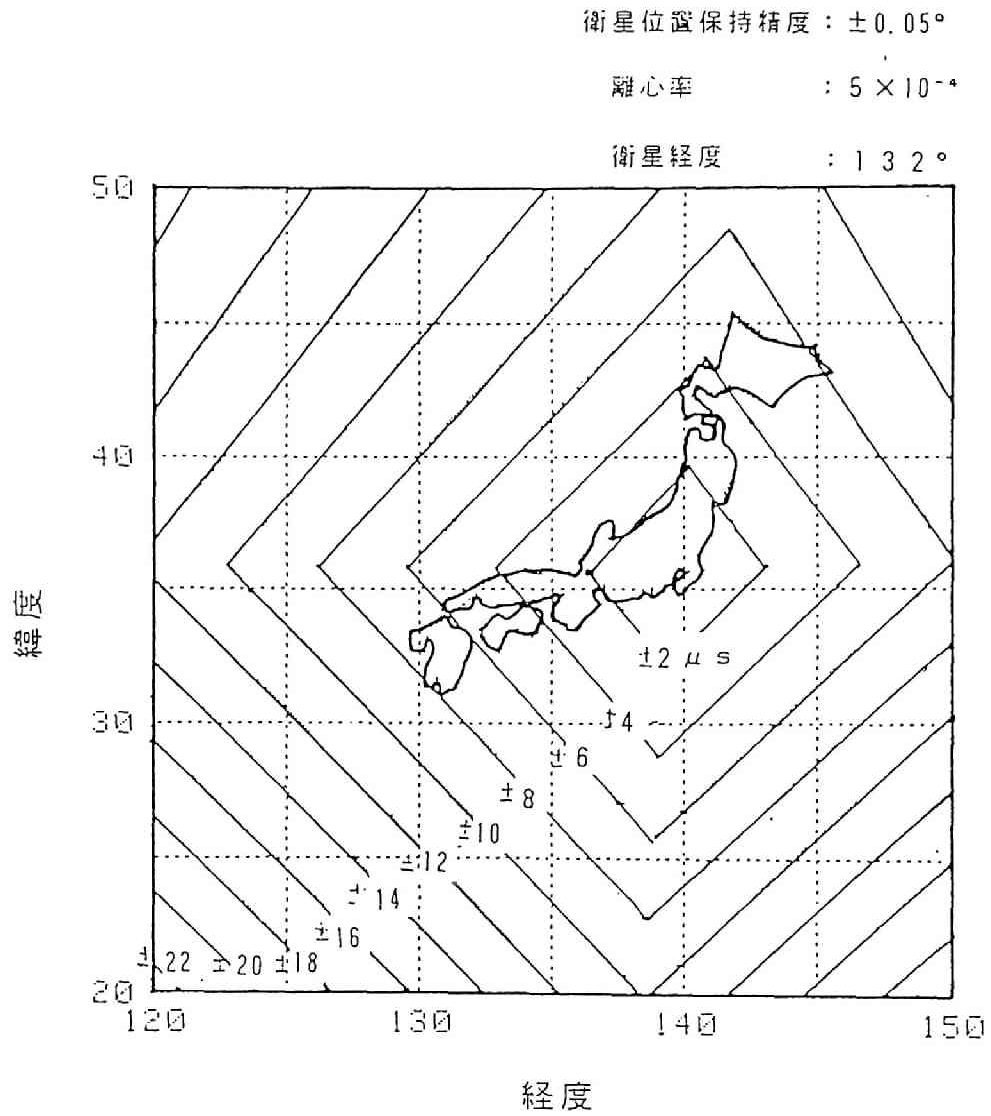


図2.6 初期捕捉用ウィンドウ幅

2. 2. 3 送信同期⁽³⁾

送信同期はバースト同期とも呼ばれ、初期捕捉後のT D M A通信中に必要となる定常的なバーストの送信タイミング制御をいう。

送信同期法には、初期捕捉法と同様にオープンループ法、クローズドループ法およびフィードバックループ法がある。

(1) オープンループ法

本方法は初期捕捉における受信同期法を定常状態でも継続し続ける方法である。オープンループ法による送信同期では1局または複数局により、衛星の軌道位置を決定し、更に各従局、衛星間の距離を求め、この距離データに基づいて各従局の送信タイミングを決定する。

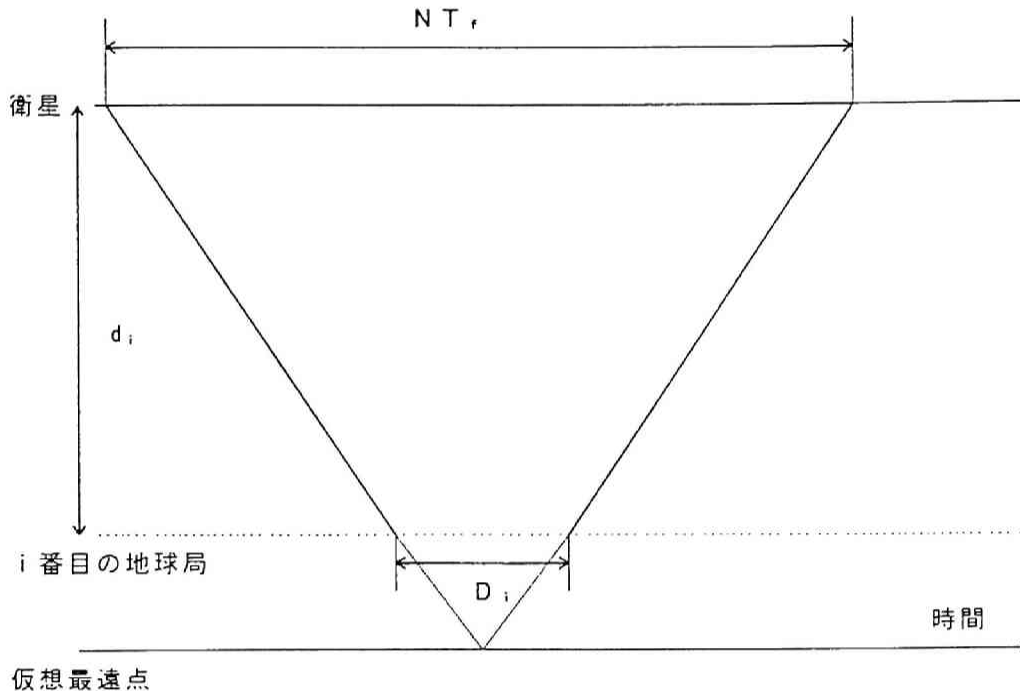


図2. 7 オープンループによる送信同期の原理

オープンループ法による送信同期の原理を図2. 7に示す。仮想最遠点はフレーム長の整数倍でかつ地球局—衛星間の最大距離よりも大となるように選定する。こうすることにより、仮想最遠点に地球局がある場合には、基準同期バースト(R)を受信した時刻が送信フレーム基準タイミングとなる。そこでi番目の地球局は地球局と仮想最遠点との時間差 D_i だけ時間を遅らせたタイミングを送信フレーム基準タイミングとする。 D_i は図2

． 7 からわかるように次式で与えられる。

$$D_i = N T_f - 2 d_i / c \quad (2-7)$$

但し c : 光速 , N : 整数

T_f : フレーム長 , d_i : 衛星～地球局 i 間の距離

本方法は d_i が正確に測定できれば精度の高い同期が得られ、低速 TDMA 方式の場合には数シンボルのガードタイムでよいことから、低速 TDMA 通信において用いることが多い。

(2) クローズドループ法

自局が送信した衛星折り返し同期バーストを受信し、TDMA フレーム上所定の位置に保持するよう送信タイミングを制御する方法である。従って初期捕捉法としてはクローズドループによる距離推定法を用いた場合には初期捕捉完了後スムーズに送信同期フェーズに移行される。この概略を図 2. 8、図 2. 9 に示す。

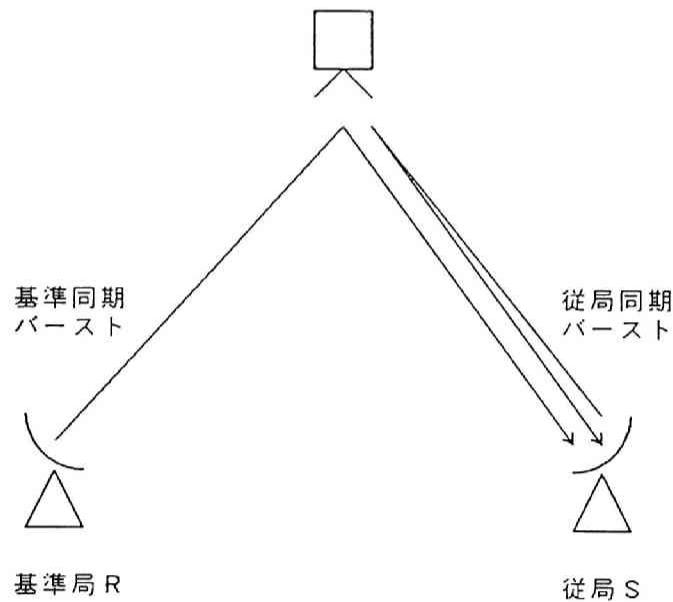
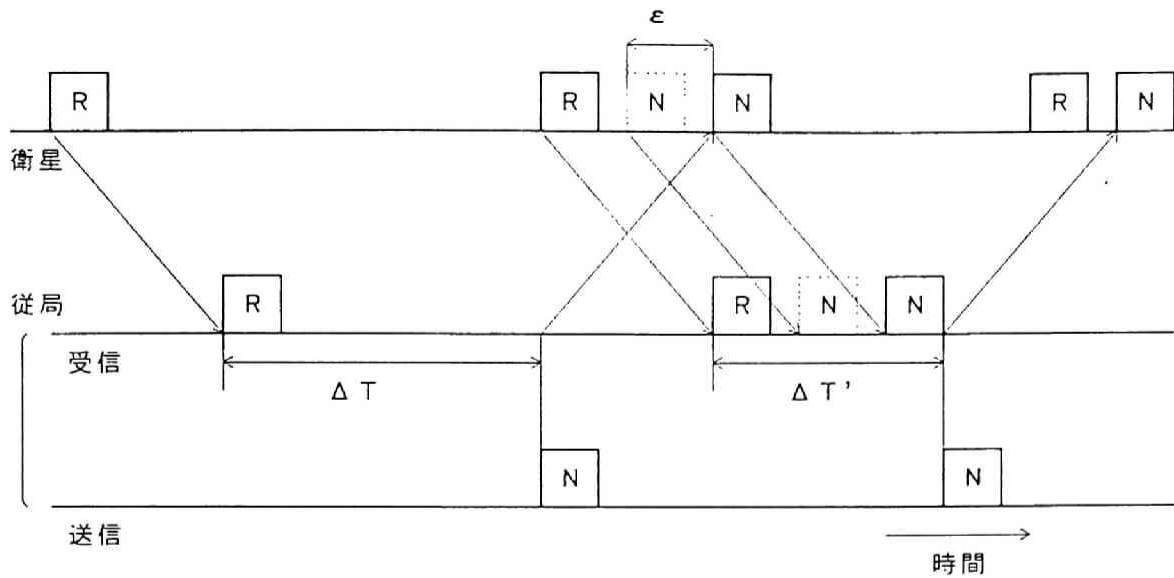


図 2. 8 クローズドループ法の概念図



R : 基準同期バースト

N : 従局同期バースト

図 2. 9 クローズドループ法によるタイミング制御

地球局（従局）は衛星距離データから推定した送信タイミング値 ΔT だけ基準同期バースト受信タイミングを遅らせて初期捕捉バーストを送出する。衛星から再送信されたこのバーストを受信することにより本例では ϵ だけ所定位置より進んでいることがわかる。そこで従局は次フレームから新しい $\Delta T'$ ($= \Delta T - \epsilon$) を設定し同期バーストを送信する。これにより衛星では所定の位置に同期バーストが受信されることになる。この結果、従局は他の通信回線に干渉を与えることなく、データバーストを送出し通信を行うことができるようになる。定常状態では後述のガードタイム内を種々の要因により同期バーストが移動することから、この同期バーストを所定位置に保持するよう制御しつづける。

衛星から再送信された自局送信バーストを自局で受信することが必要なことから本方式はシングルビーム衛星通信方式には適するものの一般にマルチビーム衛星通信方式には適さない。

(3) フィードバックループ法

フィードバックループ法は衛星から再送信された自局送信同期バーストを当該従局では受信せず、基準局が受信し、フレーム上での位置誤差を検出する。基準局はこの検出した

位置誤差をそれぞれの従局に衛星回線（通常は基準同期バーストに含まれる）を介して伝送する。各従局はこの位置誤差データを受信し、送信タイミングを制御する。本方法の概念を図 2. 10 に示す。本方法は衛星から再送信された自局送信信号を受信する必要がないことから、シングルビーム衛星通信方式に加えマルチビーム衛星通信においても適用可能である。

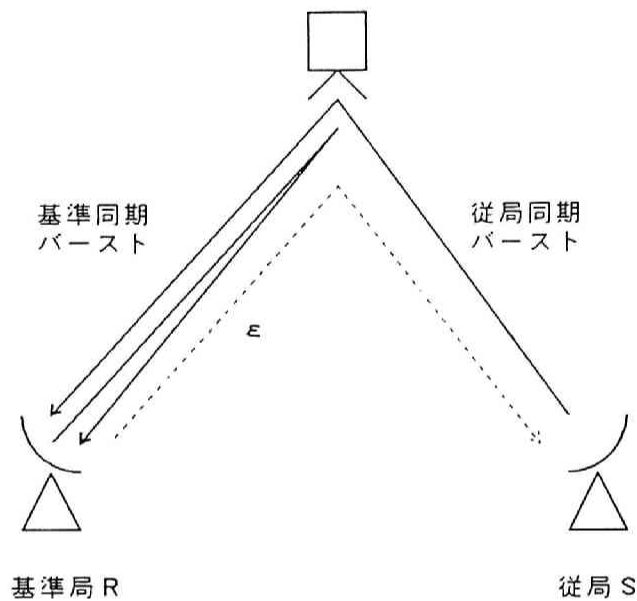


図 2. 10 フィードバックループの概念図

本方法の特徴は従局におけるバースト位置誤差測定の機能が不必要なことから、従局 T D M A 装置の小型化・経済化が可能であること及びそれに伴い基準局 T D M A 装置にて全従局同期バーストの位置誤差を測定する必要がありクローズドループ方式に比較し基準局 T D M A 装置に能力増加を図らねばならないことである。

また、一般に基準局には大型アンテナが使用される一方、従局では小型アンテナが使用されることから、フィードバックループ法を用いた場合には、クローズドループ法よりも高い同期維持特性が達成可能であり、近年の衛星通信用 T D M A 方式ではフィードバックループ方式が広く用いられている。フィードバックループ法を実現する上で重要な点は基準局で測定した従局同期バーストの同期タイミング誤差 ϵ の転送方法である。次節では基準局から従局方向の同期制御信号転送に関する高信頼化について述べる。

2.3 同期制御信号伝送特性の改善法⁽⁵⁾⁽⁶⁾⁽⁷⁾

近年、多くの衛星通信システムでは回線品質の改善、実効的な回線容量の増大を図るため、FEC (Forward Error Correction)が広く用いられてきている⁽⁸⁾⁽⁹⁾。FECの中でも特に高符号化利得が得られる畳込み符号化軟判定ビタビ復号が最も多く用いられており、多数のビタビ復号器LSIが報告されている⁽⁸⁾⁽⁹⁾⁽¹⁰⁾。一方、衛星通信用TDMAシステムにおける各種同期制御信号にはデータ信号以上の高信頼性が要求されるため、誤り制御方式としてハードウェア上構成の簡易な多数決判定法がしばしば用いられている⁽⁸⁾。

これまで畳込み符号化ビタビ復号を行う通信路において多数決判定法を採用した衛星通信システムの制御信号伝送特性に関する詳細な報告はなされていなかった。また、ビタビ復号後の符号誤りパターンに関しては、バースト的であることがこれまでに指摘されており⁽⁹⁾⁽¹⁰⁾⁽¹¹⁾、多数決判定の実現法によって信号の信頼性が大きく異なる。

本節では、この問題を解決するため多数決判定の実現法として、並列転送方式を提案し、直列転送方式⁽¹²⁾との信号伝送信頼性の評価を行う。この結果、並列転送方式の信号伝送信頼性が大幅に改善されることを示す。

2.3.1 直列転送方式と並列転送方式

TDMA方式における同期制御信号は一般に図2.11に示す同期バーストまたはデータバーストにより転送される。以下の議論では同期バーストにより制御信号を転送する場合を示すが、データバーストを用いた場合でも同様である。同期バーストによる制御信号伝送は一般にマルチフレーム構成をとることが多く⁽¹³⁾、複数同期バーストにより1制御信号の転送を行う。ここではnビットの制御信号($b_1 - b_n$)を1ブロックとして扱い、mビット多数決判定する場合について検討を行う。

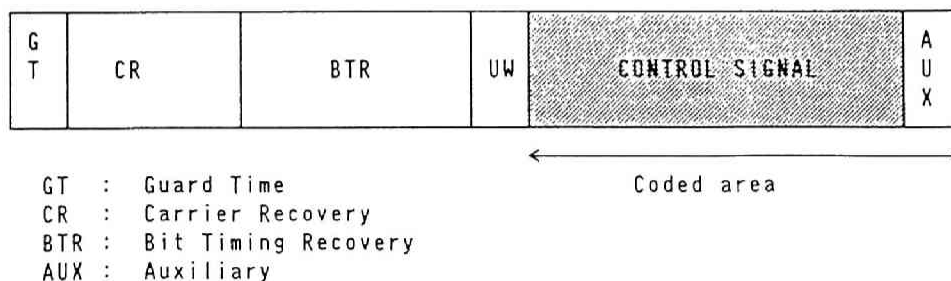


図2.11 同期バースト構成

ここで、ハードウェア構成簡易化の観点から n 及び m は次式を満足するものとする。

$$n = 8 \cdot N \quad , \quad m = 8 \cdot M \quad (2-8)$$

但し、 N 、 M は自然数

原制御信号から多数決判定用符号を生成し転送するには、図 2. 1 2 に示すように直列転送方式と新たに提案する並列転送方式がある。前者は原制御信号のビットストリームに従い 1 ビット毎に m ビット多数決判定用符号を生成し（本例では $m=8$ ）、同期バーストとして転送する方式である。後者は原制御信号ブロックを 1 ブロック / 同期バーストとして m 回（ m 個の同期バーストを用いて）転送する方式である。

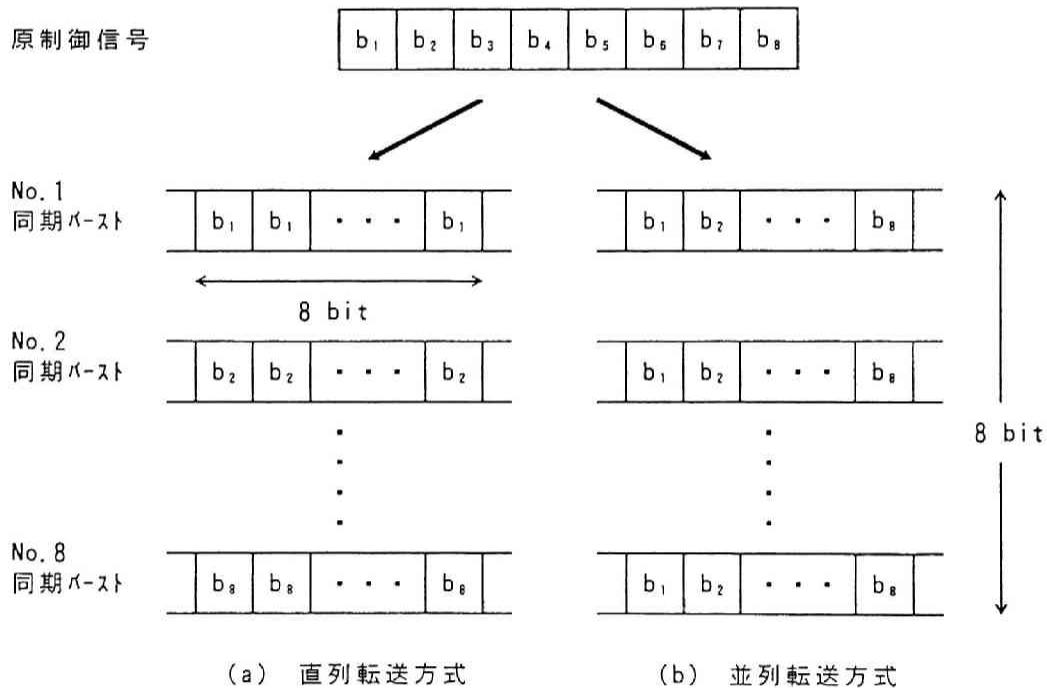


図 2. 1 2 制御信号転送方式

2. 3. 2 バースト誤りパターンの理論的検討

ビタビ復号アルゴリズムは最尤パスを探索するためにトレリス構造を用いている⁽¹⁴⁾。雑音の影響を受けた受信信号の最尤パスを探索するに当たっては、ビタビ復号器が誤った

パスを選択する場合があります。これがバースト誤りを起こす原因となる。例として図 2. 13 に符号化率 $1/2$ 、拘束長 4 の最適畳み込み符号のトレリス構造を示す。図 2. 13 では、正しいパスを全 "0" パターンと仮定している。

第 1 種の誤りと呼ばれる事象は、任意のノードにおいてパスが再結合する際に正しいパスが排除されることをいう。

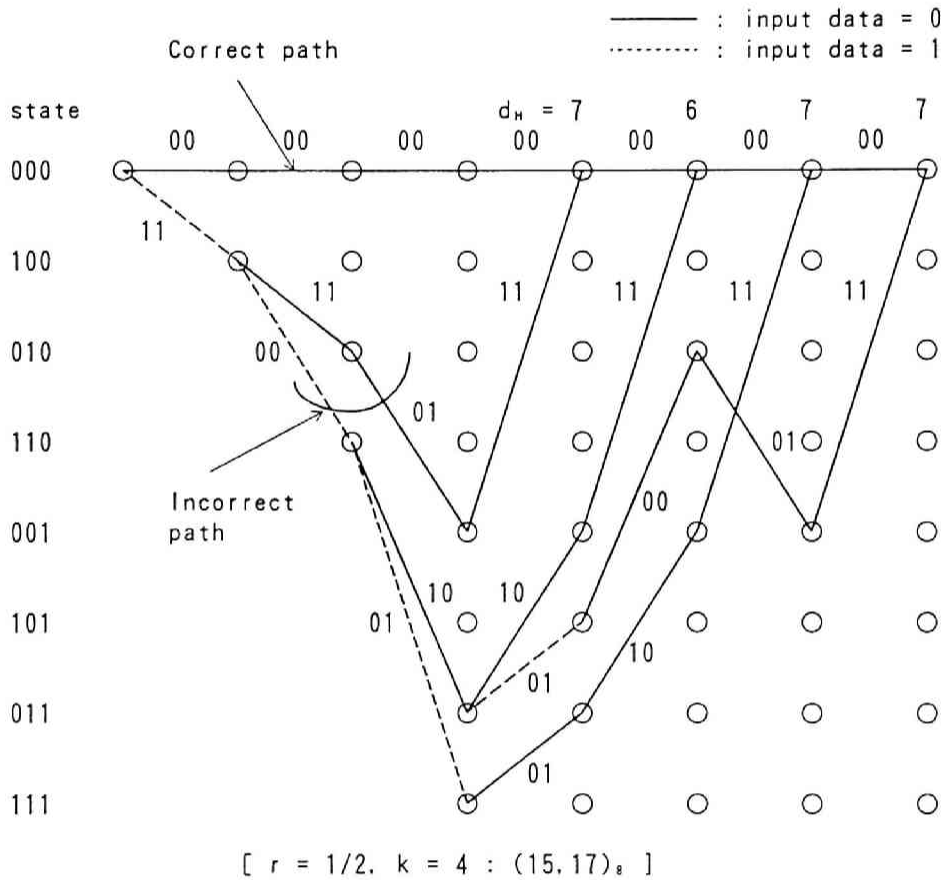


図 2. 13 第 1 種誤りによるバースト誤り

ビタビ復号後のバースト誤りパターンを計算機探索により導出し、その結果をハミング距離 (d_H) とともに表 2. 1 および 2. 2 に示す。表 2. 1 は符号化率 $1/2$ 、拘束長 4 の場合であり、表 2. 2 は符号化率 $1/2$ 、拘束長 7 の場合である。

これらのバースト誤りは従来の直列転送方式による多数決判定の信頼性を大きく劣化させる原因となる。

表 2. 1 ビタビ復号後の誤りパターン
[$r = 1/2, k = 4 : (15, 17)_8$]

d_H	Error pattern
6	11
7	1 111 1101
8	101 1111 11101 110011 110101

表 2. 2 ビタビ復号後の誤りパターン
[$r = 1/2, k = 7 : (133, 171)_8$]

d_H	Error pattern
10	1 11 111 1001 1011 11001 10101 111001 1100111 10101001 1100111001

2. 3. 3 ブロック無効確率とブロック誤り確率

m ビット多数決判定法では、 $m/2$ ビットの誤りが発生すればそのビットに対する判定結果は無効とし、 $m/2 + 1$ ビット以上の誤りがある場合に誤りとなる。原制御信号 $b_1 \sim b_n$ のブロックで1ビット以上の無効判定が発生するブロック無効確率を P_i とし、1ビット以上の誤りが発生するブロック誤り確率を P_F とすると P_i 及び P_F はそれぞれ (2.9) 及び (2.10) 式で表される。尚、ユニークワードの不検出、誤検出確率は無視できるものと仮定する。

$$P_i = \sum_{i=1}^n {}_n C_i a_i^{m/2} (1 - a_{m/2})^{n-i} \quad (2-9)$$

$$P_F = \sum_{k=1}^n {}_n C_k \left(\sum_{i=m/2+1}^m a_i \right)^k \left(\sum_{j=0}^{m/2-1} a_j \right)^{n-k} \quad (2-10)$$

但し、 a_i : 多数決判定において m ビット中 i ビット誤る確率

a_i は直列転送方式の場合には、誤り訂正復号後のバースト誤り特性に依存するため実験的に導出する必要がある。一方、並列転送方式の場合には、各ビットは異なる同期バーストで伝送されることから互いに独立な符号誤り特性を有する。この場合の a_i を a_i'

とすると a_i は次式で与えられる。

$$a_i = m C_i P_e^i (1 - P_e)^{m-i} \quad (2-11)$$

但し P_e はビタビ復号後の符号誤り率

2. 3. 4 実験

符号化率 $1/2$ 、拘束長 4 および 7 のたたみ込み符号化—3 ビット軟判定ビタビ復号に対する復号後のバースト誤り特性について実験的に評価を行っている。また以下の実験的検討では $n = 8$ 、 $m = 8$ の場合を取り扱っている。

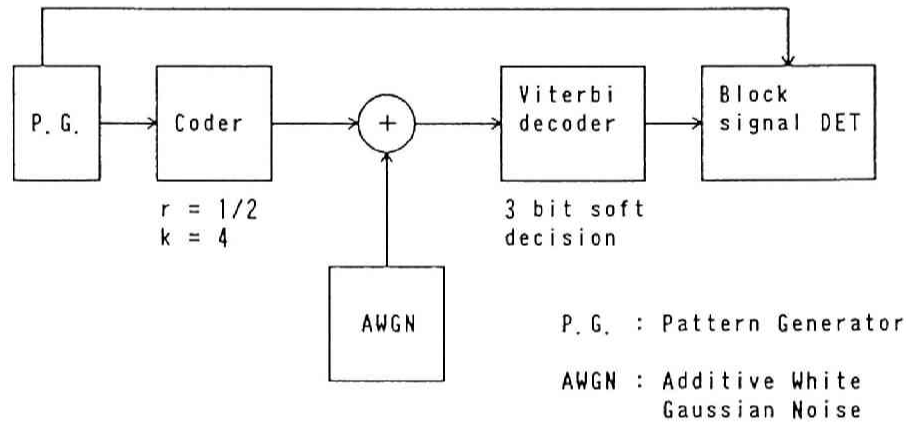


図 2. 14 実験回路

a_i を導出するための実験回路を図 2. 14 に示す。本実験回路ではブロック信号 "1111111" を送出し、受信側で相関閾値 ε に設定したブロック信号検出回路を用いて不検出率を測定した。不検出率特性 P_m を図 2. 15 に示す。図中、実線は符号誤りパターンがランダムである場合の理論値を示しており、これと比較しバースト誤りのため P_m 特性が劣化していることがわかる。 a_i を用いて $P_m(\varepsilon)$ を表現すると次式を得る。

$$\left\{ \begin{array}{l} P_m(\varepsilon) = \sum_{i=\varepsilon+1}^8 a_i \quad (0 \leq \varepsilon \leq 7) \\ P_m(8) = 0 \end{array} \right. \quad (2-12)$$

従って(2.12)式より a_i は次式で与えられる。

$$\begin{cases} a_0 = 1 - \sum_{i=1}^8 a_i = 1 - P_m(0) \\ a_i = P_m(i-1) - P_m(i) \quad (0 \leq i \leq 8) \end{cases} \quad (2-13)$$

図2.15及び(2.13)式から導出した a_i を図2.16に示す。1ブロック中2ビット誤り確率の高いことが図2.16より明らかである。

次に図2.16及び(2.9)、(2.10)、(2.13)式を用いて直列転送方式の P_i 、 P_r を求め図2.17に示す。また、並列転送方式は(2.9)、(2.10)、(2.11)式を用いて導出できる。並列転送方式の P_i 、 P_r を同様に図2.17に示す。

図より $P_e = 1 \times 10^{-4}$ において P_i 、 P_r とともに並列転送方式の方が直列転送方式より約10桁改善されることがわかる。

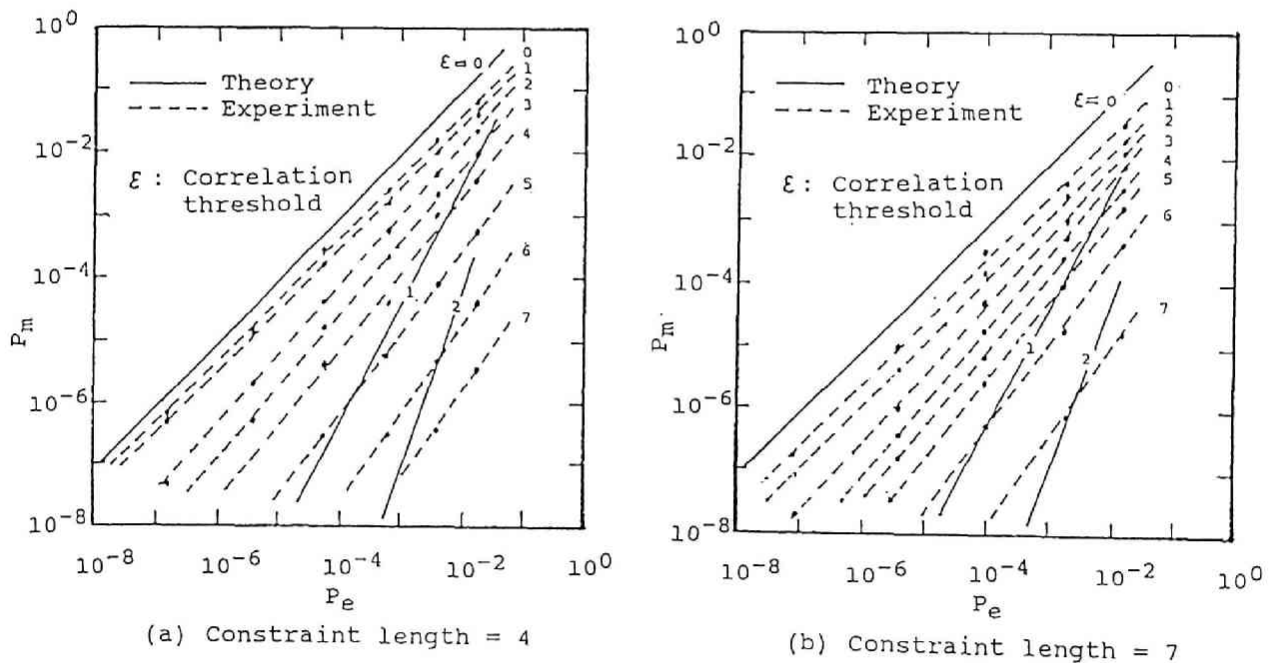
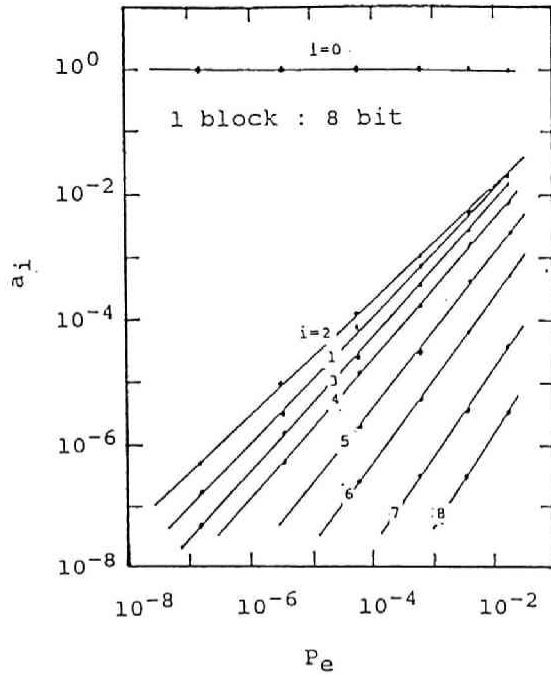
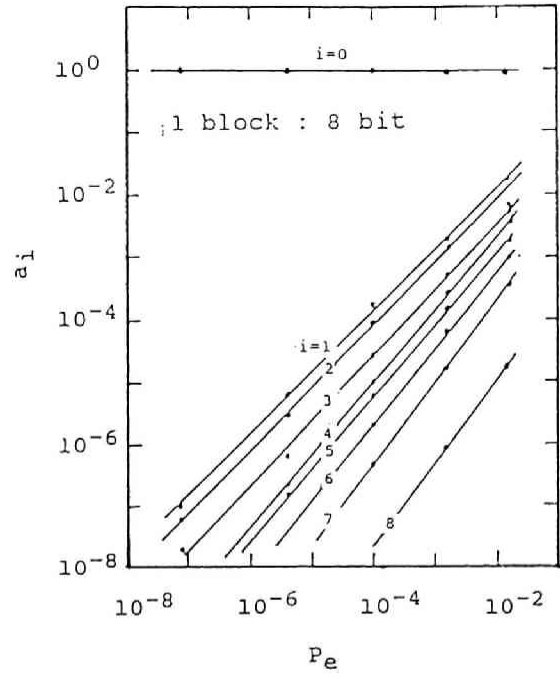


図2.15 不検出率特性

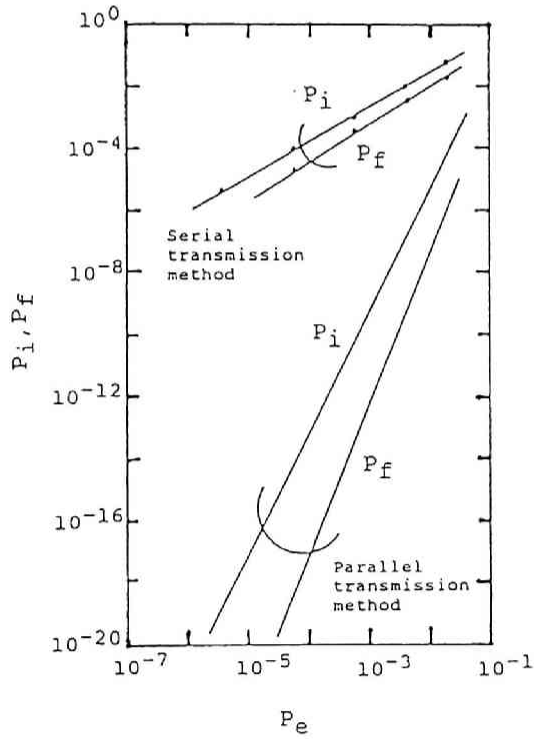


(a) Constraint length = 4

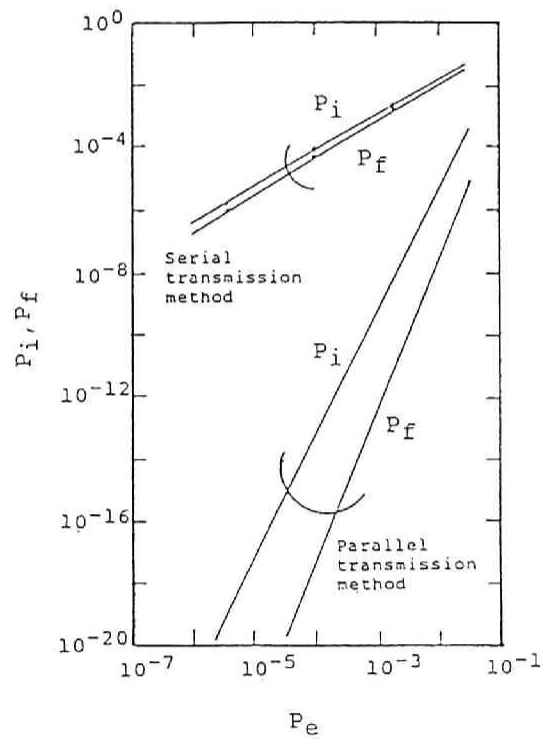


(b) Constraint length = 7

図 2. 16 ブロック内における i ビット誤りの確率特性 (測定値)



(a) Constraint length = 4



(b) Constraint length = 7

図 2. 17 ブロック無効確率 (P_i) およびブロック誤り確率 (P_f) 特性

2.4 むすび

本章では単一中継器運用TDM A方式において基本となる受信同期法、初期捕捉法、送信同期法について整理を図った。次に初期捕捉法に関して、距離推定法を用いた場合に技術的課題となる初期捕捉ウィンドウについて考察を行った。この結果通信衛星CS-3レベルの衛星位置保持精度(±0.05°)を有する静止衛星の場合±10μsの初期捕捉ウィンドウ幅で十分なことを示した。

送信同期に関しては、従局TDM A装置を簡易化でき降雨に対して同期保持特性に優れたフィードバックループ法で技術的課題となる同期制御信号の高信頼化について考察を行った。この結果、誤り訂正に加え多数決判定を採用した場合における制御信号の転送方法として並列転送方式を提案し、同期制御信号のブロック無効確率およびブロック誤り確率という観点から評価を行った。提案する並列転送方式は従来方式である直列転送方式と比較し、8ビット多数決判定の場合、 $P_e = 1 \times 10^{-4}$ において同期制御信号を正しく受信できる確率を10桁程度改善できることを明らかとした。

第3章 同期語

3.1 まえがき

TDMA方式においては、各々の地球局の送信するバースト信号は、互いに重なり合わず、かつそれぞれのバースト信号を識別できなければならない。まず、バースト信号を正しく復調するため、バースト信号の先頭に搬送波再生信号、クロック再生信号、同期語信号(Unique Word:UW)からなるプリアンブル部(Preamble)を通常使用する。搬送波再生信号、クロック再生信号はデジタル変調されたバースト信号を同期検波する際に必要となる信号であり、受信側で搬送波同期とクロック同期を確立するために用いられる。一方、同期語はデジタル復調された信号をもとにワード同期を確立し、各々のバースト信号の種別を認識するために用いられる⁽¹⁾⁽²⁾⁽³⁾。

本章では、まず同期語検出器の構成と特性について述べ、所望する同期特性を得るための同期語長、同期語パターンの選定法、相関閾値について述べる。またこれら同期語検出特性を改善する方法について提案しその特性を明らかにする。以下の説明では同期語をUWと略す。

3.2 同期語検出器の構成と特性

3.2.1 同期語検出器の構成

UW検出パルスとバースト構成との関係を図3.1に示す。正常にUWパターンの検出が行われた場合には、UW検出器での処理遅延を無視するとUW部分の最後のビット位置にてUW検出パルスが得られる。このようなUWパターンを検出するためのUW検出器は図3.2に示すようなデジタル相関器⁽⁴⁾が基本となる。つまりnビットシフトレジスタに入力されたバーストは逐次固定パターンと比較され不一致ビット数が加算回路によって積算される。出力される不一致ビット数は相関閾値と比較され、相関閾値以下になるとUW検出ビット位置であると判断する。

4相PSK(Phase Shift Keying)変調—同期検波方式を用いたTDMAシステムは、再生搬送波の位相不確定性(Phase Ambiguity)を受信側で除去する必要がある⁽⁵⁾。受信側での位相不確定性除去方法として、バースト信号の搬送波再生部にて絶対位相の確定を行う方法⁽⁶⁾⁽⁷⁾とUWパターンを利用する方法⁽⁸⁾の2つが考えられる。ここでは前者を対象とし、再生搬送波の位相不確定性は復調器にて除去されているものとする。

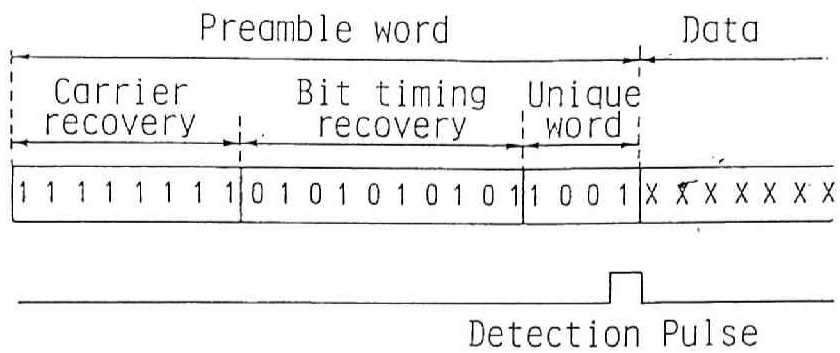


図 3.1 バースト構成と UW 検出パルス例

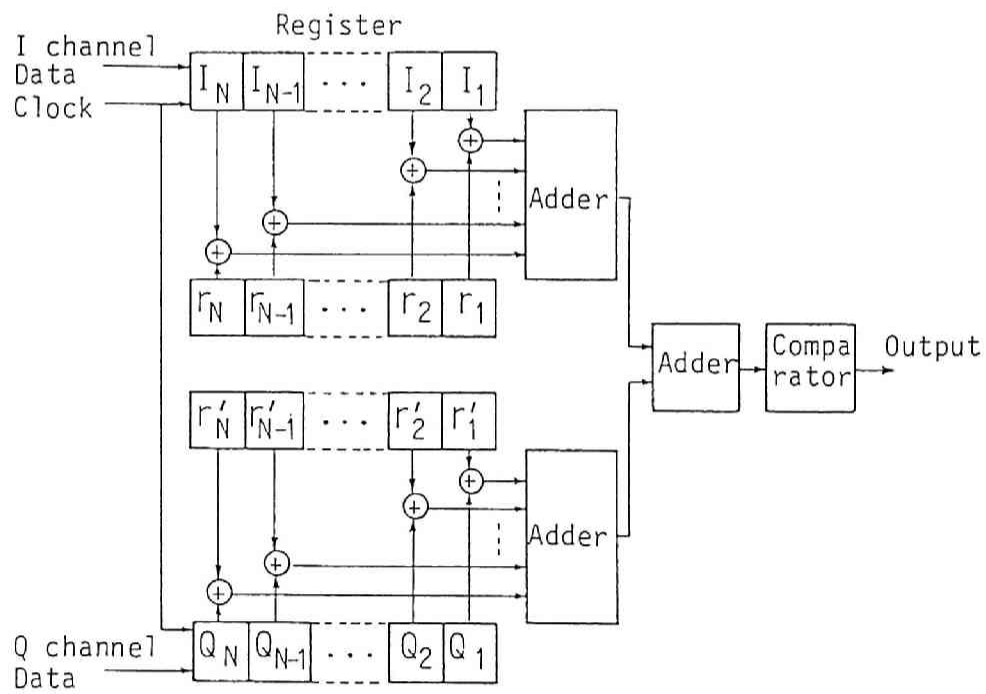


図 3.2 UW 検出器

次にUW検出器の構成とハードウェア量について定量的評価を行う。まず図3.2に示すUW検出器のハードウェア量を積算するためUW検出器をデジタル関連部、アダー部、コンパレータ部に分割して検討する。デジタル関連部及びアダー部（16ビット長）の構成例を図3.3.1及び図3.3.2に示す。ハードウェア量を積算する場合の基本となるゲート数は2入力NAND（NOR）を1ゲートとして換算を行う。またフルアダー及びコンパレータは各々TTL論理素子である74183（1ビットフルアダー），7482（2ビットフルアダー），74283（4ビットフルアダー），7485（4ビットコンパレータ）等を基本にゲート数の算出を行う。また各基本ブロックのゲート数を表3.1のように仮定した。

一方，UW検出器はTDMA装置の中で同期精度を決定する重要な役割を果たすため，極力高速動作が要求される。この場合ハードウェアをTTL，CMOS論理素子等で構成する場合，論理素子の伝搬遅延が問題となる。本UW検出回路を高速に動作させる場合に最も厳しい部分はアダー部である。そのためアダー部では各フルアダーの入出力信号をDフリップフロップでリタイミングすることとしてハードウェア量を算出する。以上の条件からUW長が16，32，48ビットの場合についてUW検出回路のゲート数を算出した（図3.4参照）。同図よりUW長に比例してゲート数が増大し，UW長を48ビットとした場合には16ビットの場合の約3倍のゲート数が必要となる。

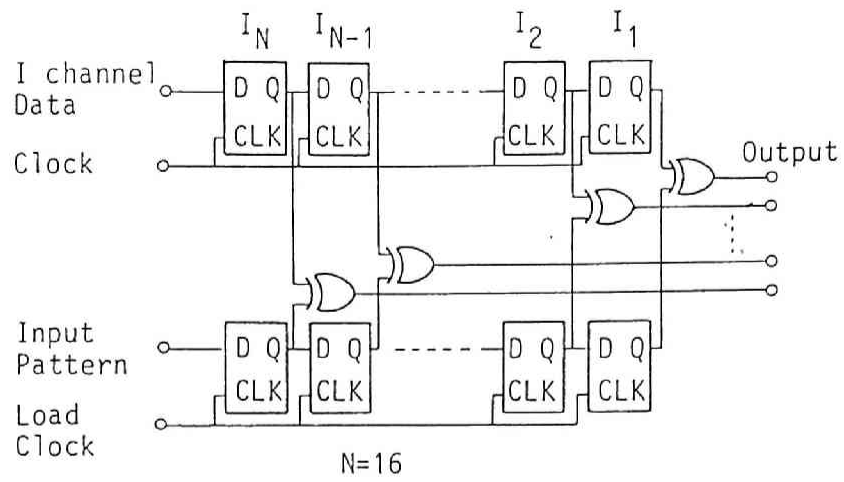


図 3.3.1 デジタル相関部

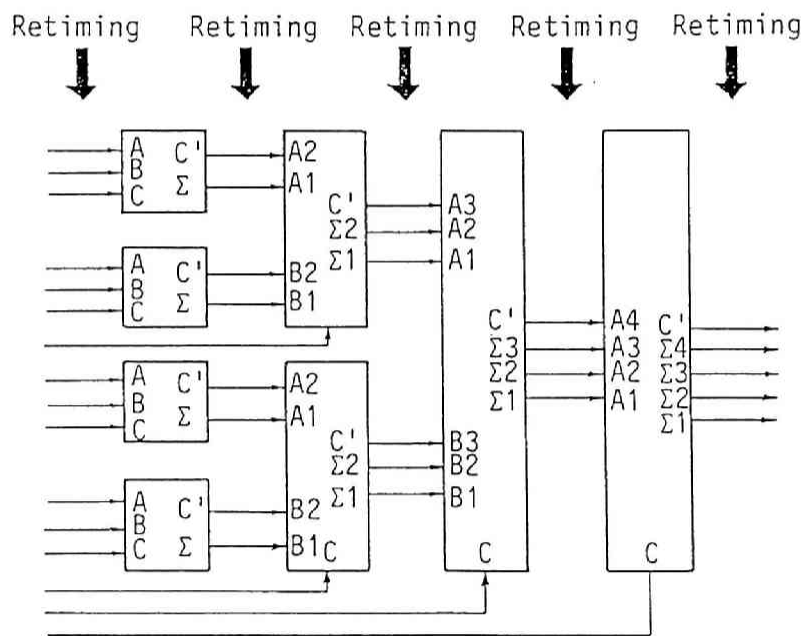


図 3.3.2 16ビットアダー部

表 3.1 基本ブロックのゲート数

	DFF	EXOR	1 bit FA	2 bits FA	3 bits FA	4 bits FA
Gate Number	6	3	13	24	35	43

DFF: D Flip Flop
 EXOR: Exclusive OR
 FA: Full Adder

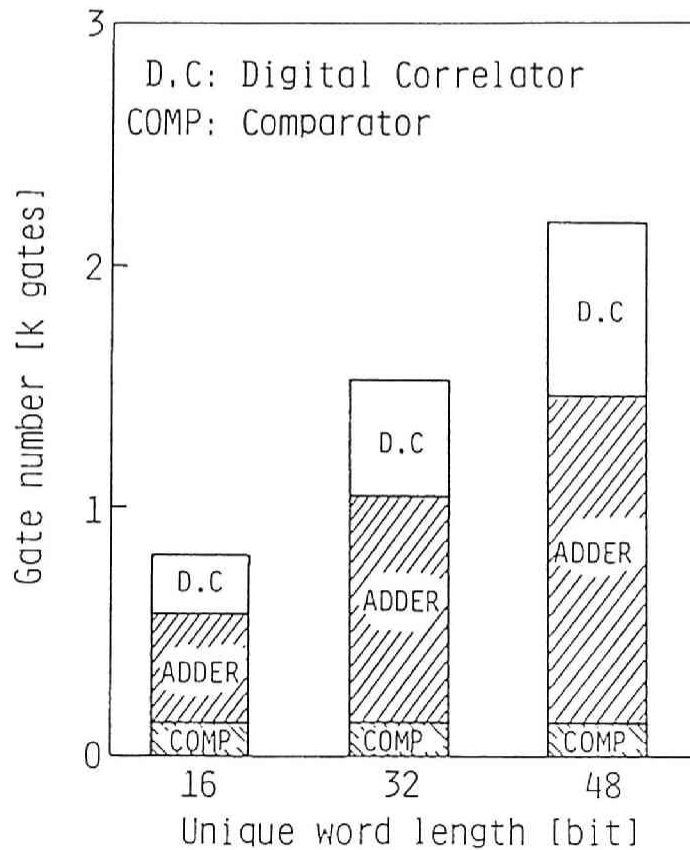


図 3.4 UW検出器のゲート数

3. 2. 2 不検出・誤検出特性

T D M A方式におけるバースト信号の喪失はU Wの不検出または誤検出によって生ずる。U W不検出という事象は、正常にバースト信号が受信され復調されたにも関わらず、U W検出ができずにワード同期が確立されず、バースト信号の喪失を生ずることを言う。またU W誤検出という事象は正常にバースト信号が受信され復調されたにも関わらず、誤ったタイミングでU W検出を行ってしまい、ワード同期が確立されず、バースト信号の喪失を生ずることを言う。そこでこれら不検出率と誤検出率を所望する値以下にするだけのU W長およびU Wパターンの選定が必要となる。

不検出率、誤検出率の最悪値を算出するにはU W部における限界符号誤り率について規定する必要がある。一般に、衛星通信用T D M A方式では回線品質の改善を図るためプリアンプル部を除くデータ部に誤り訂正符号が適用されており、誤り訂正後の限界符号誤り率としては通常 $p_e = 1 \times 10^{-4}$ が用いられている。従って、誤り訂正が施されていないU W部では適用する誤り訂正方式に応じて限界符号誤り率が異なってくる⁽⁹⁾。図3. 5に示す如く符号化率 $r = 1/2$ 、拘束長 $k = 4$ の畳込み符号化・ビタビ復号法を用いる場合と $r = 1/2$ 、 $k = 7$ の畳込み符号化・ビタビ復号法の場合ではU W部における限界符号誤り率は異なり、強力な誤り訂正を適用するT D M AシステムほどU W検出特性に要求される条件は厳しくなる。例えば符号化率 $r = 1/2$ 、拘束長 $k = 4$ の畳込み符号化・ビタビ復号法を用いるシステムではU W部における符号誤り率は理論値として $p_e = 4 \times 10^{-2}$ となる。

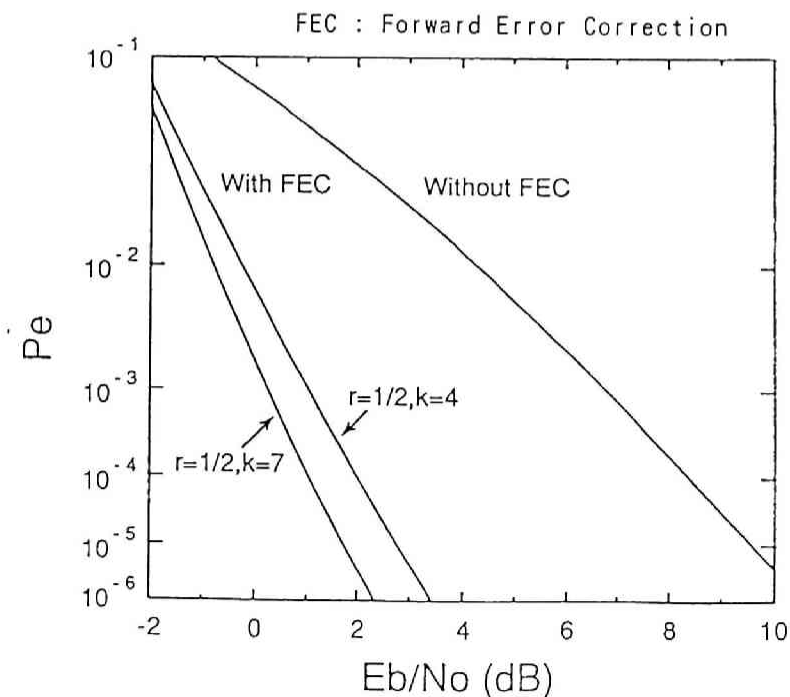


図3. 5 誤り訂正符号を用いた場合の符号誤り率特性

従来から、UWの検出率、不検出率に関しては、テレメトリの分野で研究されており、それらの確率は次式で与えられる⁽¹⁰⁾。

$$\text{UW検出率} \quad P = \sum_{i=0}^{\varepsilon} \binom{N}{i} p_e^i q_e^{N-i} \quad (3-1)$$

$$\text{UW不検出率} \quad Q = 1 - P = \sum_{i=\varepsilon+1}^N \binom{N}{i} p_e^i q_e^{N-i} \quad (3-2)$$

但し $q_e = 1 - p_e$, N : UW長, ε : 相関閾値

一方、UWの誤検出率に対しては大きく分けて2つの場合が考えられる。1つはランダムビット中で誤検出を生ずる場合と、固定パターンとオーバーラップして誤検出を生ずる場合である。ランダムビット中での誤検出率Fは次式で表される。

$$F = \frac{1}{2^N} \sum_{i=0}^{\varepsilon} \binom{N}{i} \quad (3-3)$$

固定パターンとオーバーラップした部分での誤検出率を低下するためには、UWパターンの自己相関と相互相関を検討する必要がある。基準同期バーストのUWを検出する受信フレーム同期の確立時には他のバースト信号との相互相関が問題となり、受信フレーム同期が確立した後の定常時では基準局から指定されたバースト信号のみ、既知のタイミングで受信することから自己相関が問題となる。相互相関は自己相関の延長上にあるため、自己相関について以下詳細に検討する。

受信フレーム同期が定常状態に達したときには、誤検出率を低くするためUW検出パルスに対してアパーチャ・ゲート信号を設ける。アパーチャ・ゲート信号はバースト信号のガードタイムを考慮してゲート幅が定められる。受信フレーム同期確立後のUW検出パルスとアパーチャ・ゲートとのタイミング関係は図3.6に示すように3つの場合が考えられる。また図中、アパーチャ内にあって有効なるUW検出器位置も同時に示す。

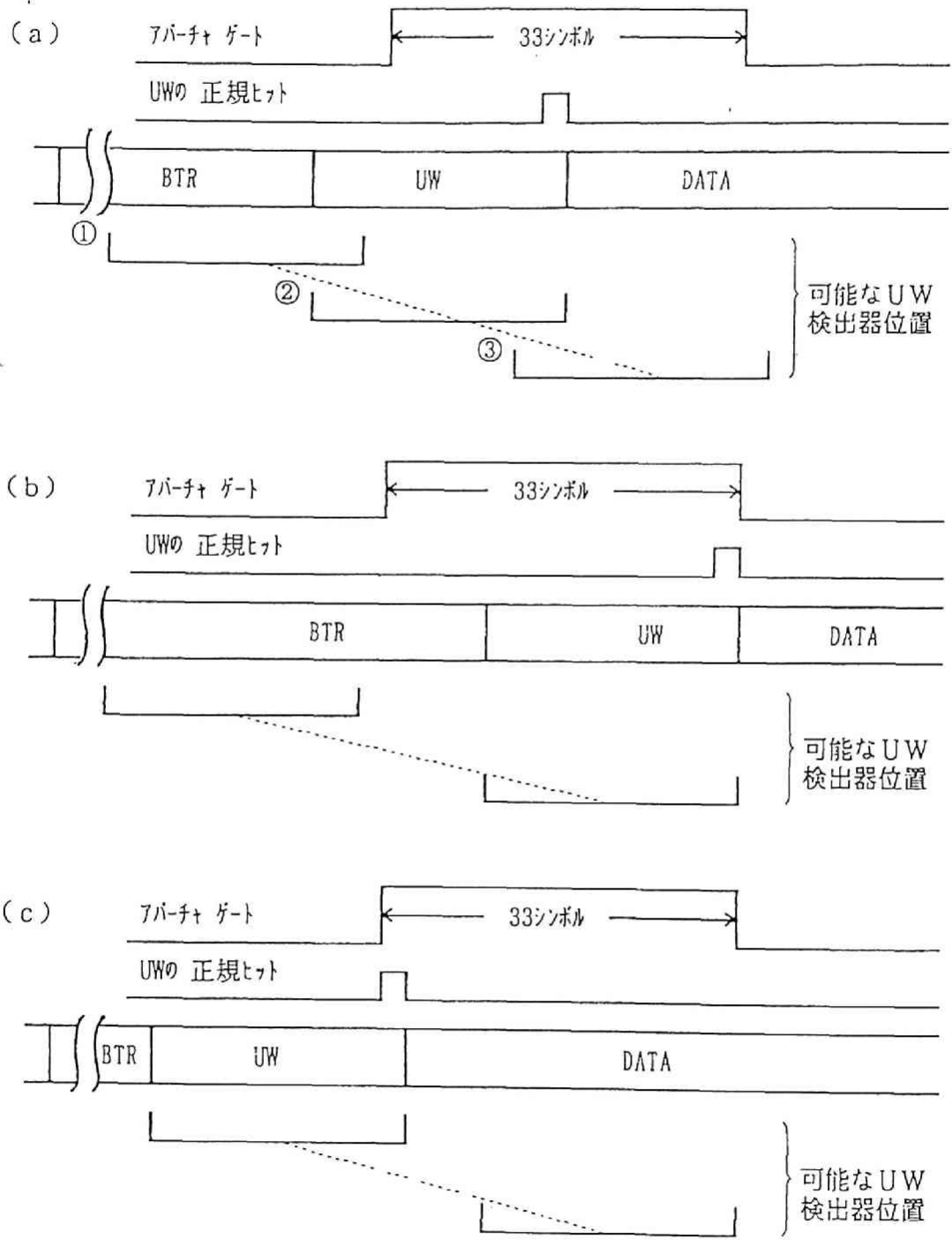


図 3 6 UW 検出位置

図3.6(a)の有効なUW検出器位置において誤検出の生ずるのは①～②の区間(固定パターンのみ部分)と②～③の区間(固定パターンとランダムパターンの部分)に分けられる。

まず図3.6(a)の①～②区間中における誤検出率は次式で与えられる⁽¹¹⁾。

$$H_{-b} = \sum_{i=E_b-\epsilon}^{E_b} \binom{E_b}{i} p_e^i q_e^{E_b-i} \times \sum_{j=0}^{\epsilon-E_b+1} \binom{N-E_b}{j} p_e^j q_e^{N-E_b-j} \quad (3-4)$$

また②～③区間中における誤検出率は次式で与えられる。

$$H_{+b} = \frac{1}{2^b} \sum_{i=E_b-\epsilon}^{E_b} \binom{E_b}{i} p_e^i q_e^{E_b-i} \times \sum_{j=0}^{\epsilon-E_b+1} \binom{N-E_b-b}{j} p_e^j q_e^{N-E_b-b-j} \times \sum_{k=E_b+b-\epsilon-i+j}^b \binom{b}{k} \quad (3-5)$$

但し E_b : 各UW検出器位置におけるUWパターンとの不一致数(ハミング距離)

N : UW長

上式で示すアパーチャ内での誤検出率は不検出率とともに考えなければならない。すなわち図3.6(a)のノミナル位置にUWがある場合、誤検出が生ずるのはUW検出器位置が①～②の場合と、ユニークワードの不検出が生じてかつUW検出器位置が②～③の領域で誤検出する場合である。従って、後者の場合は不検出率と誤検出率の結合事象となるため誤検出率は無視できることになる。以上のことからアパーチャ内における誤検出率に対して最も厳しいのは図3.6(b)の場合である。従って誤検出率の評価を行うに際し、最悪値評価を行う方法をとると、図3.6(b)の場合を今後検討すれば良いことになる。

これまで各シンボル位置での誤検出率を導出してきたが、アパーチャ内における総合の誤検出率 H_0 は、上述の条件を入れると下式で与えられる。

$$H_0 = 1 - \prod_{-b=-1}^{-\omega} (1 - H_{-b}) \cong \sum_{-b=-1}^{-\omega} H_{-b} \quad (3-6)$$

但し $\omega = 16$ シンボル

3. 2. 3 同期語長

UWはTDMAシステムにおける同期系で重要な位置を占めるが、情報伝送の効率という点からはUW長は短い程好ましい。一方TDMA装置のハードウェア構成上からいってUW長は8シンボルの整数倍(バイト単位)となることが好ましい。一般にUW長を長く取ればとるほど相関閾値を適当にとると不検出率、誤検出率の双方を低くすることができる。従って所望する不検出率、誤検出率を満足する最小のUW長を求めることが必要である。

ここで、所望するバースト喪失確率を限界符号誤り率($p_e = 1 \times 10^{-4}$)に対して無視できる 10^{-7} 程度以下とする場合の不検出、誤検出率について検討を行うこととする。まず16シンボル(32ビット)にした時の不検出、誤検出率を図3.7に示す。誤検出率はハミング距離をパラメータにしている。図3.7で示されるようにハミング距離が1つ異なると10倍程度、誤検出率が異なる。従って(3-6)式で示されるアパーチャ内の総合誤検出率はほとんどアパーチャ内で最小ハミング距離をもつUW検出位置での誤検出率で支配される。この場合に16シンボルのUWパターンをうまく選定できたとしても通常、最小ハミング距離は12ビット程度しかとれない。従って不検出率、誤検出率の双方を最小にする $\epsilon = 7$ の時であっても不検出率、誤検出率は 10^{-5} 程度しかとれないため要求条件を満足しない。ゆえに16シンボル以下のUW長では不足する。

次に24シンボル(48ビット)の場合について同様に図3.7に示す。後述するように、24シンボルのUWパターンの中で、最小ハミング距離を22ビットとするものが得られ、 $\epsilon = 12$ において不検出、誤検出とも 10^{-7} 以下にできる。

以上で要求条件を満足する必要最小限のUW長が24シンボル(48ビット)と定まったので、不検出率、誤検出率と符号誤り率の関係が計算でき、図3.8、3.9に計算結果を示す。図中のパラメータは相関閾値である。

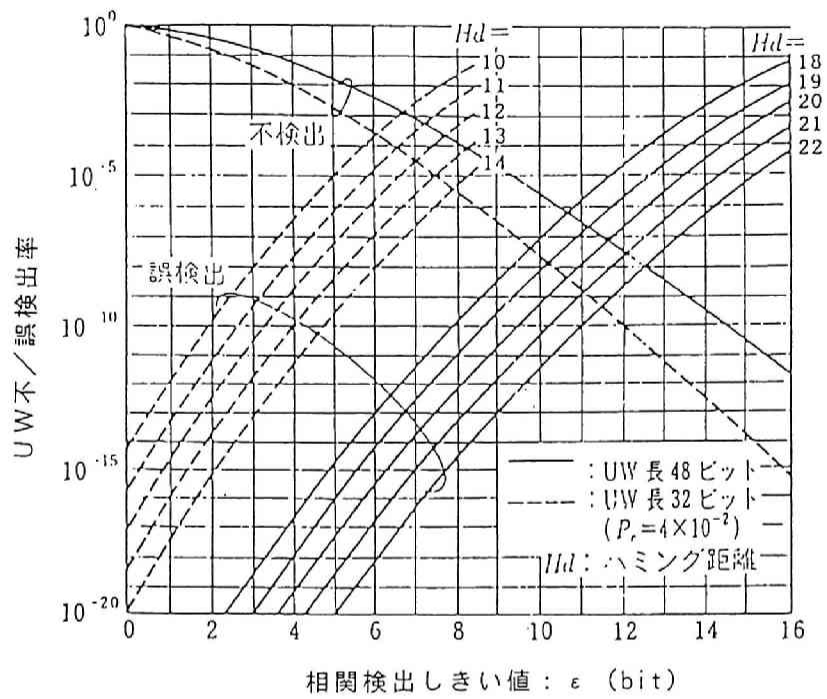


図 3 7 UW不検出率及び誤検出率特性

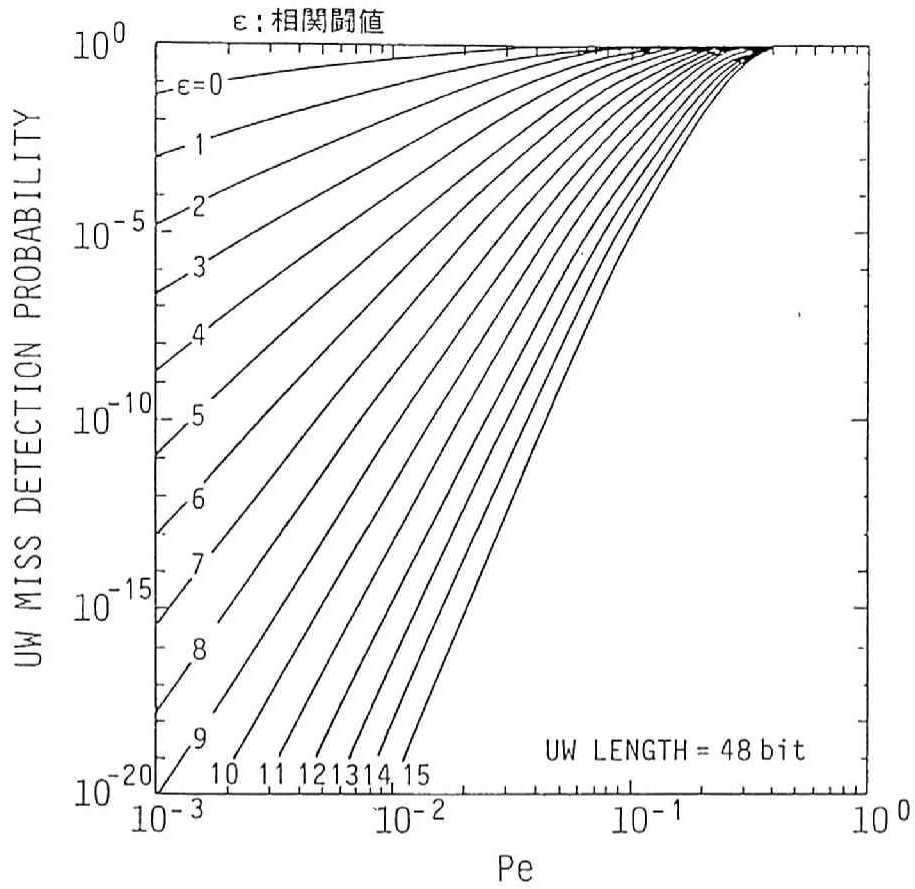


図 3.8 符号誤り率に対する UW 不検出率特性

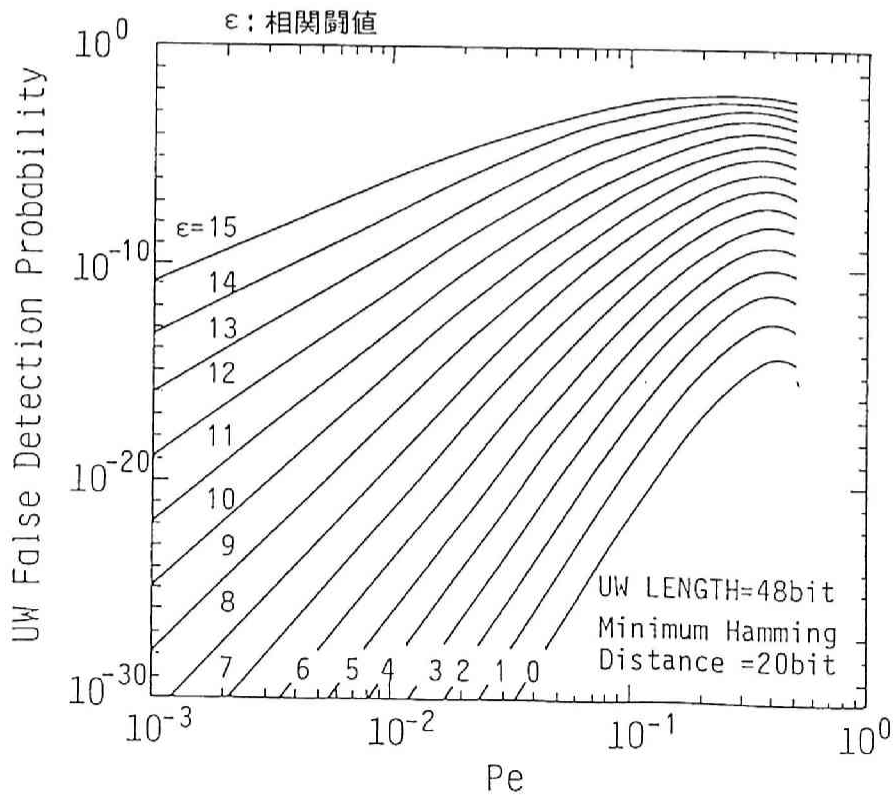


図 3.9 符号誤り率に対する UW 誤検出率特性

3. 2. 4 同期語パターン⁽¹²⁾

UW検出器を実用化するにはUWパターンを決定することが不可欠である。ところがこれまでUWパターンの体系的な構成法は明らかにされていない。従って24シンボルのパターンに対してI、Qチャネルとも同じパターンを入力するとして 2^{24} 通りの中から最適なものを選ぶ必要がある。 2^{24} 通りものパターンを大型計算機により最適解を求めるという方法も考えられるが、ここでは自己相関特性に優れたM系列の擬似ランダム符号の中から最適なものを選ぶこととする。

M系列は、その繰り返し周期に応じて生成関数の次数が定まる。24ビットのパターン長より長い次数として5次以上のものが必要になる。5次M系列の生成関数としては、次の3つがある。

$$\begin{cases} F_1 = X^5 + X^4 + X^3 + X^2 \\ F_2 = X^5 + X^4 + X^2 + X \\ F_3 = X^5 + X^2 \end{cases} \quad (3-7)$$

5次M系列の周期は31ビットであるため、24ビットのUWパターンを定めるには先頭から取り出す場合を始めとして、31通りの取り出し方がある。先頭から取り出す場合をここではオフセット (Offset) = 0 と定めることにする。

前節で述べたようにアパーチャ内の総合誤検出率 H_e を支配するのは、アパーチャ内のUW検出位置毎のハミング距離の中で最小となるもの、すなわち最小ハミング距離である。従って5次M系列(F_1)から取り出したUWパターンをもとにアパーチャ内の最小ハミング距離を導出し、この結果を図3.10に示す。図中、縦軸は最小ハミング距離であり、横軸はオフセットすなわちUWパターンに対応する。図中▼印で示すようにオフセット=0の場合が、最も最小ハミング距離を大きくできることがわかる。以下同様に F_2 、 F_3 の場合についても最適なパターンが定まり、まとめると次表のようになる。

表3.2 5次M系列での最適ユニークワードパターン

F_1	offset=0 , P = 111110010011000010110101
F_2	offset=17 , P = 110101001000101111101100
F_3	offset=23 , P = 110110001111100110100100

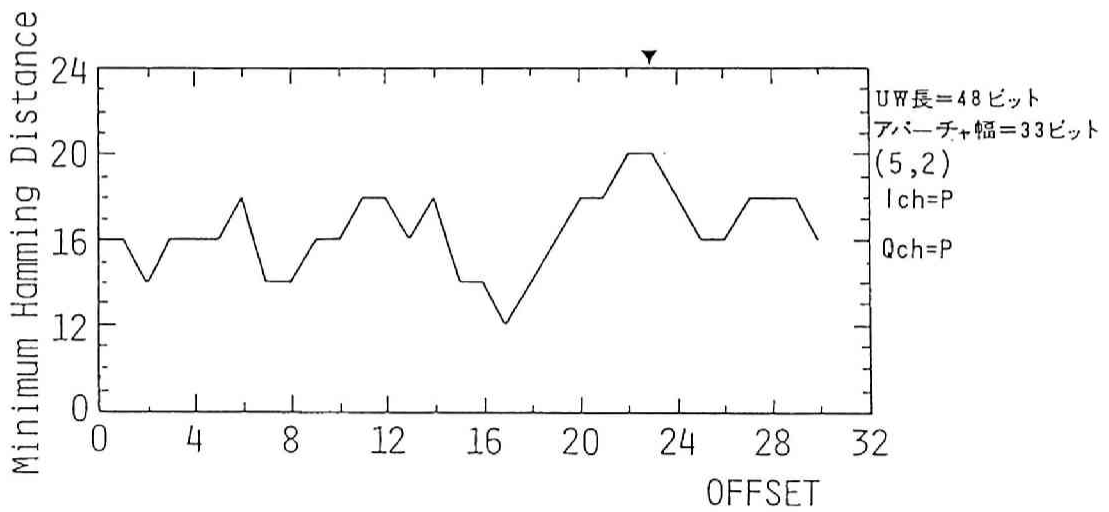
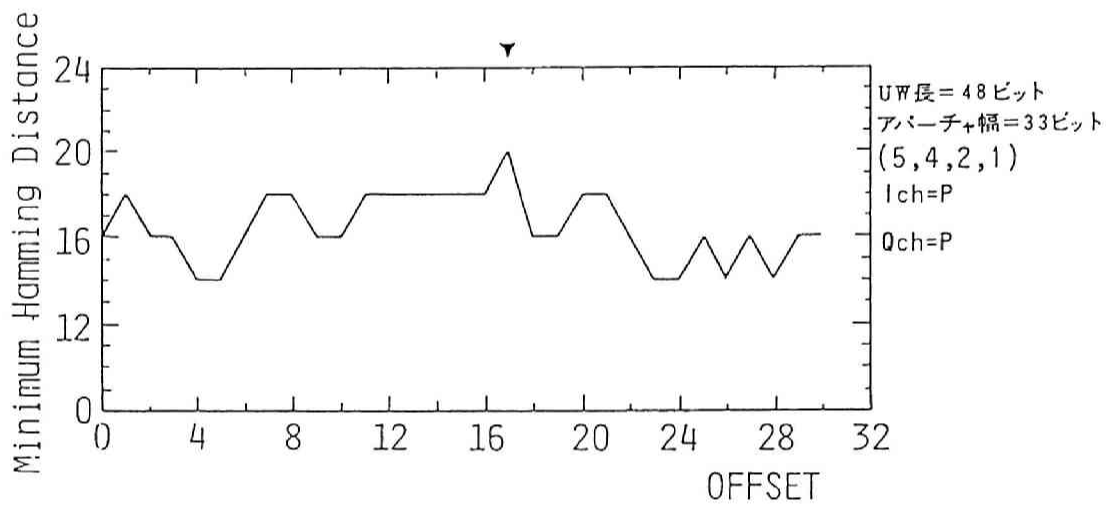
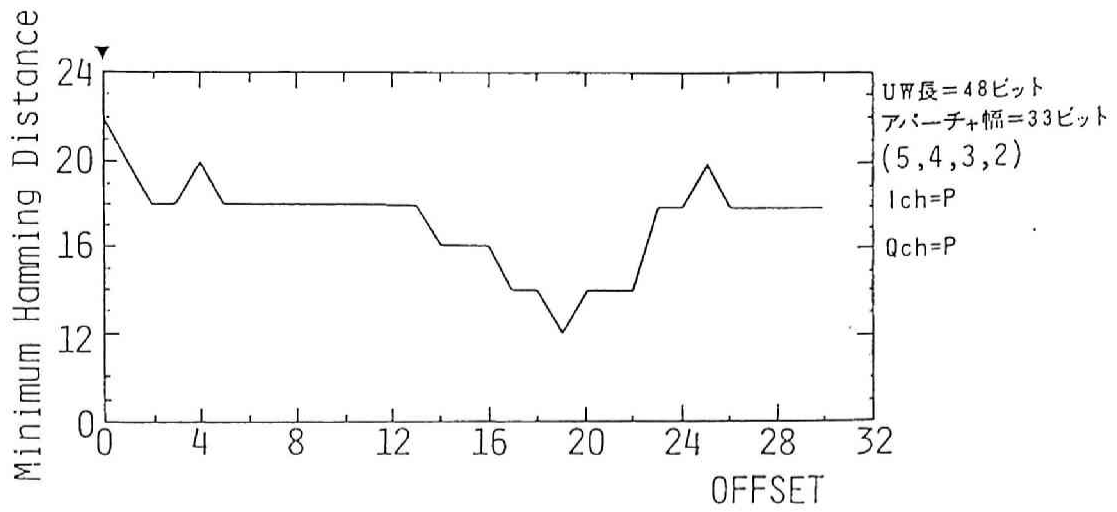


図 3.10 アバーチャ内の最小ハミング距離

次に誤検出が生ずるビット位置を考察する。図3. 11には、正規のUW検出位置から前の部分で誤検出する場合のUWパターンと固定パターン（クロック再生ビット）との一致ビット数を示している。48ビットと一致ビット数との差がハミング距離となる。従って固定パターンとの一致ビット数が最大の位置が最小ハミング距離を与える点となる。図3. 11に見られるように最小ハミング距離を与えるUW検出位置は複数個存在する場合があります、これらの検出位置にて誤検出が生ずる確率が高いことを示している。

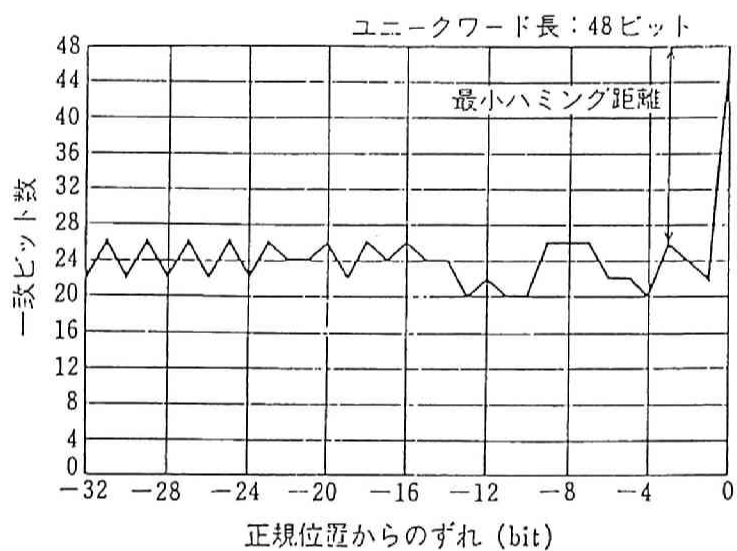


図3. 11 UWパターンとハミング距離の例

3. 3 同期語検出特性の改善法

これまで述べてきた方式ではUWは誤り訂正符号化を施されず相関検出されている⁽⁷⁾⁽⁸⁾⁽¹⁰⁾⁽¹²⁾⁽¹³⁾。従って所望するUW検出特性を得るには、データ信号部に適用する誤り訂正方式が高利得となるにつれ、UWビット長を大きくする必要があり、結果としてUW検出器のハードウェア量が増大する傾向にある。

本節では、誤り訂正復号器での同期及びバースト誤りの問題を解決することにより、UWビットパターンにも誤り訂正を施し⁽¹⁴⁾、軟判定ビタビ復号後にUW検出を行う方法を新たに提案する。これによりUW検出特性を改善することができUW長の短縮化が可能となることからUW検出器のハードウェアを削減することができる。

3. 3. 1 符号化UW検出法⁽¹⁴⁾⁽¹⁵⁾

従来のUW検出法では、UW検出器は誤り訂正前の悪い符号誤り率で動作しなければならず、 $r = 1/2$ 、 $k = 4$ の畳み込み符号化3ビット軟判定ビタビ復号法を用いる場合には、48ビット以上のUW長が必要である。そこで所要UW長を短くする方法として、UW部分に誤り訂正を施す誤り訂正符号化UW検出法を提案する。本UW検出法を採用すれば、UW部分の符号誤りは誤り訂正後の符号誤り率とほぼ等しくなり、UW検出率特性を改善させることが期待できる。その結果所望するUW検出率を達成するために必要なUW長を短くでき、UW検出器のハードウェアを大幅に削減できる。このような特徴を有する符号化UW検出法を実現する場合に解決すべき問題点は次の2点である。

- 1) ビタビ復号器をバースト動作させるためのゲート信号供給タイミングの生成。
- 2) バースト的なビタビ復号器出力データ符号誤りパターンによるUW検出率特性劣化の軽減。

従来方式ではUW検出パルスからビタビ復号器をバースト動作させるゲート信号を得ていた。すなわち、このゲート信号をオフ状態とすることにより、ビタビ復号器の入力符号量子化符号則が自然2進である時にはパスメモリに”0”を書き込むことが可能である。通常TDM方式で用いられているバースト構成では誤り訂正符号化のなされていないプリアンブル部でゲート信号をオフ状態とし、パスメモリをクリアする。通常プリアンブル部はビタビ復号器のパスメモリ長（本例では20シンボル）より長いいため確実にパスメモ

りをクリア可能である。またデータ部の復号はUW検出パルスにより正確にゲートをオン状態にでき符号誤り率の劣化を生じない。

一方、符号化UW検出方式では、誤り訂正されていないプリアンプル部分で確実にパスメモリをクリア可能であるがビタビ復号器に対するゲート信号を受信タイミング制御部より供給するため、ゲートをオン状態にする際にガードタイム相当の変動が存在する。そこで“0”の連続したパターン中であればどのタイミングでビタビ復号を開始しても符号誤り率を劣化しないという性質を利用し、UW先頭位置に配置された8シンボル長（ガードタイム相当）の“0”パターン中でビタビ復号器へのゲート信号をオン状態としている。このような構成となっているためパスメモリは確実にクリアされ、UW先頭位置に配置された“0”パターン中で符号誤りが生じたとしても、その誤りは定常状態と同様にビタビ復号器で訂正され復号器出力の誤り率に劣化を生じない。この場合のバースト構成を図3.12に示す⁽⁷⁾。受信側での動作を説明するため符号化UW検出器のTDM A装置内における位置付けを図3.13に示す。送信側ではUW部及びデータ部をたたみ込み符号化し、他のプリアンプル部と結合してデータバーストを送出する。受信されたデータバーストは復調器にて4相PSK絶対同期検波され、位相不確定性は除去される。検波出力はIチャンネル、Qチャンネル双方とも3ビット軟判定され、クロック読み換え回路にてバーストクロックからシステムクロックに読み換えられる。システムクロックに読み換えられたデータはビタビ復号器に入力される。ビタビ復号器へのゲート信号はデータバーストの受信タイミングがガードタイム内で変動することからUW部に先行する“0”シンボル部でゲートをオン状態とする。これより、ビタビ復号器をバーストモードで正常に動作させることが可能となり、ビタビ復号器出力には誤り訂正後のUWパターンが得られる。すなわち誤り訂正されたUWをUW検出器で検出する構成となっている。

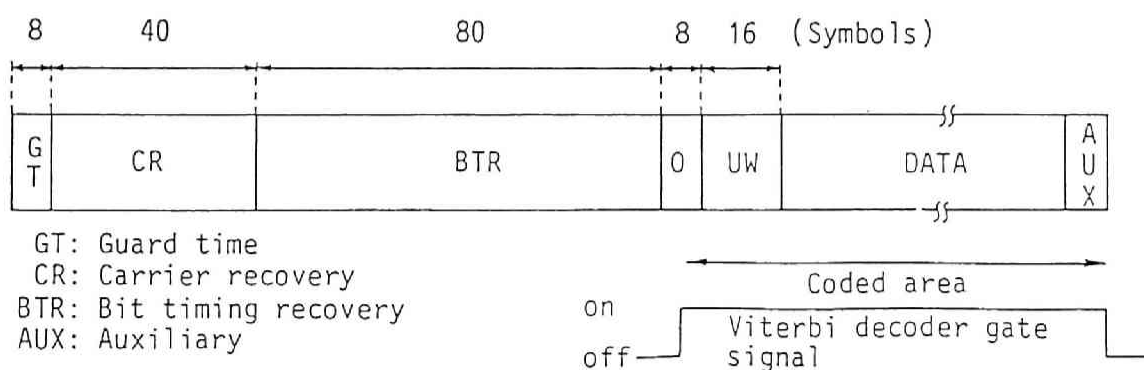


図 3.12 符号化UWのバースト構成

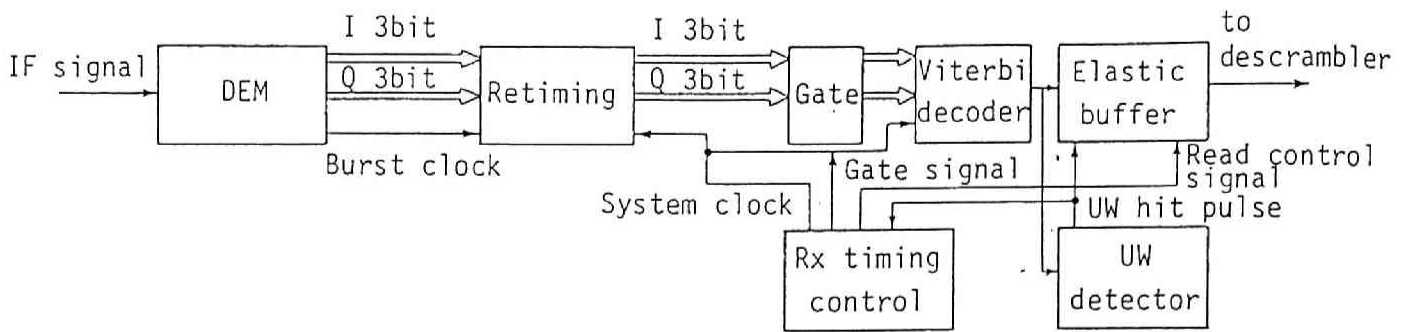


図 3.13 符号化UW検出器を用いたTDMA装置受信部構成

以上述べた図 3.12 に示すバースト構成の符号化UW検出法は誤り訂正後の符号誤りパターンがランダムである場合には前述の効果を得られる。しかし、ビタビ復号後の符号誤りパターンはバースト的であることが知られており⁽¹⁶⁾、このままでは符号化UW検出特性を著しく劣化させてしまう。そこでUWを構成する各ビットをクロック再生部にインタリーブ配置しバースト誤りに基づくUW不検出率、誤検出率の劣化を低減する。この場合のバースト構成例を図 3.14 に示す。本バースト構成ではクロック再生部にUWをインタリーブしているため、クロック引き込み過程において先頭のUWを検出することになる。この時のクロックジッタが先頭のUWに与える影響を以下に述べる。

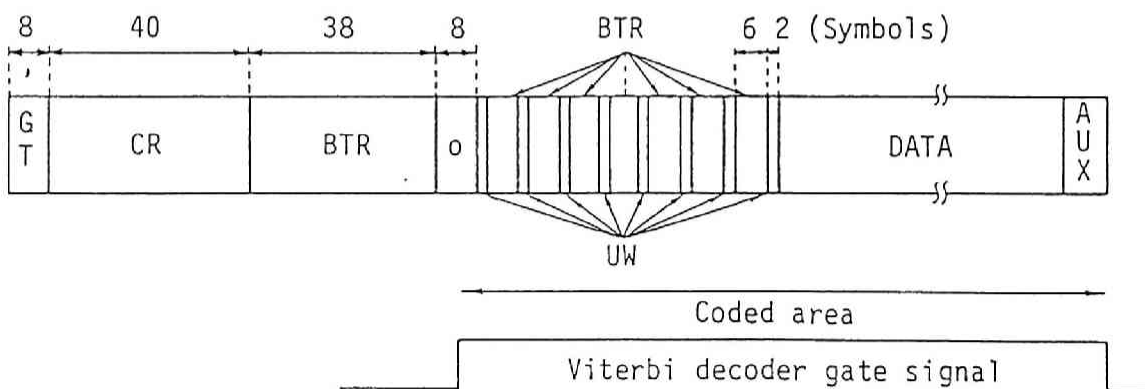


図 3.14 符号化UWのバースト構成(インタリーブ有り)

入力 $C/N = 6 \text{ dB}$ にてクロックスリップ率が UW 検出率に影響を与えないという条件から、クロックのタンク（単同調）を $Q = 400$ 程度とする。この時クロック再生部におけるクロックジッタは入力 C/N とクロック抽出回路⁽¹⁶⁾での劣化 6 dB 及びタンクの引き込み特性から導出される。またデータ部ではパターン効果⁽¹⁷⁾による劣化 9 dB をさらに加えてクロックジッタを導出する。この結果クロック再生部の引き込みがデータ部の S/N と同程度になるのに要するクロック再生部長は 5.5 シンボルである。従って、図 3.14 のバースト構成を用いると先頭 UW 部では引き込み過程にあり、クロックジッタは r_{ms} 値で約 8° となる。この値は参考文献(18)で示されているように $BT = 0.7$ の場合でも約 0.1 dB の等価 C/N 劣化量であることから、先頭 UW の符号誤り率に対する劣化は無視できるものと考えられる。

3.3.2 ビタビ復号後の符号誤りパターン⁽¹⁹⁾

インタリーブ符号化 UW 検出法を適用する場合ビタビ復号後の符号誤りパターンが重要となる。従来ビタビ復号後の誤りパターンに対する検討は実験的に符号誤り発生間隔の確率分布を得ることにより符号誤りパターンがバースト的傾向を示すことが報告されているにとどまっている⁽²⁰⁾。

ここではバースト的な符号誤りが生じた場合の各ビット位置での符号誤り率について実験により詳細に検討を行った。実験回路は後述する図 3.17 を用い、ビタビ復号後の符号誤りパルスを図 3.15 に示すバースト符号誤り測定回路に入力する。

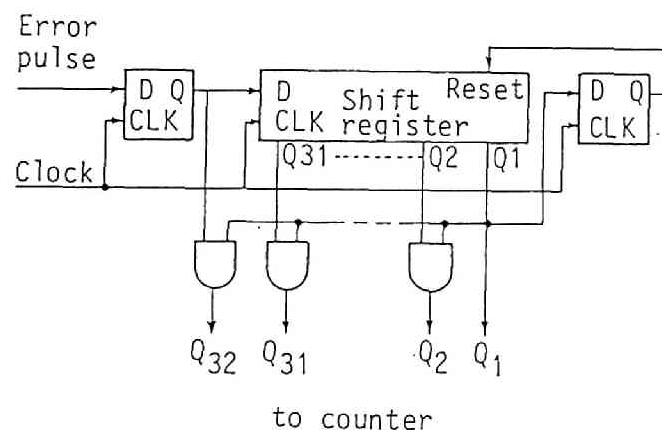


図 3.15 バースト誤りパターン測定回路

ビタビ復号後のバースト誤りの詳細な実験を行うに際しバースト誤りのモデルを仮定する。本モデルの特徴を以下に列挙する。

- (1) バースト誤りが発生した場合（発生率 p_0 ），隣接する m ビットまでの条件付符号誤り率 p_i ($i=1, \dots, m$) は互いに非独立事象である。
- (2) バースト誤りが発生する確率は互いに独立事象である。
- (3) バースト誤りが発生中に次のバースト誤りが発生した時には次のバースト誤りは前のバースト誤りの影響を受けない。

以下の検討ではバースト誤り発生中の多重バースト誤りは2重までとし，3重以上は高次項として無視する。以上の条件から，実験結果から得られる見掛け上の条件付符号誤り率 p_i ($i=1, \dots, n$)は次式で与えられる。

$$\left. \begin{aligned} \wedge \\ p_1 &= p_1 p_2 \\ \wedge \\ p_2 &= p_0 (p_2 + p_0 p_1) \\ &\vdots \\ \wedge \\ p_n &= p_0 (p_n + p_0 \sum_{i=1}^{n-1} p_i) \end{aligned} \right\} \quad (3-8)$$

ここで次のような変数変換を行う。

$$\tilde{p}_i = \frac{\wedge p_i}{p_0} \quad (3-9)$$

すなわち

$$\left. \begin{aligned} \tilde{p}_1 &= p_1 \\ \tilde{p}_2 &= p_0 p_1 + p_2 \\ &\vdots \\ \tilde{p}_n &= p_0 \left(\sum_{i=1}^{n-1} p_i \right) + p_n \end{aligned} \right\} \quad (3-10)$$

測定回路のビット数 n を十分大きくとれば p_i ($n < i \leq m$) は，十分小さいと考えられるため本測定回路により， n ビット目までの条件付符号誤り率が正確に求められる。

nとして本測定回路では32とした。

以上から行列で p_i と \tilde{p}_i の関係を表記すると下式を得る。

$$\begin{pmatrix} 1 & 0 & 0 & \cdots & 0 & 0 \\ p_0 & 1 & 0 & \cdots & 0 & 0 \\ p_0 & p_0 & 1 & \cdots & 0 & 0 \\ \cdots & \cdots & \cdots & \cdots & \cdots & \cdots \\ p_0 & p_0 & p_0 & \cdots & 1 & 0 \\ p_0 & p_0 & p_0 & \cdots & p_0 & 1 \end{pmatrix} \begin{pmatrix} p_1 \\ p_2 \\ p_3 \\ \cdots \\ p_{n-1} \\ p_n \end{pmatrix} = \begin{pmatrix} \tilde{p}_1 \\ \tilde{p}_2 \\ \tilde{p}_3 \\ \cdots \\ \tilde{p}_{n-1} \\ \tilde{p}_n \end{pmatrix} \quad (3-11)$$

$p_0, p_i (i=1, \dots, n)$ の実験値を上式に代入し、 \tilde{p}_i を導出する。図3.16.1, 図3.16.2に $p_0 = 1.2 \times 10^{-3}, p_0 = 1.2 \times 10^{-4}$ 時での p_i, \tilde{p}_i を示す。

以上からバースト誤りの発生した場合の符号誤りパターンが各ビット位置での条件付確率として得られる。図からバースト誤りの及ぶ長さとして20ビット程度まで延びており条件付符号誤り率は指数関数的に減少することが明らかになった。従って、符号化UWの検出率を向上させるためには、UWのインタリーブ配置が有効であるが、UW部を1ビット単位で20ビット毎にクロック部にインタリーブすることは非現実的であるためここではUWを2ビット毎にグループ化してインタリーブする方法を採用する。

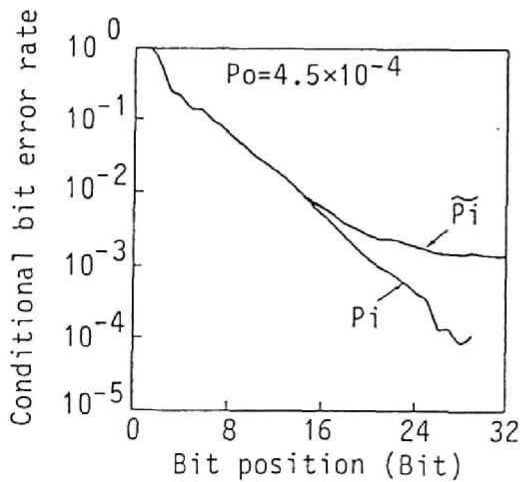


図3.16.1 ビタビ復号後の条件付ビット誤り率 ($P_e = 1.2 \times 10^{-3}$)

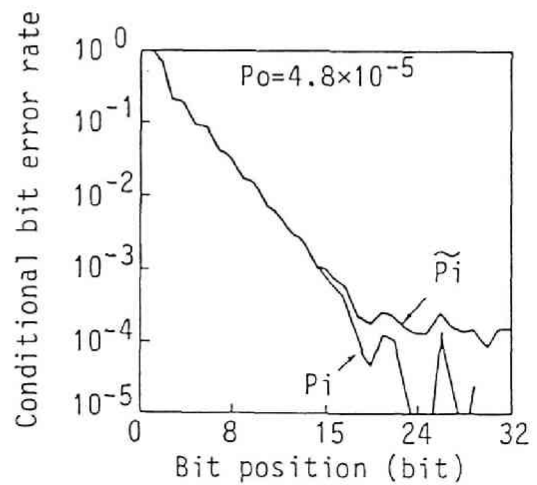


図3.16.2 ビタビ復号後の条件付ビット誤り率 ($P_e = 1.2 \times 10^{-4}$)

3. 3. 3 符号化UW検出特性⁽²¹⁾

符号化UW検出回路の特性を、図3. 17に示す実験回路で評価した。実験回路では、変復調方式としてクロック速度10MHzの4相PSK絶対同期検波方式を用い、図3. 12 ($E_b = 7$)、及び図3. 14 ($E_b = 8$)に示すバースト構成の場合について実験を行った。

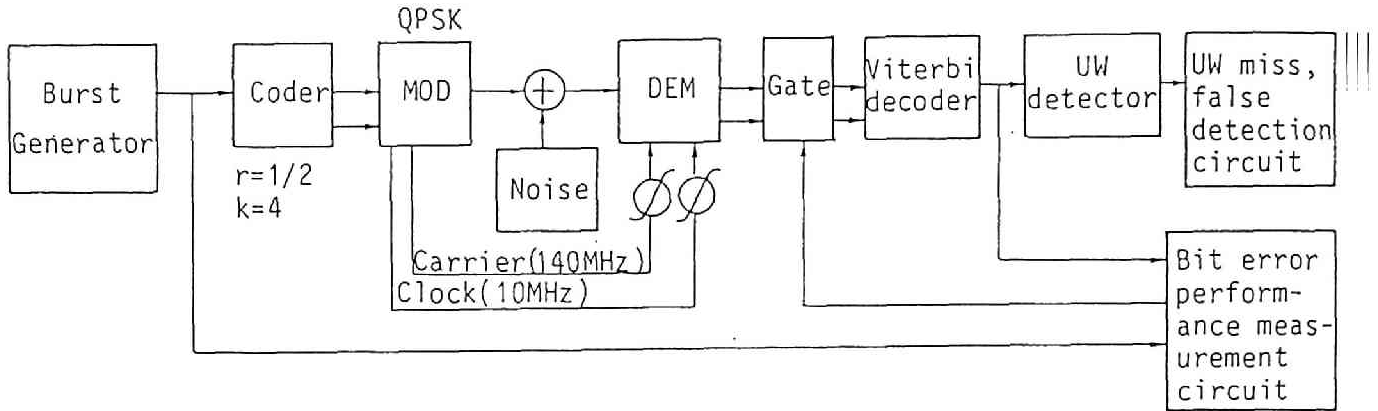


図3.17 実験回路

バースト構成に示す8シンボル“0”の最後尾位置からビタビゲートを動作させた場合のUW各ビットの符号誤り率特性（インタリーブあり）を図3. 18に示す。同図よりUW全ビットにわたり 1×10^{-4} 以下の符号誤り率特性が得られることが分かる。特に、先頭ビット位置付近では、ビタビ復号器内がクリアされた直後であるためクリア直前のバースト誤りの影響を受けず、定常状態の符号誤り率よりも良くなっている。ビタビゲート信号を8シンボル“0”パターン先頭部で動作させた場合には“0”パターン中の符号誤りの影響を受けUW先頭ビット位置でも定常状態の符号誤り率に近づくとと思われる。

UW長を16ビットとした符号化UWの不検出率、誤検出率特性を図3. 19に示す。図中、実線はインタリーブ有りの場合であり、破線はインタリーブ無しの場合である。インタリーブ無しの場合はUW内でバースト誤りが発生するため許容誤りビット数に対する改善がビット当たり1/2程度しか無い。一方、インタリーブを行った場合には、バースト誤りの影響が軽減されUW検出率特性が大きく改善されることが分かる。この場合符号化インタリーブUWを用いた場合に許容誤りビット数を4とすれば不検出率、誤検出率共に 1×10^{-7} 程度にすることができる。

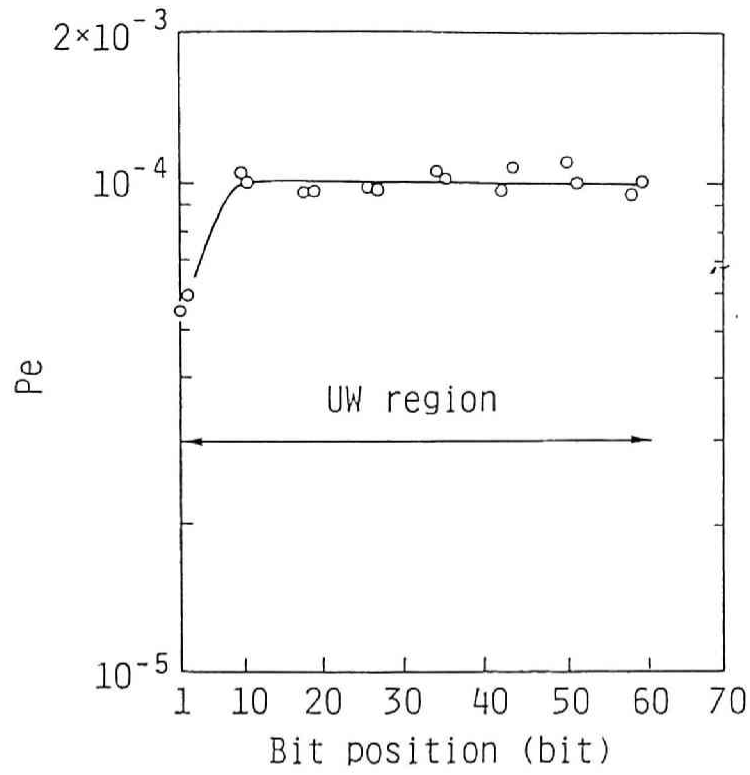


図 3.18 ビット位置対符号誤り率特性

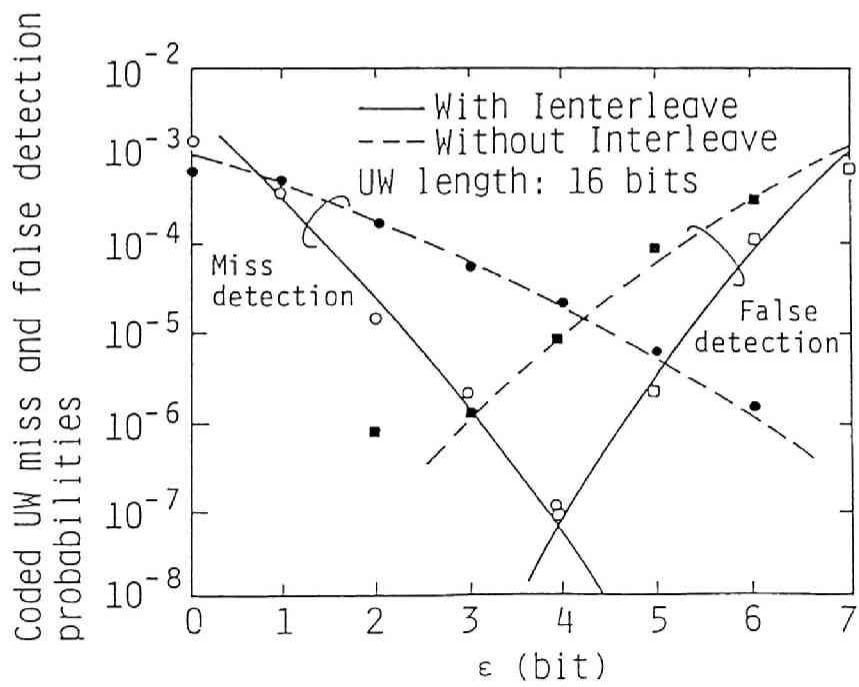


図 3.19 符号化 UW 検出率特性

以上から符号化UW検出法を用いることにより従来方式と同程度のUW検出率特性を保ちつつ、UW長を実質的に48ビットから16ビットに短縮できることが明らかとなった。これはハードウェア規模で約1/3への削減に対応する。また、インタリーブする間隔をさらに長くとることが可能であれば、符号化UW検出法の特性は一層改善される。

3. 4 むすび

本章ではUW検出器の構成について述べ、そのハードウェア量を定量的に評価した。次にUW検出特性について考察を加え、所望するUW検出率を得るためのUW長、UWパターン、相関閾値の設計法を明らかにした。更に低C/N時のユニークワード検出率特性を改善する方法として符号化ユニークワード検出法を提案し、 $r = 1/2$, $k = 4$ の畳込み符号化3ビット軟判定ビタビ復号法を適用するシステムにおいて従来48ビット必要であったユニークワード長を16ビットに短くし、所望する不検出率、誤検出率を満足できることを示した。この結果、従来のユニークワード検出器で必要であったハードウェア量を約1/3まで削減できる見通しを得た。本章では $r = 1/2$, $k = 4$ の畳込み符号化3ビット軟判定ビタビ復号法の場合を対象として論じたが、他の誤り訂正方式を適用した場合にも同様に用いることが可能である。

第4章 複数中継器運用時の同期制御

4. 1 まえがき

地球局間の接続性の改善、衛星回線の有効利用、柔軟なネットワークの構築及びシステムの経済化を図るには1つの地球局が複数のトランスポンダにアクセスするトランスポンダホッピングTDM A方式が有効である⁽¹⁾⁽²⁾⁽³⁾。このトランスポンダホッピングTDM A方式に用いるTDM A装置を実現するためには同期法、ガードタイム、及びバースト間周波数偏差による符号誤り率劣化が重要な検討課題となる。

従来のトランスポンダホッピング方式では、復調器、周波数変換器が複数必要となる等シングルトランスポンダ運用TDM A装置に比較しハードウェアが大きい構成となっていた。また、従来のトランスポンダホッピング方式ではガードタイムが μ 秒オーダーと大きく、フレーム効率の観点からはこの低減が望まれる。また1つの復調器で全受信信号を復調する方式としかつDown Converter (D/C)を安価に実現しようとする、D/Cの安定度が低下し(シングルトランスポンダ運用ではあまり問題とならない)バースト間周波数偏差が大きくなり結果として符号誤り率が劣化する問題があった。

本章では、高利得誤り訂正を採用し、ハードウェアの軽減を図ったトランスポンダホッピング用TDM A装置の構成と特性について述べる。まず、TDM A同期法については基準局ハードウェアを軽減するフレーム構成について検討する。また、トランスポンダホッピング時のガードタイム構成要素を明らかにする。さらにバースト間周波数偏差に対処する方法として記憶型バースト復調器AFC回路を提案し、実験的に特性の評価を行う。

4. 2 複数中継器運用・時分割多元接続装置の構成⁽⁴⁾

提案するトランスポンダホッピング用TDM A方式の概念図を図4. 1に示す。また、従来のトランスポンダホッピング方式と本方式の主要諸元及びハードウェア比較を表4. 1及び図4. 2に示す。SBSシステム⁽⁵⁾では複数の周波数変換器、復調器を用いる構成となっている。INTELSAT TDM A/DSIシステム⁽⁶⁾及びTELECOM 1システム⁽⁷⁾ではIFスイッチを導入し復調器を1台としているが周波数変換器は複数個用いる構成となっている。

一方本提案方式では周波数変換器、変復調器、TDM A装置まで含めた一系統の送受信装置によるトランスポンダホッピング用地球局装置とすることにより基準局、従局ともハ

ードウェア量が削減されている⁽³⁾。またガードタイムは地球局周波数変換部の経路長差がないことからその低減が図られる。

一方バースト間周波数偏差への対処法として従来次の方法がとられていた。

SBS：トランスポンダ対応で復調器を設ける方法

TELECOM1：遅延検波を用いる方法

INTELSAT：地球局周波数変換器のローカル周波数をトランスポンダ対応で調整する方法

これらの方法ではそれぞれハードウェア規模が大きい、誤り訂正能力が劣る、及び保守が複雑となる等に問題があった。

これらの問題を解決するためには、衛星及び地球局周波数変換器の安定度を改善する方法及び復調器で対処する方法がある。本提案方式では復調器AFC回路の機能向上により、大きなバースト間周波数偏差への対処を可能としている。

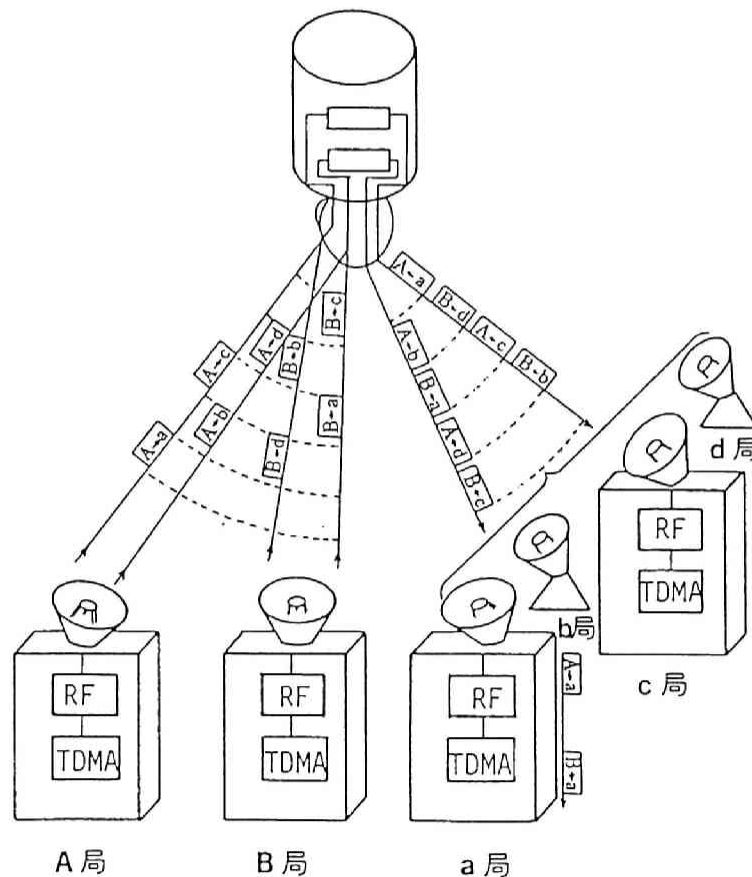


図 4.1 トランスポンダホッピング方式

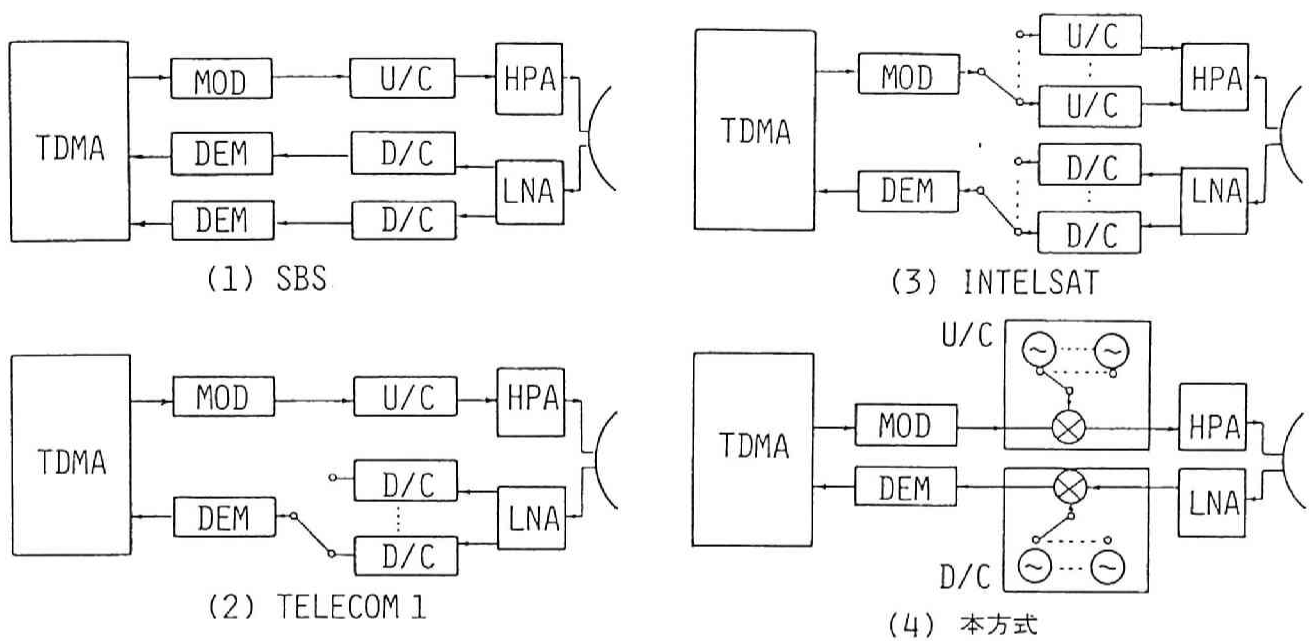


図 4. 2 トランスポンダホッピング用ハードウェアの比較

表 4. 1 トランスポンダホッピング方式の主要諸元

システム名	ホッピング方式	ホッピング トランスポンダ 数	ホッピング用 ハードウェア	ガードタイム μsec (シンボル)	誤り訂正 方式	クロック (MHz)
SBS	受信	4	D/C \times 4 DEM \times 4	0.3 (8)	無し	24
TELECOM1	受信	5	D/C \times 5	1.3 (32)	無し	25
INTELSAT TDMA/DSI	送受信	4	U/C \times 4 D/C \times 4	1.1 (64)	$r=7/8$ (BCH)	60
提案方式	送受信	7	U/C \times 1 D/C \times 1 (Local複数)	0.3 (8)	$r=1/2, k=$ 4 抜き込み符号化 E ₂ E ₁ 復号	25

4.2.1 TDMA同期制御法

基準局送受信装置を1系統で実現する本トランスポンダホッピング方式を可能とするため、図4.3に示すフレーム構成を提案する。本フレーム構成の特徴は同期バースト領域をトランスポンダ間で時間的に変位させることにある。このため基準局は全トランスポンダに対して時分割的に送受信可能となる。本フレーム構成を用いたとき、同期法については受信同期、初期アクセシオン、送信同期とも従来のシングルトランスポンダ運用時と全く同様に行なうことができる。たとえば、トランスポンダ間の同期及び従局への制御情報の伝達は送信ホッピングを用いた基準バーストの送出により行なうことができる。また従局同期バーストの遅延時間測定及び従局同期バースト中の監視情報の取得は受信ホッピングにより行なうことができる。

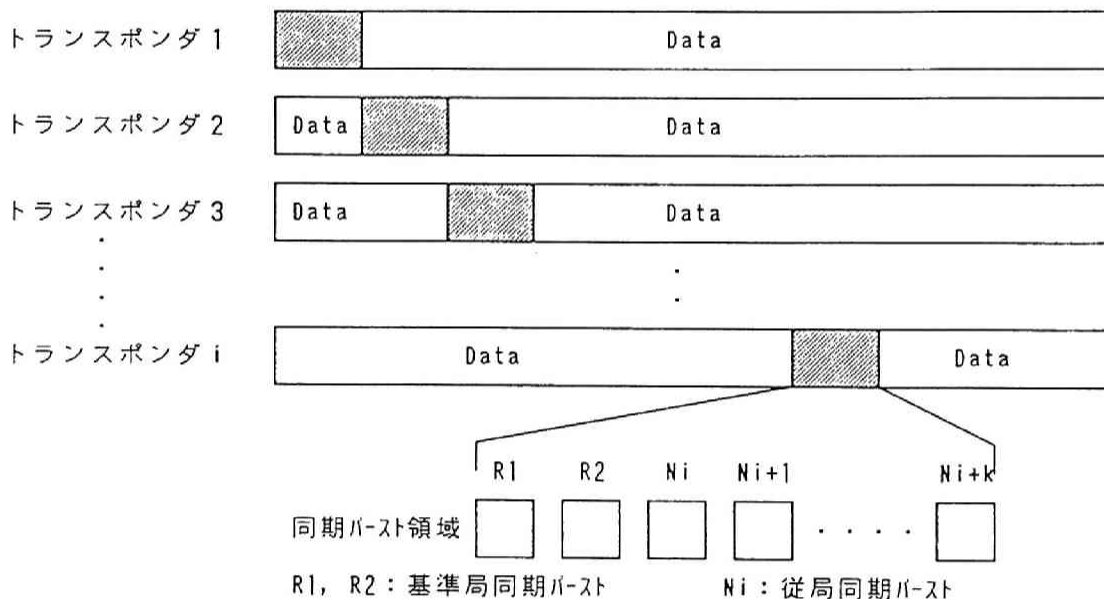


図4.3 TDMAフレーム構成

4. 2. 2 ガードタイム

トランスポンダホッピング時のガードタイム構成要素を表4. 2に示す⁽⁸⁾。シングルトランスポンダ運用時のガードタイムに新たに加わる構成要素としては、信号の経路遅延時間差及びホッピングのための周波数変換器ローカルの切替に伴う時間がある。

本トランスポンダホッピング方式では、周波数変換器、変復調器等を複数個用いる従来の方式と異なり地球局内の経路遅延時間差は生じない。そのため、経路遅延時間差としては図4. 4に示す衛星搭載中継器間の経路遅延時間差のみが寄与し、地球局内遅延時間差がある場合と比べ、本方式では経路遅延時間差が小さくなる。

表4. 2 ガードタイム構成要素 (クロック周波数25MHz)

シングルトランスポンダ運用時と共通の構成要素	地球局—衛星間の距離変化による同期誤差 (衛星軌道保持範囲 ± 0.05 度)	± 5.8 ns
	送信クロック周波数誤差による同期誤差	± 16.6 ns
	量子化誤差	± 40.0 ns
トランスポンダホッピング時に加わる構成要素	中継器経路遅延時間差	5 ns
	ホッピング・スイッチ立ち上がり・立ち下がり時間	15 ns
	スイッチ切り替えに伴う量子化誤差	40 ns
合計		184.8 ns

C S - 2 エンジニアリング・モデルによる実測データ

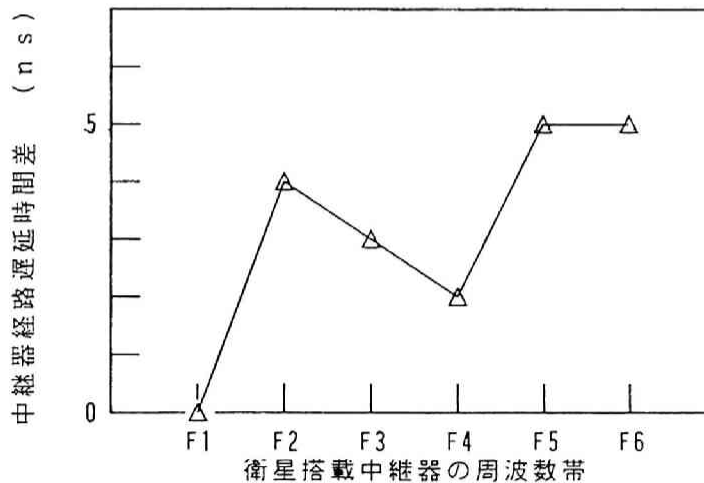


図4. 4 中継器経路遅延時間差 (F1基準)

4.3 記憶型バースト復調器 A F C 回路⁽⁹⁾⁽¹⁰⁾

トランスポンダホッピング方式においては、シングルトランスポンダ運用時にバースト間周波数偏差を生じる送信周波数変換器に加えて受信周波数変換器及び衛星上周波数変換器がバースト間周波数偏差を増加させる要因となる。このため安価な周波数変換器を適用する場合には大きなバースト間周波数偏差を生じ、平均値 A F C (Automatic Frequency Control) 機能を有する通常のバースト復調器では再生キャリア位相誤差が大きくなり符号誤り率が劣化する。トランスポンダホッピング方式におけるバースト間周波数偏差への対処法としては、周波数変換器の側に対処する方法及び復調器の側に対処する方法がある。従来の対処法のうち、前者としてはローカル周波数をトランスポンダ対応で調整する方法⁽⁶⁾があり、後者にはトランスポンダ対応で復調器を設ける方法⁽⁵⁾及び遅延検波を用いる方法⁽⁷⁾がある。これら従来の方法はいずれも各々保守性、経済性及び性能の点で改善の余地があった。

これらの点を改善するためにはバースト毎の周波数誤差情報を記憶することによりバースト間周波数偏差に追従する記憶型 A F C 回路が有効である。従来記憶型 A F C 回路としては準同期検波後ベースバンドでキャリア再生を行う方法⁽¹¹⁾及び逆変調キャリア再生方式等で用いられるタンクの入出力間の位相差から周波数誤差を検出しサンプルホールドする方法⁽¹²⁾が提案されている。前者はハードウェア実現上の問題から高速なバースト復調器への適用が難しい。一方、後者は周波数誤差情報の記憶にアナログのサンプルホールド回路を用いるため多数のバーストに対応するためにはハードウェアが大きくなる難点があった。これに対し、逆変調等により得られる抽出搬送波と V C O とのビート信号から周波数誤差情報を取り出すことによりバースト間周波数偏差の平均値に追従する追尾型フィルタ⁽¹³⁾が報告されている。この追尾型フィルタは A F C 情報を低速信号に変換してデジタル処理する特徴を持つ。

本節ではこの追尾型フィルタの特徴を活かし、バースト毎の周波数誤差をデジタル的に記憶することによりバースト間周波数偏差に瞬時に追従する記憶型バースト復調器 A F C 回路を提案し、実験的に特性の評価を行う。本 A F C 回路の第一の特長は、デジタル処理部がバーストの周波数誤差程度の速度で動作すればよいため、高速バースト信号に対してもバースト毎の A F C 回路として十分動作できることである。第二の特長はデジタル処理型であることからフィルタ定数の切り替えが容易であること、L S I 化による小型化に適していること、調整箇所が少ないこと等の利点を有することである。

本 A F C 回路の性能目標値を表 4. 3 に示す。同表よりわかるようにバースト間周波数偏差が 5 0 k H z と大きく、従来の A F C 及び単一復調器を用いる方式では目標値を満足できないことがわかる⁽¹⁴⁾。以下記憶型 A F C 回路の構成と制御動作について検討する。

表 4. 3 A F C 回路の性能目標値

最大バースト間周波数	50 kHz (p-p) 以下
共通周波数偏差	± 1 MHz
低 C / N 限界	5 dB
許容符号誤り率劣化 (再生キャリア位相誤差)	0.3 dB ($P_e = 1 \times 10^{-4}$) (± 2 °)

4. 3. 1. 回路構成と記憶型動作

提案する A F C 回路の構成を図 4. 5 に示す。本 A F C 方式は復調器キャリア再生タンクに適用するものである。このタンクでは逆変調、4 遅倍等によって得られる抽出搬送波を入力とし、同期検波に用いる再生搬送波を出力とする。本 A F C 回路はタンク部、コンパレータ、制御部、記憶回路、出力セレクタ及び D / A 変換器から構成される。

タンク部はその中心周波数を V C O (Voltage Controlled Oscillator) で任意に設定できる周波数追従型となっている。入力した抽出搬送波は一旦周波数変換され 2 つの互いに直交するビート信号 (C (t) , S (t)) となり低域通過フィルタによりろ波される。ろ波されたビート信号は再び周波数変換され再生搬送波となる。本タンクのバースト間周波数偏差への追従はタンクの中心周波数を個別バースト対応で制御することにより行う。コンパレータはタンク部内の互いに直交するビート信号を二値量子化しデジタル信号に変換する機能を有する。

制御部は二値量子化された (C (t) , S (t)) から周波数誤差を検出、積分する機能を有するとともに誤差情報の記憶機能を有する。

制御部の記憶機能を用いた個別バースト周波数への追従動作は以下のようなものである。バースト毎に検出された誤差情報は制御部内で蓄積される。制御部内に蓄積された周波数誤差情報は一旦記憶回路に記憶される。次のフレームにおいて記憶された情報は該当バーストが到達する直前に記憶回路から制御部内に書き込まれ、V C O を制御してタンクの中心周波数をバースト周波数の近傍に設定する。

本AFC回路ではバースト毎のタンク中心周波数の切り替えがガードタイム内に行われる必要がある。このため制御部を2系統設け出力セクタで切り替えることにより、一方がVCOの制御を行う間に他方がメモリ回路とのアクセスを行う構成としている。

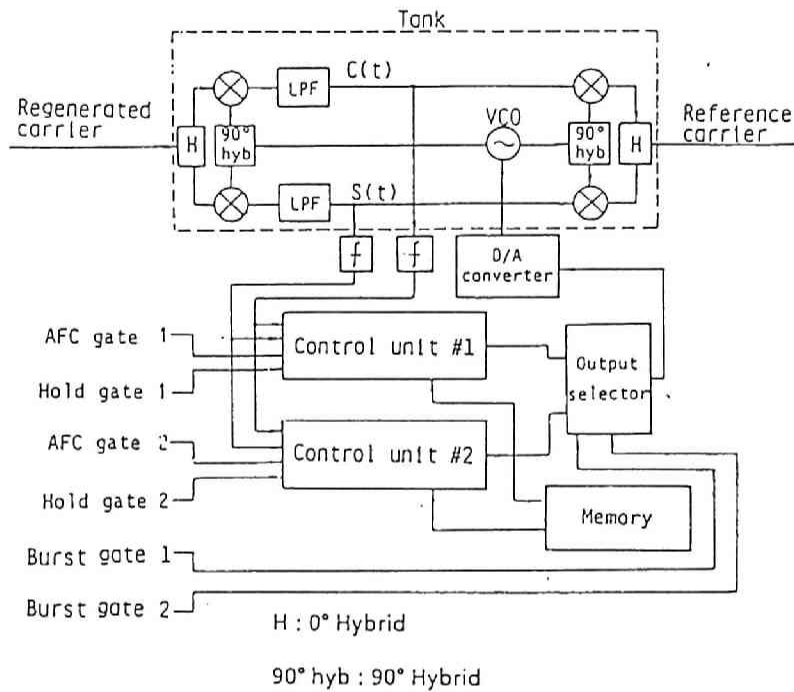


図4.5 記憶型バースト復調器AFC回路の構成

4.3.2 制御部動作

制御部は図4.6に示すようにラッチ、周波数誤差検出器、シーケンシャルフィルタ及びU/D（アップ/ダウン）カウンタから構成される。

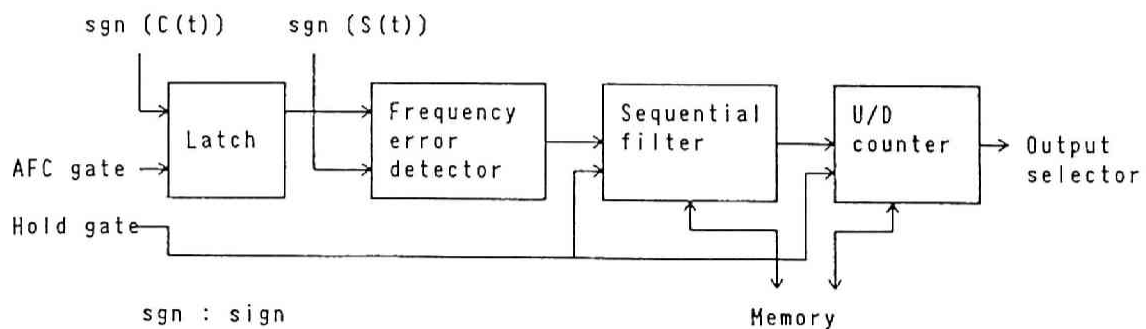


図4.6 制御部の構成

(1) 周波数誤差制御⁽¹³⁾

制御部の動作は以下のようなになる。前述のように、抽出搬送波はタンク部内VCO出力により周波数変換されビート信号(C(t)、S(t))を生じる。

$$C(t) = \cos(2\pi\Delta f t) \quad (4-1)$$

$$S(t) = \sin(2\pi\Delta f t)$$

但し $\Delta f = f_{reg} - f_{vco}$

f_{reg} : 抽出搬送波周波数

f_{vco} : VCO周波数

C(t)及びS(t)はコンパレータにより2値量子化される。ここでC(t)の正エッジにおけるS(t)の正負は Δf の極性により一意的に定まる。このことから、周波数誤差検出器内Dフリップフロップを用いてC(t)の正エッジにおけるS(t)の符号を検出することにより周波数誤差情報を得る。検出された誤差情報はシーケンシャルフィルタ及びU/Dカウンタで積分された後、D/Aコンバータ及びVCOを制御する。制御フローを図4.7に示す。本AFC回路では残留周波数誤差特性の改善及び引き込み時間の短縮化のためC(t)の負エッジも制御に用いている。なお本AFC回路のバースト動作は図4.6に示すように制御部入力にラッチを設けバースト対応でAFCゲートを開閉することにより行う。周波数誤差情報はAFCゲートの開いている期間に抽出される。

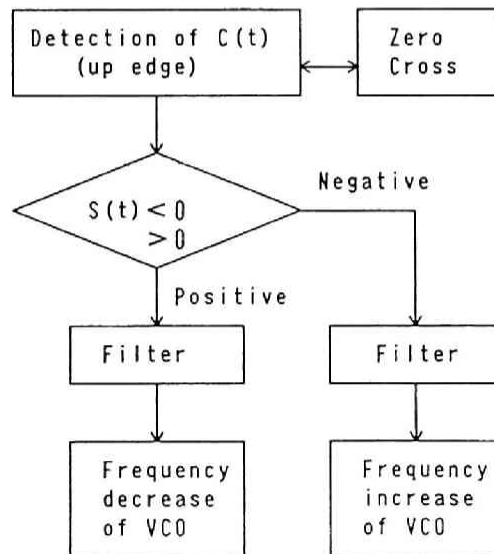
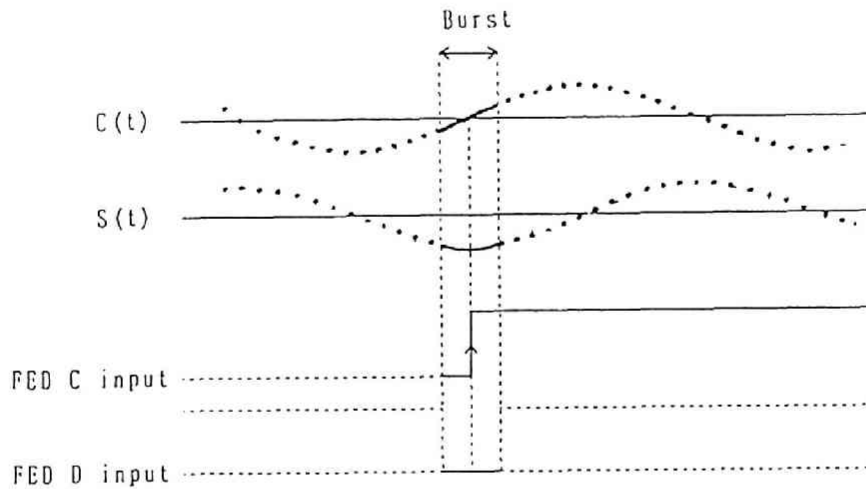


図4.7 AFC制御フロー

抽出搬送波周波数がVCO周波数よりも高い場合の動作例を図4.8に示す。図中C(t)及びS(t)は2値量子化され、制御部内周波数誤差検出回路のC入力及びD入力となっている。C入力はバースト内において正エッジを生じ、D入力の符号を判定する。この判定結果を用いてVCOの周波数を増加させる。



FED : Frequency error detector

図4.8 制御動作の一例

(2) 誤制御パターンの除去

本AFC回路ではAFCゲート内でC(t)が零点を切る時にバーストの周波数誤差検出が行われる。このため、前フレームでのバースト終了時と次フレームでのAFCゲート立ち上がり時のC(t)の符号が異なる場合、ゲート立ち上がり時にC(t)が零点を横切り擬似的な誤差検出動作が起こる。このときに検出されるS(t)の符号は Δf の符号とは無関係であるため、検出結果には誤制御パターンが含まれることになる。誤制御パターンの一例を図4.9に示す。本AFC回路では誤制御パターンによる残留周波数誤差特性の劣化を防ぐため、AFCゲート立ち上がり時にシーケンシャルフィルタ及びU/Dカウンタの動作を停止し、誤制御情報を除去する構成としている。

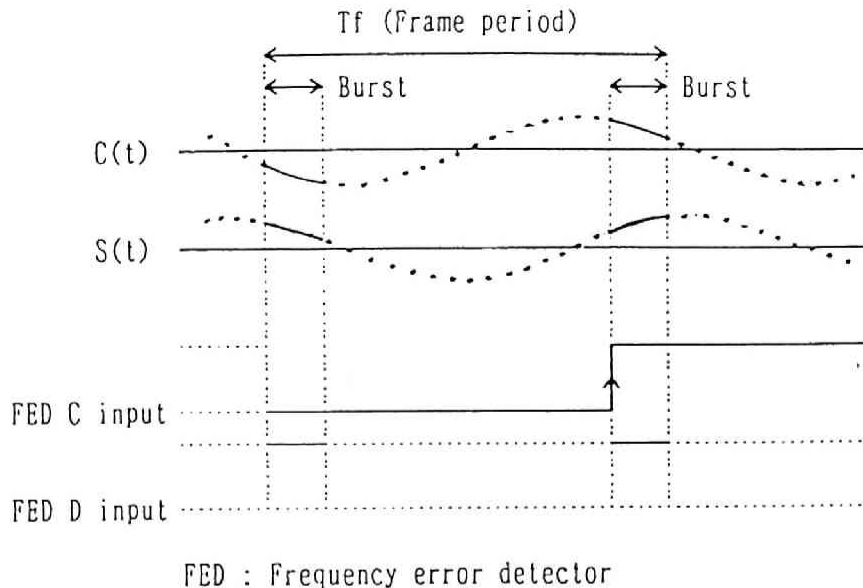


図 4. 9 誤り制御波形

4. 3. 3 実験

AFC回路について評価すべき特性には残留周波数誤差及びバースト引き込み時間がある。残留周波数誤差は復調器の符号誤り率劣化を引き起こすため、その低減が望まれる。一方、同期バーストの引き込み時間は従局のインシャルアクジション時間に加わるためこれと比較し十分短いことが望ましい。本章ではこれらの点について実験的に評価を行う。

(1) 実験回路

本AFC回路の動作確認を行うため2バーストで実験を行った。実験回路の構成及び主要諸元を図4. 10、表4. 4に示す。実験では24. 5MHzのクロックをもとにフレームを構成し、ガードタイム相当の時間間隔(本例では8シンボル)で接する2個のバーストキャリアを用いて行う。フレーム周期は20msとし、AFC制御情報を抽出するバーストとして長短2種のバースト(データ及び同期バースト⁽¹⁵⁾)について検討する。周波数誤差情報を抽出するAFCゲートはプリアンプル(約6μs)を除いたデータ部分とし検出信号の精度を高めている。2つの同期バーストとそれぞれのAFCゲート信号の関係を図4. 11に示す。また、本AFC回路で用いる単同調キャリア再生タンク(3dB帯域幅約400kHz)の振幅位相特性を図4. 12に示す。

D/A変換器には16ビット、±5V_{FS}(制御間隔0.15mV/step)のものを用い、ビット数切り替えにより12ビット及び8ビットで動作可能である。VCOの入力電圧と出力周波数の関係を図4. 13に示す。図より、本AFC回路を16ビットで動作させた

時の制御精度は139MHzにて約120Hz/step、141MHzにて約27Hz/stepとなることが導かれる。

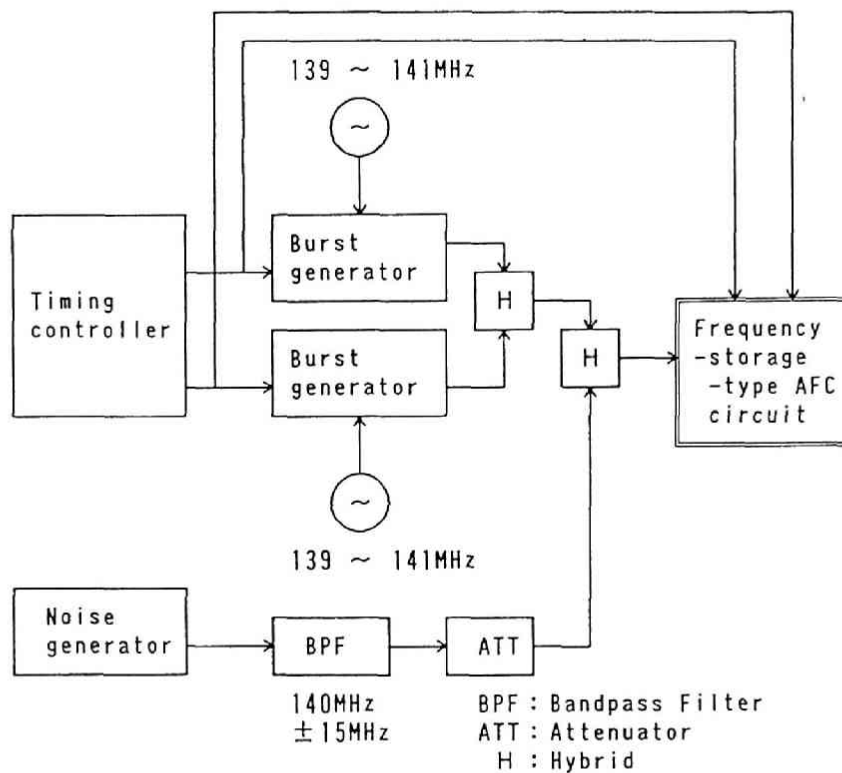


図 4. 10 実験回路

表 4. 4 実験回路の主要諸元

クロック	24.5 MHz
フレーム周期	20 ms
バースト長	14 μ s (同期バースト相当) 59 μ s (データバースト相当)
バースト数	2
ガードタイム	8 シンボル
タンク 3 dB 帯域幅	400 kHz
シーケンシャル ループフィルタ	AND/NOR フィルタ 4 段
D/A 変換器	8/12/16 ビット

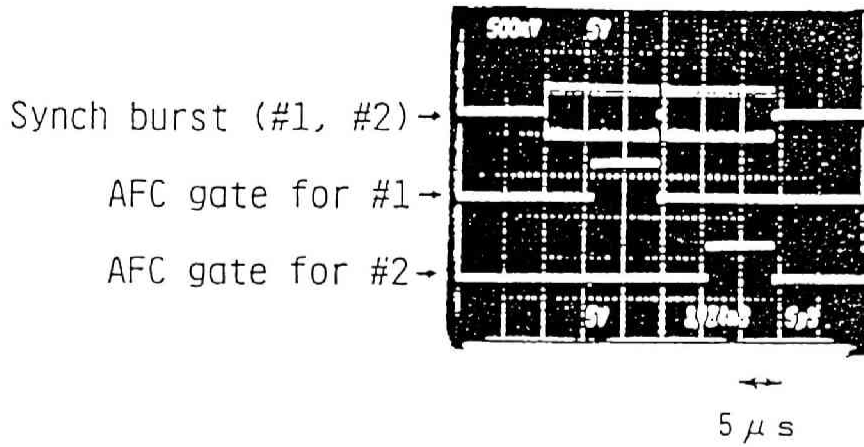


図 4. 1 1 同期バーストとAFCゲート

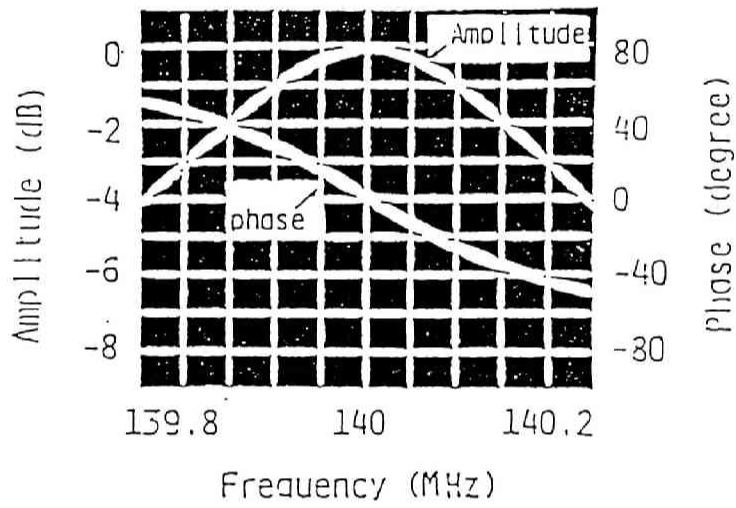


図 4. 1 2 タンクの振幅位相特性

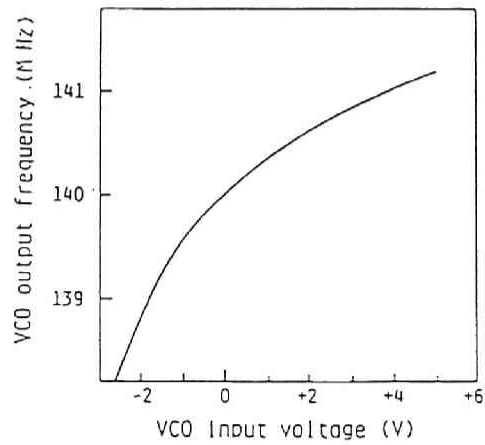


図 4. 1 3 VCOの入出力特性

(2) 残留周波数誤差特性

限界 $C/N = 5 \text{ dB}$ において同期バーストから A F C 制御信号を検出する場合の、誤制御パターン除去前と除去後のバースト間周波数偏差と残留周波数誤差 (3σ 値) の関係を図 4. 14 に示す。本実験時の抽出搬送波周波数を 139 MHz とし、図 4. 13 よりわかるように高感度の側で評価を行った。本図より、バースト間周波数偏差 2 MHz 以下における誤制御パターン除去前及び除去後の残留周波数誤差は各々約 8 kHz 、約 5 kHz である。このことから誤制御パターン除去前と比較し除去後は残留周波数誤差が約 $1/3$ 減少することがわかる。

また図 4. 14 より残留周波数誤差のバースト間周波数偏差に対する依存性はあまり見られない。すなわち本 A F C 回路が各バースト毎に独立に追従することから回路の特性はバースト間周波数偏差によらないことを示している。

次に誤制御パターン除去後のバースト長に対する残留周波数誤差特性の評価を行う。限界 $C/N = 5 \text{ dB}$ において同期バースト及びデータバーストから A F C 制御信号を検出する場合の入力バースト間周波数偏差と残留周波数誤差の関係を図 4. 15 に示す。図より同期及びデータバーストに本 A F C 方式を適用した場合バースト間周波数偏差 2 MHz 以下における残留周波数誤差は約 5 kHz となることがわかる。また残留周波数誤差はバースト長に依存しないことがわかる。その理由としては雑音による誤制御が残留周波数誤差変動の原因であり、雑音により A F C 回路の誤制御が起こる確率がバースト長に依存しないためと考えられる。

一方再生キャリア位相誤差による符号誤り率劣化を 0.3 dB 以下とするためには、A F C 回路の許容残留周波数誤差を単同調タンクの場合 7 kHz 以下とする必要がある。図 4. 15 より、本 A F C 回路はバースト間周波数偏差が要求値である 50 kHz を越えて 2 MHz に達する場合にも残留周波数誤差が許容値内におさまることがわかる。したがって周波数変換器により発生するバースト間周波数偏差が 2 MHz まで許容されることから、バースト間周波数偏差 50 kHz 時と比較しローカルの周波数安定度をさらに約 2 桁低くすることができる。

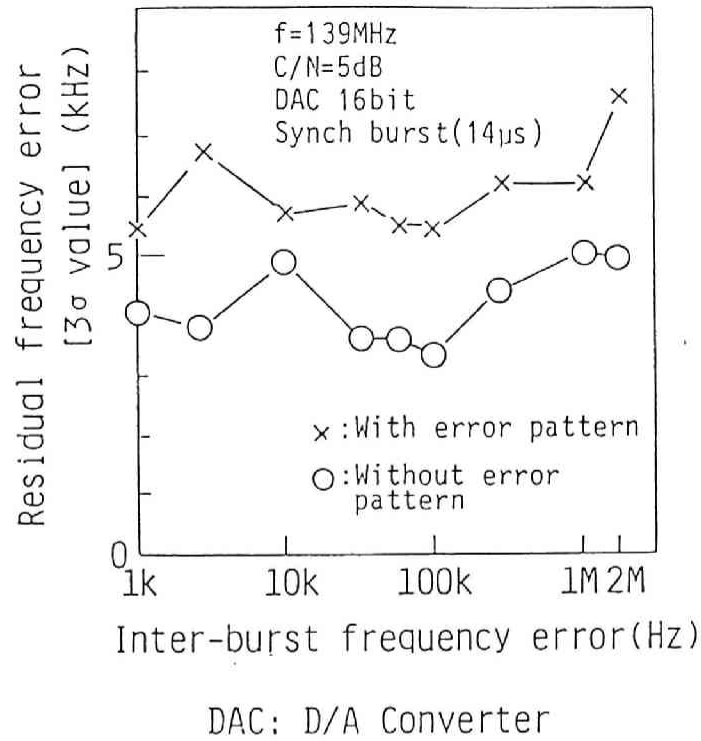


図 4. 14 誤制御パターン除去による残留周波数誤差特性の改善

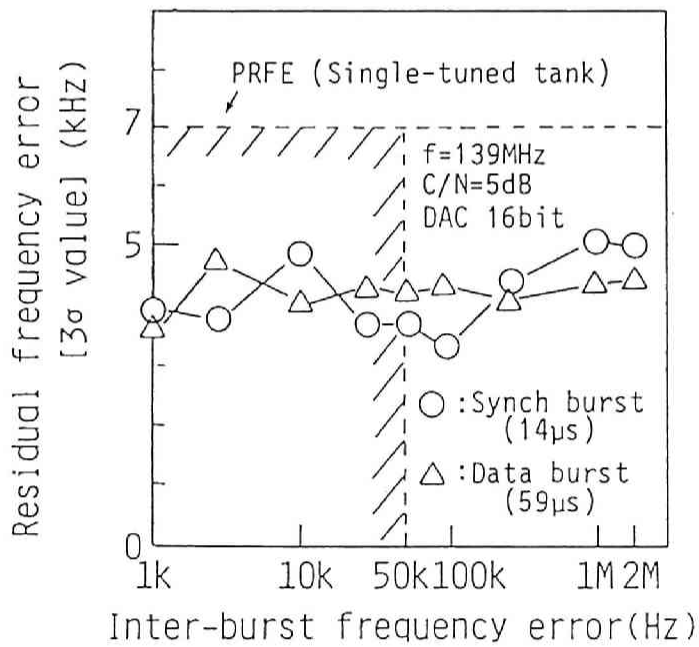


図 4. 15 残留周波数誤差

(3) 引き込み時間

同期バースト及びデータバーストから制御信号を検出する場合のC/Nに対するバースト引き込み時間（90%値）を図4.16に示す。図よりC/N=5dB時に、同期バーストに対してD/Aコンバータを16ビット及び8ビットで動作させるときの引き込み時間は各々約85μs、約0.34μsである。同期バーストの引き込み時間は従来の初期アクジション時間5.12μs⁽¹⁵⁾に加わるためできるだけ小さくする必要がある。引き込み時間の短縮はD/Aコンバータの入力ビット数を上位8ビットから16ビットへ切り換えることにより実現可能となる。

また、図4.16より同期バーストに比べ6.6倍のAFCゲート長をもつデータバーストからAFC制御信号を検出する場合、C/N=5dBにて引き込み時間は約1/6に減少することがわかる。このことは本AFC回路の引き込み時間が周波数制御情報を抽出する期間であるAFCゲート長に反比例することを示している。

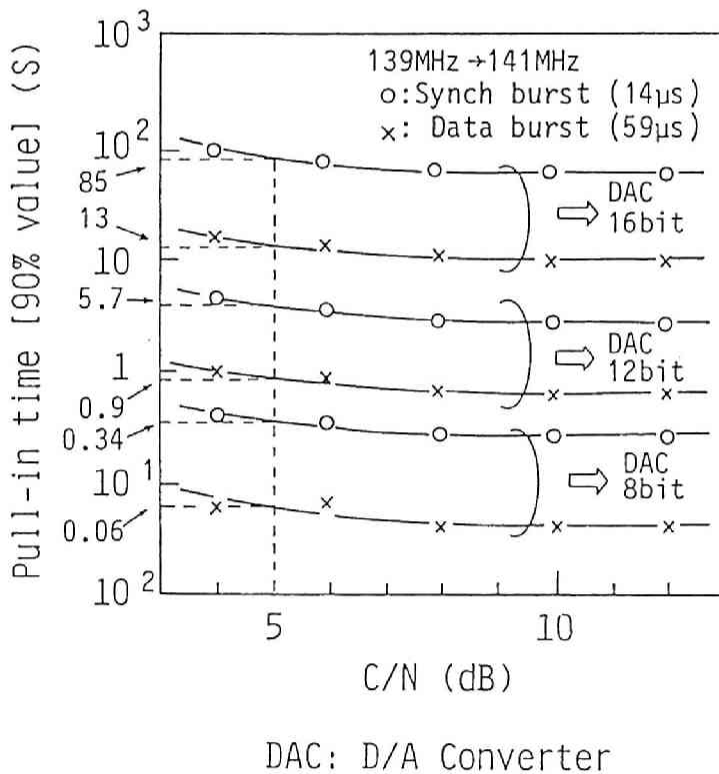


図4.16 バースト引き込み時間

4. 4 むすび

本章では、地球局ハードウェアを軽減するトランスポンダホッピング用TDM A装置について提案し、本構成におけるTDM A同期法、ガードタイム及び復調器AFC回路を検討した。

まず同期法については、基準局1局による管理を可能とするTDM Aフレーム構成を提案した。次に、本提案方式のガードタイムを導出し、従来方式に比較し小さいことを示した。最後に、バースト間周波数偏差に追従する高速TDM A用の記憶型バースト復調器AFC回路を提案し、実験的に $C/N = 5 \text{ dB}$ にて最大バースト間周波数偏差 2 MHz まで符号誤り率の劣化を 0.3 dB 以下にできることを示した。さらに本AFC回路のバースト動作時に誤制御パターンが含まれることを指摘しその除去法の検討を行ない、改善効果を実験的に明らかとした。

以上の結果により、1系統の送受信装置でトランスポンダホッピングが可能となり、また本AFC回路を用いれば周波数変換器に周波数安定度の低いローカル発振器を使用でき、地球局装置の経済化が図れる見通しを得た。

第5章 衛星上マスタクロック周波数制御

5.1 まえがき

衛星通信において、伝送容量の増大、地球局の小型化、経済化、周波数の再利用を図るにはマルチスポットビームアンテナを搭載した衛星によるマルチビームTDMA通信方式が有望である⁽¹⁾。この方式を実現するにはビーム間を接続するためのスイッチを衛星上に設け、所定のビーム間を固定的にあるいはダイナミックに切替え接続する必要がある。接続法にはIF（中間周波数）切替えによる方式とベースバンド切替えによる方式の2種類がある⁽²⁾⁽³⁾。前者は大容量の中継回線用に主に用いられ、Satellite Switched-TDMA（SS-TDMA）方式と呼ばれる。一方、後者は中小容量の加入者回線用に用いられる衛星上再生中継TDMA方式と呼ばれる。

SS-TDMA及び衛星上再生中継TDMAシステムにおいては、衛星上マスタクロックがIFスイッチや衛星上ベースバンド処理装置に時間基準を与えることから、その高安定化が必須である。またマスタクロックは衛星ネットワークの基準タイミング源となり、その安定性は直接TDMAフレームのガードタイムの長さや地球局において通信信号を伸張/圧縮するバッファのサイズに影響を与えることから、その高安定化が重要である。

従来、SS-TDMA方式におけるクロックの制御間隔と残留周波数制御誤差に関しては衛星上マスタクロックに地球局のシステムクロックを従属同期させる方法⁽⁴⁾⁽⁵⁾（衛星上マスタクロックに対して特別なドップラー効果の除去は行なわない）について検討されていた。しかし高安定な地上網クロックに衛星上マスタクロックを従属同期させるための制御間隔については検討されていなかった。本章では衛星上マスタクロックのドップラー効果の影響を除去し高安定な地上網クロックにマスタクロックを周波数同期させる場合に残留周波数誤差を最小化する制御間隔について述べる⁽⁶⁾。

従来、衛星上マスタクロックを制御する方法として以下の方法が提案されている。

- (1) 基準同期バーストに含まれる地上網クロックに位相同期したクロックを衛星上で抽出しマスタクロックを地上網クロックと位相同期させる方法⁽⁷⁾。
- (2) 地上網クロックに位相同期したクロックにより生成された基準局同期バーストを衛星上にて検出し、正規位置からの誤差情報にもとづいて衛星上マスタクロックを制御する方法⁽⁸⁾。
- (3) 基準局にて衛星上マスタクロックと地上網クロックの位相誤差を検出し衛星上マスタ

クロックを周波数同期させる方法⁽⁹⁾⁽¹⁰⁾。

(1)及び(2)の方法はマスタクロック周波数にドップラー効果の影響が加わるためドップラー効果による周波数変動(CS-2号衛星の場合は安定度約 3×10^{-9})以上の高安定化は不可能である。(3)の方法は測定位相誤差からドップラー効果の影響を除去し、高安定なマスタクロックを実現するものである。ドップラー効果除去の方法として次の3方法がある。

①衛星が1恒星日を周期とした位置変動を行うことを利用して測定位相誤差を1恒星日で平均化することによりドップラー効果の除去を行う方法⁽¹⁰⁾。

②衛星と基準局間の測距データを用いて、測定位相誤差からドップラー効果の除去を行う方法⁽¹⁰⁾。

③基準局の送受信フレームが各々逆位相のドップラー効果を受けることを利用して、送信フレームと受信フレームからドップラー効果を除去した位相誤差を得る方法⁽¹¹⁾。

以上述べた方法によりドップラー効果の除去を行い、位相誤差測定時の誤差を無限小と仮定して衛星上マスタクロックの周波数を制御する最適アルゴリズムがこれまでに提案されている⁽¹⁰⁾。このアルゴリズムを用いた制御では主に①の方法によりドップラー効果の除去が行われており、マスタクロックの制御間隔として1恒星日に限定されてしまうという問題があり、制御間隔に関しては検討されていなかった。またこのアルゴリズムによると制御間隔が無限小になれば、マスタクロックの残留周波数誤差も無限小になるが、実際には衛星上マスタクロックと地上網クロックの位相誤差測定時に生じる測定誤差は無視できず測定間隔(制御間隔)の減少とともに測定誤差に起因するマスタクロックの残留周波数誤差は増大する⁽⁶⁾⁽¹²⁾⁽¹³⁾。すなわち最適な制御間隔より小さい制御間隔でマスタクロック周波数を制御すると測定誤差にもとづく誤制御によりマスタクロックの残留周波数誤差が逆に増大するという現象を生じる。

本論文では基本的制御方法として(3)を採用し、ドップラー効果除去の方法として構成が簡易でかつ任意の制御間隔が適用可能な③の方法を採用し、位相誤差測定時に生じる測定誤差の影響を新たに考慮して衛星上マスタクロックの残留周波数誤差を最小化する制御間隔について検討する。

5. 2 マスタクロック制御方式

検討対象とするシステムのブロック図を図5. 1に示す。まず、基準局は地上網クロックに位置同期したシステムクロックを生成する。この高安定なシステムクロックと衛星上マスタクロックの位相比較を行い、その位相誤差情報からマスタクロック制御情報を生成し、通常の通信チャネルを用いて衛星上に送信し、衛星上マスタクロックを制御する。

本システムでは、衛星の時間基準となる信号（マスタクロック）をTT&C (Telemetry, Tracking & Command)回線又は専用回線等の特別な回線でなく、通常の通信チャネルを介して送信するための変調器を搭載しているが、衛星に本変調器を搭載しない場合でも以下に述べる検討結果は適用可能である。

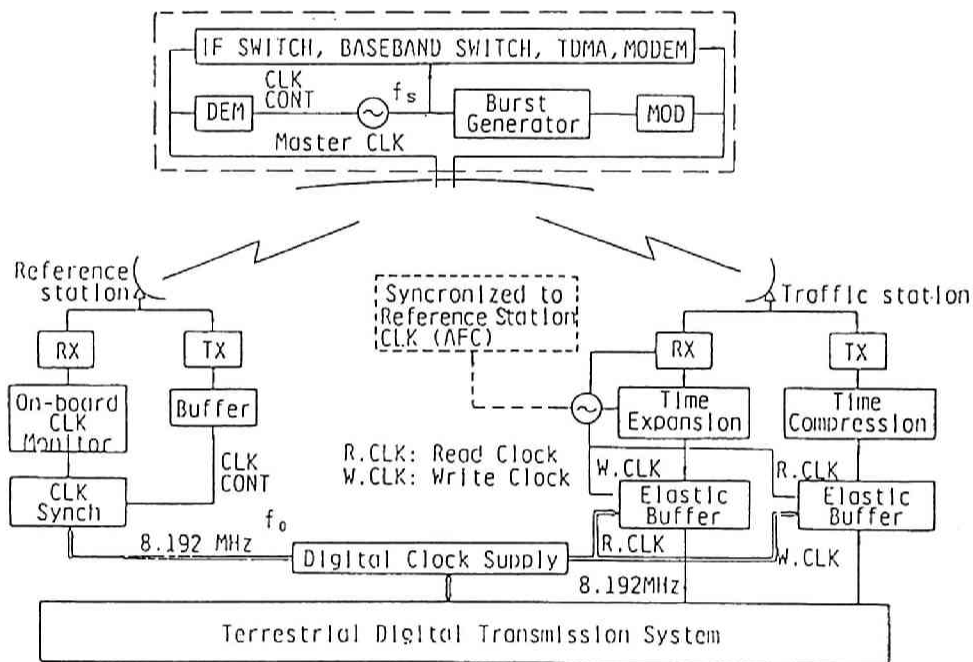


図5. 1 ネットワーク同期構成

図5. 1に示したネットワーク同期構成のうち、衛星上と基準局に設置されるマスタクロック周波数制御ループを図5. 2に示す。この制御ループの動作は以下のとおりである。衛星上バースト発生器ではマスタクロック f_s (Hz)をもとに衛星基準バーストを発生する。基準局ではこの衛星基準バーストを受信し、地上網クロック f_0 (Hz)との位相誤差測定を行い、正規化位相誤差 s_n を検出する。この正規化位相誤差 s_n をもとに参考文献(10)

に述べるアルゴリズムによりマスタクロック周波数制御量 ω_n を導出する。マスタクロック周波数制御量 ω_n は衛星上に送信されD/A変換器に入力され、マスタクロック周波数が補正される。

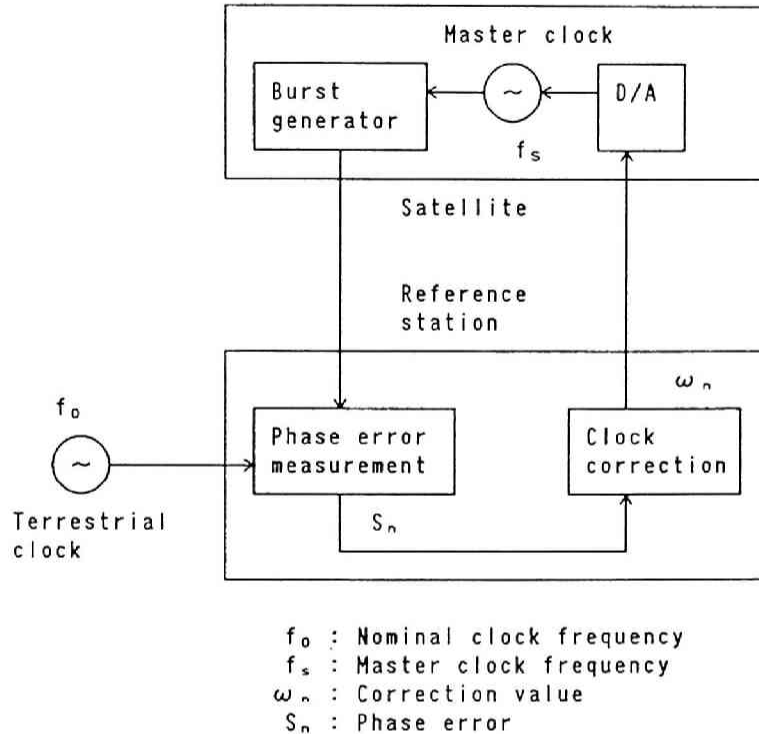


図 5. 2 マスタクロック周波数制御ループ

以下の節では、まずマスタクロック周波数制御間隔を検討する上で重要なマスタクロック位相誤差測定動作を参考文献(11)にもとづきモデル化を行う。次にマスタクロック周波数制御ループ内で発生する種々の誤差要素に起因したマスタクロックの残留周波数誤差について検討を行う。この検討結果からマスタクロック周波数制御間隔と残留周波数誤差の関係を明らかにし、制御間隔の最小化を図る。

5. 2. 1 マスタクロック位相誤差測定

図 5. 2 に示すように基準局においてマスタクロックと地上網クロックの位相誤差測定が行われる。マスタクロック位相誤差測定の回路構成を図 5. 3 に示す⁽¹¹⁾。この測定法では、地上網クロックから生成された基準フレームパルス P_e が基礎となる。この基準フレームパルスと受信フレームパルス P_r との時間差 T_r (s) を測定し、かつ送信フレームパルス P_t との時間差 T_t (s) を測定する。受信フレームパルスは衛星基準バーストを受

信した際のユニークワード検出パルスにより生成される。一方送信フレームパルスは自局同期バーストと衛星基準バーストの時間関係から正規位置からのずれを検出し送信タイミングを補正することにより得られる。すなわち基準局のバースト同期が確立している場合に得られる送信フレームパルスである。これら T_r 及び T_t をマスタクロック制御間隔 T 毎に測定し、その結果からマスタクロックの位相誤差測定を行う。

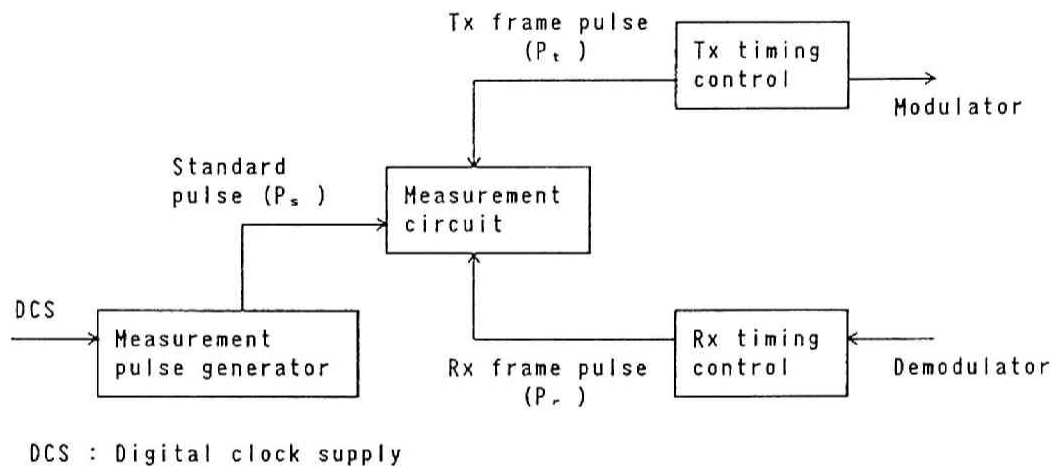


図 5. 3 マスタクロック位相誤差測定回路の構成

以下に正規化位相誤差 s_n を導出する。

本節以降の検討で用いる記号を以下のように定義する。

f_0 : ノミナルクロック周波数 (Hz)

$f_s(t)$: マスタクロック周波数 (Hz)

T : 制御間隔 (s)

$\rho_s(t) = (f_s(t) - f_0) / f_0$: 時刻 t におけるマスタクロックの正規化ドリフト量 ($\omega_n = 0$)

$\rho_n = \frac{1}{T} \int_{t_{n-1}}^{t_n} \rho_s(t) dt$: 時刻 t_{n-1} から t_n における $\rho_s(t)$ の平均値

$\rho_d(t)$: 時刻 t における正規化ドップラーシフト

$s_{t,n}$: 時刻 t における送信位相誤差の測定値 (s)

$s_{r,n}$: 時刻 t における受信位相誤差の測定値 (s)

ω_n : 時刻 t における正規化クロック補正值

P_s : 地上網クロックにより生成された基準フレームパルス時間位置 (s)

P_t : 送信フレームカウンタにより生成されたフレームパルス時間位置 (s)

P_r : 受信フレームカウンタにより生成されたフレームパルス時間位置 (s)

T_t : $P_t - P_s$ (s)

T_r : $P_r - P_s$ (s)

まずクロック補正值 ω_n を用いてマスタクロック周波数は次式で与えられる⁽¹⁰⁾。

$$f_s(t) = f_0 (1 + \rho_s(t) - \omega_n) \quad (5-1)$$

SS-TDMA方式では全ての地球局の送信するバースト信号が衛星上においてマスタクロックより生成されるIFスイッチ切り替え周期に同期する。従って正規化マスタクロック周波数が $(1 + \rho_s(t) - \omega_n)$ でドリフトすれば、各地球局の送信タイミングは上り回線でのドップラー効果 $\rho_d(t)$ を打ち消すように $(1 + \rho_s(t) - \omega_n - \rho_d(t))$ にバースト同期する。一方、下り回線は衛星上のタイミングにドップラー効果 $\rho_d(t)$ が相加されるため、各地球局の受信フレームタイミングは $(1 + \rho_s(t) - \omega_n + \rho_d(t))$ に同期する⁽¹⁴⁾。

以上のことから $t=t_{n-1}$ 及び $t=t_n$ における T_t (T_r) をそれぞれ T'_t (T'_r) と定義すると送信側、受信側のフレームタイミングドリフトに対して次式を得る。

$$T'_t - T_t = s_{t,n} = \int_{t_{n-1}}^{t_n} (\rho_s(t) - \omega_n - \rho_d(t)) dt \quad (5-2)$$

$$T'_r - T_r = s_{r,n} = \int_{t_{n-1}}^{t_n} (\rho_s(t) - \omega_n + \rho_d(t)) dt \quad (5-3)$$

従って、両者を平均化した正規化位相誤差 s_n は次式で与えられる。

$$\begin{aligned} s_n &= \frac{s_{t,n} + s_{r,n}}{2} = \frac{(T'_t - T_t) + (T'_r - T_r)}{2} \\ &= \int_{t_{n-1}}^{t_n} (\rho_s(t) - \omega_n) dt \end{aligned} \quad (5-4)$$

上式から明らかなようにマスタクロックの正規化位相誤差 s_n には、ドップラー効果の影響 $\rho_d(t)$ は除去されている。従ってこの s_n をもとにマスタクロックを制御することによりマスタクロック周波数の高安定化が可能となる。

5. 2. 2 マスタクロック周波数制御ループ⁽⁹⁾⁽¹⁰⁾

本節では前節で述べた位相誤差情報 s_n を用い、マスタクロック周波数制御ループを離散モデル化し、その時の残留周波数誤差について述べる。まず正規化周波数ドリフト $\rho_s(t)$ を離散モデル化するため次式で示す正規化平均周波数ドリフト ρ_n を用いる。

$$\rho_n = \frac{1}{T} \int_{t_{n-1}}^{t_n} \rho_s(t) dt \quad (5-5)$$

従って(5-4)式の正規化位相誤差 s_n は次式となる。

$$s_n = T(\rho_n - \omega_n) \quad (5-6)$$

s_n は時間 $t = t_{n-1} \sim t_n$ においてマスタクロックの正規化周波数ドリフト ρ_n と補正值 ω_n の差(正規化平均残留周波数誤差)を測定間隔 T の間積分したものとなる。

以上からマスタクロック周波数制御ループの離散モデルは図5.4で与えられる。但し、マスタクロック周波数の補正量 ω_n を算出する最適アルゴリズム $H(z)$ は参考文献(10)により次式で与えられる。

$$H(z) = \frac{2 - z^{-1}}{T(1 - z^{-1})^2} \quad (5-7)$$

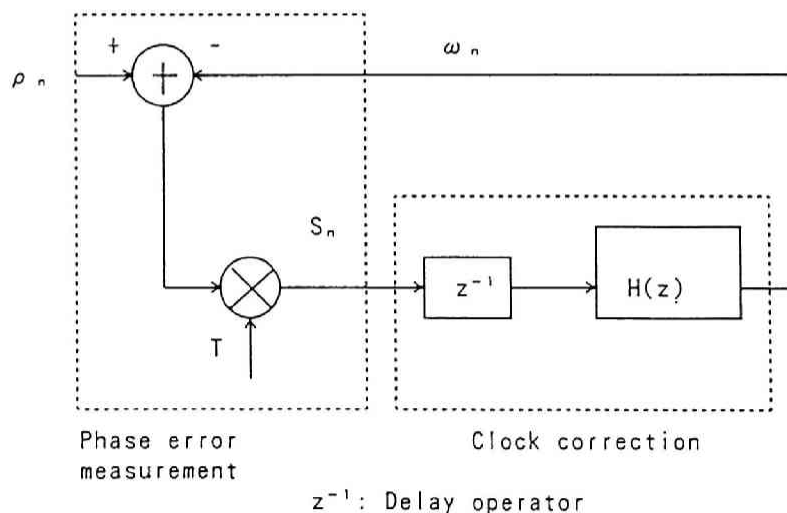


図5.4 マスタクロック周波数制御法 (理想モデル)

従って図5.4より $t=t_{n-1} \sim t_n$ におけるマスタクロックの正規化平均残留周波数誤差 $\Delta \overline{\omega}_n$ 及び $t=t_{n-1} \sim t_n$ 内での動的な正規化残留周波数誤差 $\Delta \omega_n$ は次式で与えられる。

$$\Delta \overline{\omega}_n = \rho_n - \omega_n \quad (5-8)$$

$$\Delta \omega_n = \rho_s(t) - \omega_n \quad (5-9)$$

ここでマスタクロック周波数のドリフト例として時間に関して1次近似すれば $\rho_s(t) = \alpha t$ となり、図5.4に示す制御ループの応答を示す正規化残留周波数誤差 $\Delta \omega_n$ は図5.5に示すように変化する。

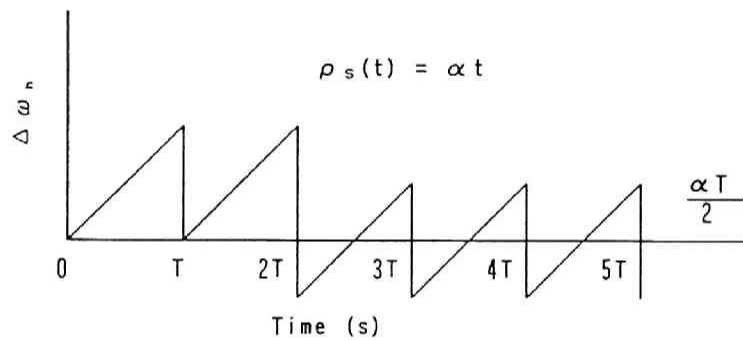


図5.5 クロック制御ループの応答

5. 2. 3 マスタクロック制御誤差

実際のハードウェアでマスタクロック周波数制御ループを構成した場合には図5. 4に示す理想モデルに加え、種々の誤差要因が存在する。これらマスタクロック周波数制御誤差に影響を与えるものとして次の3点が考えられる。

- (a) VCXOを制御するD/Aコンバータの量子化誤差
- (b) マスタクロックと地上網クロックの位相誤差測定時の誤差
- (c) 伝送路上の回線品質劣化

以下ではこの3点について詳細な検討を行う。

ここで図5. 4の理想モデルに(a)及び(b)の誤差要因 e_n 及び e'_n を加えた実モデルを図5. 6に示す。

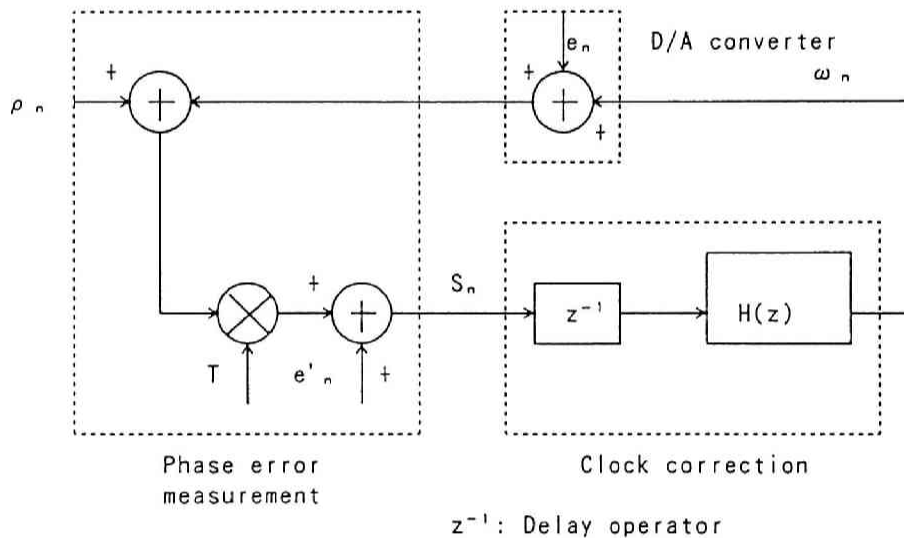


図5. 6 マスタクロック周波数制御法 (実モデル)

(a) VCXOを制御する D/Aコンバータの量子化誤差

D/Aコンバータの量子化誤差を e_n とする。 e_n のマスタクロック正規化残留周波数誤差に対する寄与分 $\delta\omega_n$ を算出するため ρ_n 、 $e'_n=0$ とおき、変数 s_n 、 e_n のZ変換を $S(z)$ 、 $E(z)$ で表現すると図5. 6より(5-10)式が得られる。

$$S(z) = \left\{ \frac{1}{T} \times \left[1 + \frac{1}{1 - z^{-1}} \right] \times S(z) \times \frac{1}{1 - z^{-1}} + E(z) \right\} \times (-T) \quad (5-10)$$

従って $S(z)$ は(5-11)式となる。

$$S(z) = -T (1 - z^{-1})^2 E(z) \quad (5-11)$$

よって、逆 Z 変換を行うと(5-12)式を得る。

$$s_n = -T (e_n - 2e_{n-1} + e_{n-2}) \quad (5-12)$$

正規化残留周波数誤差 $\delta\omega_n$ は正規化位相誤差 s_n を時間で微分すれば得られる。時間 $t = t_{n-1} \sim t_n$ において e_n, e_{n-1}, e_{n-2} は一定値であるため $\delta\omega_n$ は(5-13)式となる。

$$\delta\omega_n = -(e_n - 2e_{n-1} + e_{n-2}) \quad (5-13)$$

実際のD/Aコンバータ制御では量子化間隔を e とすると、有効桁の丸め込みを行うため $0 \sim e$ の量子化誤差が生じる。これは $e/2$ をオフセットとして、 $\pm e/2$ の一様分布と考えることができる。従って(5-13)式より $\delta\omega_n$ の最悪値として、オフセットがキャンセルされた(5-14)式が得られる

$$|\delta\omega_n| \leq 2e \quad (5-14)$$

また正規化残留周波数誤差 $\delta\omega_n$ の分散 $\sigma_{\delta\omega_n}^2$ は e_n, e_{n-1}, e_{n-2} が互いに独立事象であることと $\pm e/2$ の一様分布であることから次式を得る。

$$\sigma_{\delta\omega_n}^2 = e^2/2 \quad (5-15)$$

ここで変調感度を a (Hz/V)、電圧制御範囲 $\pm E$ (V)、D/Aコンバータのビット数を n とすると(5-16)式を得る。

$$e = a \times \frac{E}{2^{n-1}} \times \frac{1}{f_0} \quad (5-16)$$

図5.7に $\pm E = \pm 5$ (V)として a をパラメータとした $\sigma_{\delta\omega_n}$ の計算結果を示す。本論文では、ドップラー効果で決まる安定度以上の高安定度を目標としていることからドップラー効果(3×10^{-9})に対し $\delta\omega_n$ を無視できる程度に小さくするには16ビットのD/Aコンバータで十分であることがわかる。

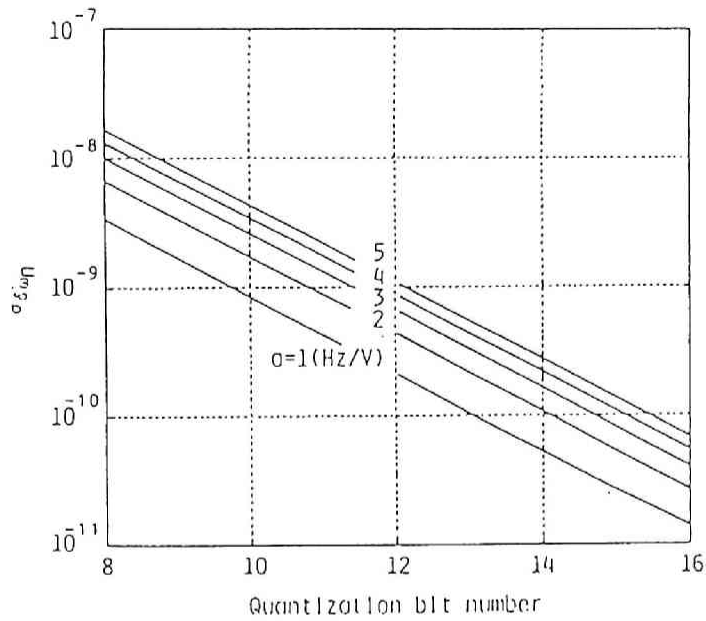


図 5. 7 D/A コンバータの量子化誤差の基づく
周波数制御誤差の標準偏差

(b) マスタクロックと地上網クロックの位相誤差測定時の誤差

マスタクロック位相差測定誤差 e'_n のマスタクロック正規化残留周波数誤差に対する寄与分 $\delta \omega'_n$ を算出するため、 $\rho_n = e_n = 0$ とすると正規化位相誤差 $S(z)$ は図 5. 6 より (5-17) 式になる。

$$S(z) = S(z) \times \left(1 + \frac{1}{1 - z^{-1}} \right) \times \frac{1}{T} \times \frac{1}{1 - z^{-1}} \times (-T) + E'(z) \quad (5-17)$$

よって (5-18) 式を得る。

$$S(z) = (1 - z^{-1})^2 E'(z) \quad (5-18)$$

従って逆 Z 変換を行うと (5-19) 式を得る。

$$s_n = e'_n - 2e'_{n-1} + e'_{n-2} \quad (5-19)$$

上式で e'_n は $t = t_{n-1} \sim t_n$ 測定後の位相誤差に寄与する項であることから、 $t = t_{n-1} \sim t_n$ 間のマスタクロック正規化残留周波数誤差 $\delta \omega'_n$ に対する位相誤差 s'_n は次式となる。

$$s'_n = 2 e'_{n-1} + e'_{n-2} \quad (5-20)$$

従ってマスタクロックの正規化残留周波数誤差 $\delta \omega'_n$ は正規化位相誤差 s'_n を時間で微分すれば得られる。 e'_{n-1} 及び e'_{n-2} は $t = t_{n-1} \sim t_n$ において一定値であるため次式を得る。

$$\delta \omega'_n = \frac{s'_n}{T} \quad (5-21)$$

すなわちマスタクロック位相差測定誤差にもとづくマスタクロック正規化残留周波数誤差 $\delta \omega'_n$ は測定間隔 T に逆比例して小さくなることを示している。ここでマスタクロックの正規化位相誤差 s'_n の標準偏差を評価する。(5-4)式より誤差 e'_n は次式で与えられる。

$$e'_n = \frac{(\Delta T'_r - \Delta T_r) + (\Delta T'_t - \Delta T_t)}{2} \quad (5-22)$$

但し、 $\Delta T'_r$ 、 ΔT_r 、 $\Delta T'_t$ 、 ΔT_t は各々 T'_r 、 T_r 、 T'_t 、 T_t 測定時の誤差である。ここで図5.2及び図5.3にもとづき測定誤差 $\Delta T'_r$ 、 ΔT_r 、 $\Delta T'_t$ 、 ΔT_t の発生要因とその特性について述べる。

受信側では次の動作により T'_r 、 T_r を測定する。まずマスタクロックをもとに衛星基準バーストが基準バースト発生器により生成される。次にこの衛星基準バーストが基準局にて受信されユニークワード検出が行われる。この時のユニークワード検出パルスは受信バーストクロックからシステムクロックへ乗り換えられ、受信フレームカウンタがリセットされる。最後に受信フレームパルスと基準フレームパルスの時間差 T_r が位相誤差測定用クロックにより計数される。

従って測定誤差 $\Delta T'_r$ 、 ΔT_r は次の要因より構成される。

- a) マスタクロックの短期安定度にもとづく周波数ドリフト : σ_1 (ns)
- b) 搭載基準バースト発生器のロジックジッタ : σ_2 (ns)
- c) 基準局における受信バーストクロックとシステムクロック間の
タイミング不確定 : $\pm Br_1$ (ns)
- d) 位相誤差測定クロックの分解能 : $\pm Br_2$ (ns)
- e) 受信タイミング測定回路のロジックジッタ : σ_3 (ns)

他方、送信側では次の動作により T'_t 、 T_t を測定する。まず送信フレームカウンタにもとづき自局同期バーストが送出される。次に衛星基準バーストと衛星折り返し自局同期バーストを受信することにより正規位置からのずれを検出して送信フレームカウンタを補正する。この動作によりバースト同期が維持される。この時送信フレームカウンタより生成される送信フレームパルスと基準フレームパルスの時間差 T_t は位相誤差測定用クロックにより計数される。従って、測定誤差 $\Delta T'_t$ 、 ΔT_t は次の要因より構成される。

- f) 送信タイミング測定回路のロジックジッタ : σ_4 (ns)
- g) バースト同期制御によるタイミングジッタ : σ_5 (ns)
- h) 位相誤差測定クロックの分解能 : $\pm Br_3$ (ns)

各測定誤差要因に関して $\sigma_1 \sim \sigma_5$ はガウス分布、 $Br_1 \sim Br_3$ は一様分布を仮定する。

図 5. 1 のネットワーク同期構成に示したように、基準局がマスタクロックの周波数誤差を測定する際にメトリック法⁽¹⁰⁾を用いず、搭載変調器を用いて直接マスタクロックを地球局に向け送信することから、従来方式と比較して e'_n はメトリック法による誤差分だけ小さくなっている。

以上からマスタクロック位相差測定誤差 e'_n にもとづく正規化位相誤差 s'_n の分散は次式で与えられる。

$$\sigma_{s'_n}^2 = 5 \left\{ \sum_{i=1}^5 2\sigma_i^2 + \frac{1}{3} \sum_{i=1}^3 Br_i^2 \right\} \quad (5-23)$$

測定クロックと正規化位相誤差 s'_n の標準偏差 $\sigma_{s'_n}$ の関係の典型的な例を図 5. 8 に示す。

パラメータはロジック回路を構成した場合のタイミングジッタ等であり参考文献(5)の値を用いている。同図のパラメータの設定では位相誤差測定回路のクロック分解能 B_{r2} , B_{r3} が約100nsより大きい時には、クロック分解能が支配的となり、約100nsより小さい時にはバースト同期制御によるタイミングジッタ σ_s が支配的となる。測定クロックの分解能はマスタクロック位相誤差測定回路の構成と関係する。この回路を簡易に構成するためにはTTL, CMOS等の論理素子が使用できる動作速度が望ましい。従って使用する動作速度を数MHz~10MHzとすると、測定クロックの分解能 B_{r2} , B_{r3} は50~200ns程度となる。以上から正規化位相誤差 s'_n の標準偏差 $\sigma_{s'_n}$ としては、100~500ns程度を考慮すれば良いことになる。正規化位相誤差 s'_n の標準偏差 $\sigma_{s'_n}$ からマスタクロック位相差測定誤差 e'_n にもとづく正規化残留周波数誤差の標準偏差 $\sigma_{\delta\omega'_n}$ は次式で与えられる。

$$\sigma_{\delta\omega'_n} = \frac{\sigma_{s'_n}}{T} \quad (5-24)$$

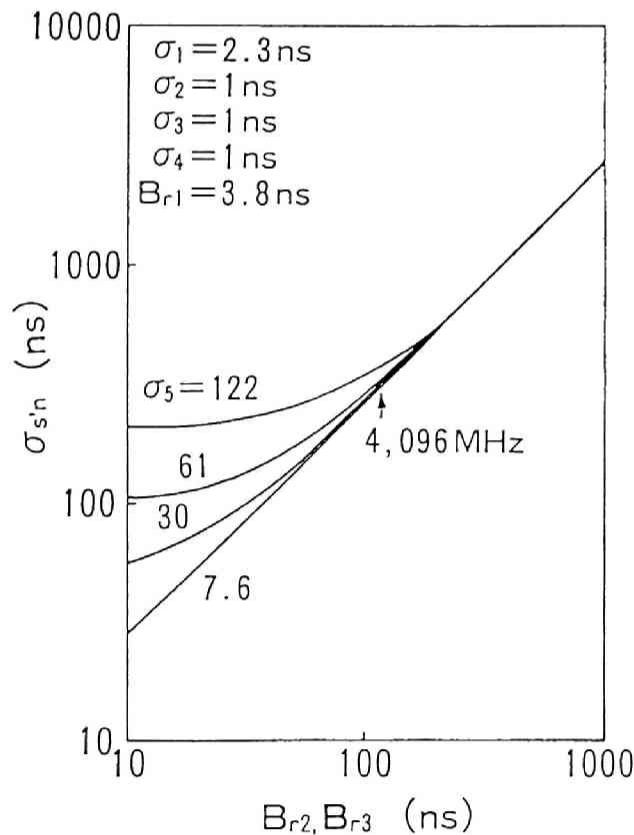


図5.8 測定クロックの分解能(B_{r2} , B_{r3})と $\sigma_{s'_n}$ の関係

(c) 伝送路上の回線品質劣化

伝送路上の回線品質劣化にもとづくマスタクロック周波数制御誤差の要因として次の2つがある。

①ユニークワード不・誤検出特性

本論文で採用する位相誤差測定法では基準局における送信フレーム及び受信フレームを利用する。従って符号誤りによるこれらフレームタイミングを決定するユニークワード検出率の劣化を評価しておく必要がある。一方、一般に衛星通信システムではユニークワードの不検出・誤検出は回線断規格符号誤り率（例えば 10^{-4} ）において、4相PSK変調絶対同期検波方式を用い、符号化率 $r = 1/2$ 、拘束長 $k = 4$ のたたみ込み符号化、3ビット軟判定ビタビ復号方式を用いた場合には、理論 E_b/N_0 は約2dBに相当し、48ビットのユニークワード長では 10^{-7} 程度の不・誤検出率が得られる⁽¹⁵⁾⁽¹⁶⁾。従って、この程度の不・誤検出率であれば回線品質劣化が位相誤差測定に与える影響は無視できると考えられる。ただし、1つの基準局で回線断規格符号誤り率 10^{-4} を割るような回線品質劣化を生じた場合には他の基準局へ交替するシステム運用が必要である。

②制御情報伝送の符号誤り特性

基準局にて検出したマスタクロック位相誤差にもとづき算出したマスタクロック周波数制御量 ω_c は基準局から衛星に向け送信される。この上り回線においても下り回線同様の変復調方式と誤り訂正方式を用いるため、回線断規格符号誤り率 10^{-4} は理論 $E_b/N_0 = 2$ dBに相当する。データ通信においては受信データのエラーフリーを保証するために通常HDLC(High Level Data Link Control)等が用いられており、本方式においても同様な制御手順を用いれば、制御情報伝送上の符号誤り率の影響は無視できる。しかし、①の場合と同様に回線断規格符号誤り率 10^{-4} を割るような回線品質劣化を生じた場合には基準局交替によるシステム運用が必要である。

以上から誤差要因として(c)の影響は方式構成上の工夫により無視でき、前述の2項目(a)及び(b)が制御誤差に影響を与えることが分かる。

5. 2. 4 最適制御間隔

前節で述べた理由によりマスタクロック位相差測定誤差 e' のもとづく正規化残留周波数誤差 $\delta\omega'_n$ の標準偏差 $\sigma_{\delta\omega'_n}$ は制御間隔 $1/T$ で小さくなる。一方図5. 5に示すように制御間隔 T が大きくなれば、マスタクロックのドリフトによる残留周波数誤差は大きくなる傾向にある。ここでマスタクロックに使用する水晶振動子の周波数経時変化特性が重要となる。一般に、水晶振動子は水晶振動体に発生した歪が原因となり数百日に及ぶ長期周波数エージング特性を有し、この期間はほぼ1次近似可能な周波数ドリフト特性を示し、その後は水晶振動体への温度変化や電極金属などの水晶振動体への拡散等が支配的となって緩やかな周波数ドリフトを生じることが知られている⁽¹⁷⁾。従ってマスタクロックのドリフトを1次近似するモデルの適用範囲は初期の数百日に対して最も有効である。その後の緩やかな周波数ドリフトに対しても短期的にみれば1次近似可能であるため、以下の検討ではマスタクロックのドリフトを $p_s(t)=\alpha t$ とする。この時のマスタクロック周波数制御ループ応答は図5. 5であり、短期安定度は最大 $\alpha t/2$ となる。ここでマスタクロック周波数制御ループは線形システムであるため、マスタクロックの総合正規化残留周波数誤差 $\Psi(T)$ は各要素の和で与えられ、次式を得る。

$$\Psi(T) = \frac{\sigma_{s'n}}{T} + \frac{\alpha T}{2} \quad (5-25)$$

但し上式では、D/Aコンバータの量子化ビット数を16ビット以上として、 $\delta\omega_n$ の影響は無視している。従って $\Psi(T)$ の極値を与える条件 $d\Psi(T)/dT=0$ より最適制御間隔 T は次式となる。

$$T = \sqrt{\frac{2\sigma_{s'n}}{\alpha}} \quad (5-26)$$

$\sigma_{s'n}$ をパラメータとし、マスタクロックの初期安定度を $\alpha=1.6 \times 10^{-9}/\text{day}$ とした場合の $\Psi(T)$ を図5. 9に示す。

図5. 9より1000~2000秒の点で $\Psi(T)$ を最小にする点を与えられる。すなわち本方式による最適制御周期は従来の1恒星日より1桁以上小さくなる。また、その時の制御精度は従来方式と比較して1桁以上向上する。

一方、マスタクロックが数百日に及ぶ長期周波数エージング特性を経た後、緩やかな周

波数ドリフトを生じた場合には、最適制御間隔は図5.9で与えられる値より長くなる。但し、正規化位相誤差の標準偏差を $\sigma_{s'n} = 300 \text{ ns}$ と仮定した場合には、(5-26)式からマスタクロックが $\alpha = 7 \times 10^{-12}/\text{day}$ より安定度の低い範囲内において1恒星日より短い周期で制御する必要がある。

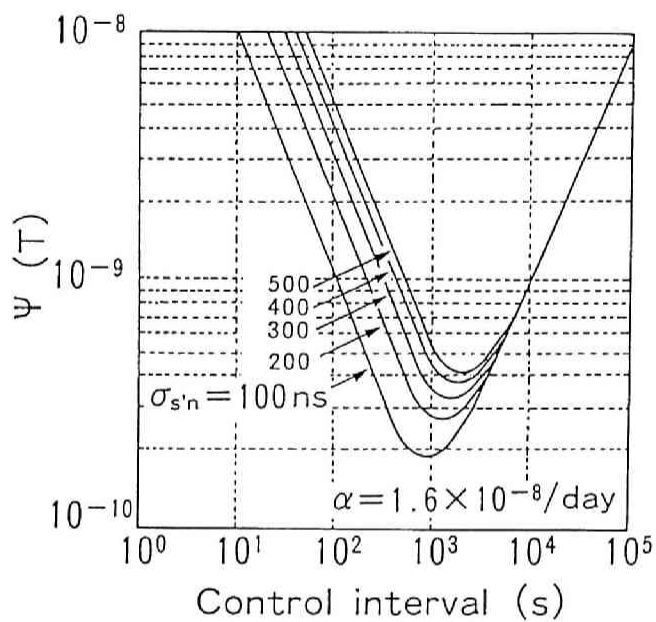


図5.9 周波数誤差と制御間隔

5.3 実験結果

図5.1に示す衛星上マスタクロック、変調器、基準局SS-TDMA装置及び従局SS-TDMA装置からなるネットワーク同期ループを構成し、マスタクロック周波数制御の実験を行った。基準局におけるマスタクロック周波数制御フローを図5.10に示す。

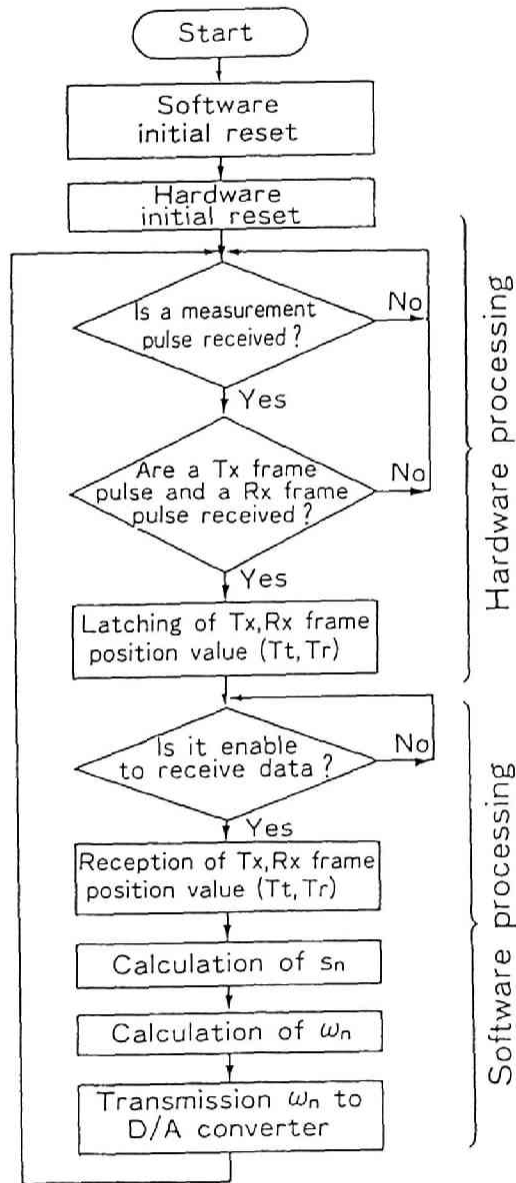


図5.10 マスタクロック周波数制御フロー

基準局では送受信フレームパルスを利用して、ドップラー効果を除去したマスタクロック正規化位相誤差 s_n を測定し、制御量 ω_n を算出する。実験装置では測定パルス P_s の基準発振器として $\pm 3 \times 10^{-2}$ 以下の長期安定度を有するセシウム発振器を用いており、送信フレームパルス P_t 、受信フレームパルス P_r と P_s の時間間隔は、4.096MHzの測定クロックでハードウェア的に測っている。測定結果は8ビットマイクロプロセッサ6809によってソフトウェア処理され、約1msの処理時間の後に、制御量 ω_n が16ビットD/Aコンバータへ出力される。

前節で最適制御間隔について述べたように、注目すべき安定度は約十分～数時間のVCXOの安定度である。実験で使用したマスタクロックは恒温槽入りもので図5.11に示すような初期周波数安定度であり、1次ドリフトと近似すると $1.6 \times 10^{-9}/\text{day}$ 相当の安定度を有する。

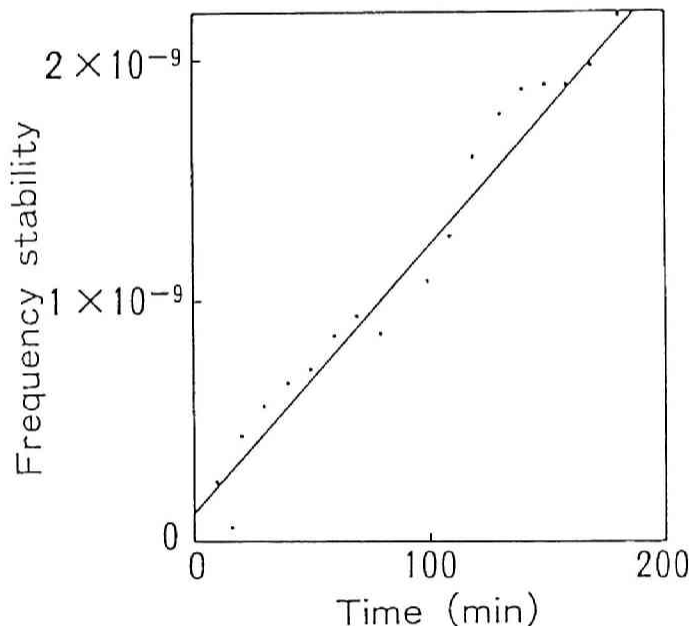


図5.11 VCXOの周波数安定度

制御周期 $T=104$ 秒、1680秒、3360秒とした場合の定常状態におけるマスタクロックドリフト変化量を図5.12、13、14に示す。図5.12より、 $T=104$ 秒では測定クロックの分解能による誤差 $\delta \omega'_n$ が支配的となり、マスタクロックのドリフトの影響はほとんど見られない。一方、図5.14では $\delta \omega'_n$ の影響よりマスタクロックのドリフトの影響が顕著となっている。最適制御間隔付近の $T=1680$ 秒ではマスタクロックのドリフトに加え $\delta \omega'_n$ の影響もみられる。

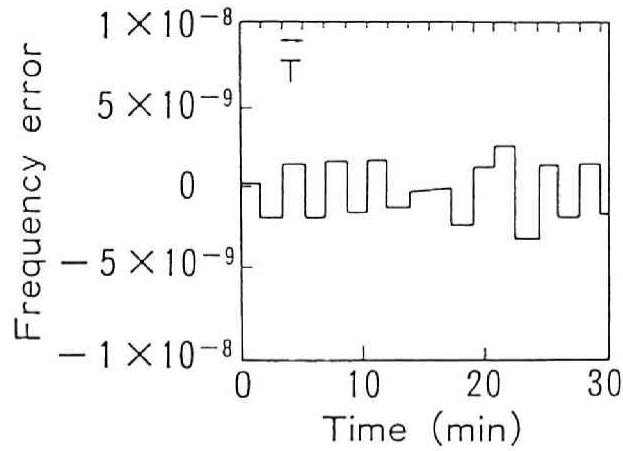


図 5 . 12 定常状態でのマスタクロック
周波数誤差 ($T = 104\text{sec}$)

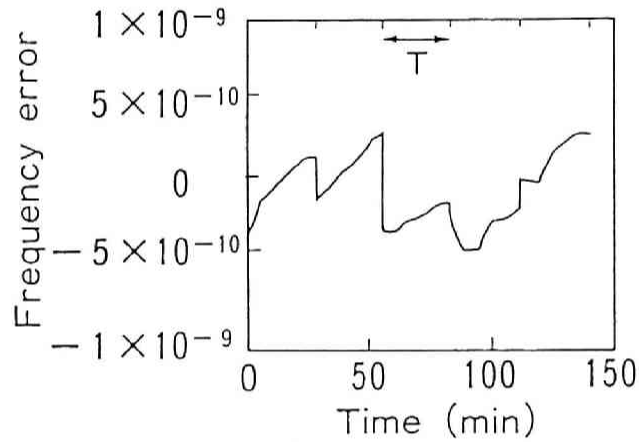


図 5 . 13 定常状態でのマスタクロック
周波数誤差 ($T = 1680\text{sec}$)

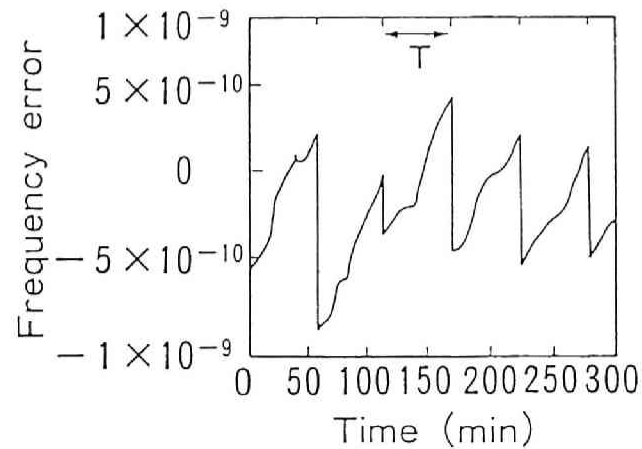


図 5 . 14 定常状態でのマスタクロック
周波数誤差 ($T = 3360\text{sec}$)

制御間隔を52秒～3360秒まで可変とした時の短期安定度の標準偏差を図5. 15に示す。4.096MHzの測定クロックでマスタクロックのドリフト量を測定した場合には、図5. 8より $\sigma_{s'_n} = 350\text{ns}$ となるが、実験値では理論値よりもやや小さな値となっている。これは理論解析において、誤差要因 $\Delta T'_r$, ΔT_r , $\Delta T'_t$, ΔT_t , e_n , e_{n-1} , e_{n-2} , が全て独立事象であると仮定したが、実際には相関があるためと考えられる。従って、実験値は $\sigma_{s'_n} = 350/2 \sim 350\text{ns}$ の範囲に分布している。

一方、マスタクロックを制御するD/Aコンバータとして16ビットのものを使用し、マスタクロックは $a=2.7\text{Hz/v}$ の周波数感度を有するものを使用していることから、D/Aコンバータの量子化誤差による正規化残留周波数誤差 $\delta\omega_n$ の標準偏差は $\sigma_{\delta\omega_n}$ は

$$\sigma_{\delta\omega_n} = 4 \times 10^{-11} \quad (5-27)$$

となり無視できる。

以上から、4.096MHzによるマスタクロックのドリフト測定、16ビットD/Aコンバータ、初期周波数安定度 $1.6 \times 10^{-8}/\text{day}$ のマスタクロックという条件では、約1600秒程度の制御間隔が最適であるということを示している。この時には 3×10^{-10} 以下の短期安定度が実現できる。同様の条件にて従来の1恒星日による制御では、 8×10^{-9} の短期安定度となることから、本制御方式により安定度が1/27に改善されることが分かる。

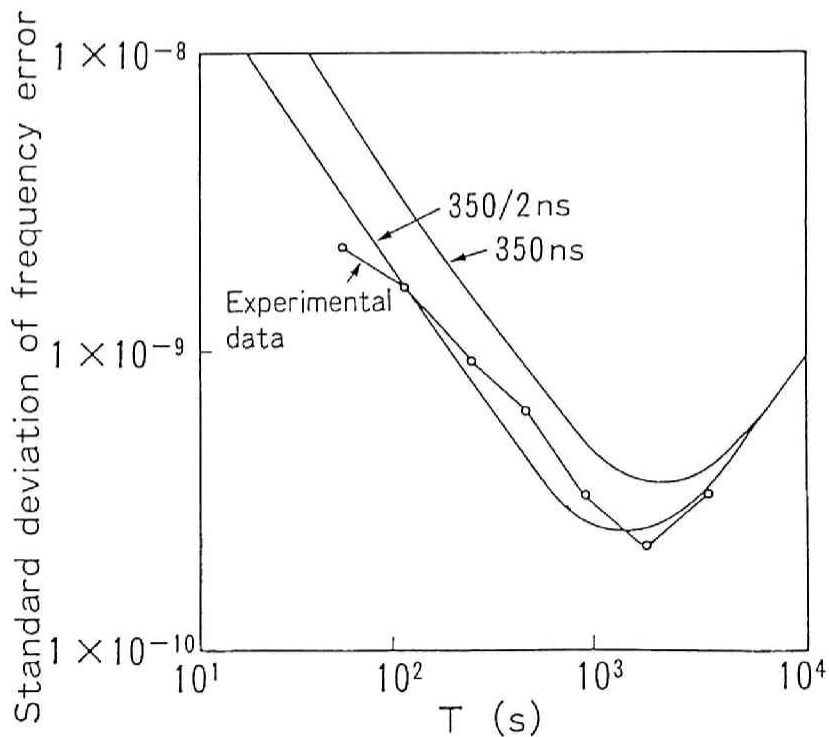


図5. 15 制御周期Tに対する周波数誤差の標準偏差（実験値）

5. 4 むすび

SS-TDMA方式または衛星上再生中継TDMA方式を実現するために、衛星上に搭載されたマスタクロックを地上の高安定なクロック網に同期させる必要がある。従来の方法では長期的には地上網の安定度 10^{-11} に同期させることができるが、短期安定度に対する考慮はなされていなかった。

本章では長期的には地上網の安定度 10^{-11} に同期させ、かつ短期安定度を高めるためマスタクロック制御間隔の最適化について検討を行った。また、実験によって、マスタクロックが初期安定度 $1.6 \times 10^{-8}/\text{day}$ を有する場合には約1600秒の制御間隔で 3×10^{-10} の短期安定度を実現できることを示した。すなわち従来方式と比較し短期安定度を1/27に改善できることを明らかにした。

また本章の方法を用いればマスタクロック周波数安定度が数百日に及ぶ長期周波数エージング特性を経た後、緩やかな周波数ドリフトを生じた場合でも、マスタクロックのドリフト量が $\alpha = 7 \times 10^{-12}/\text{day}$ より安定度の低い範囲内においては1恒星日より短い周期で制御する必要がある。

第6章 時分割多元接続装置の小型・高信頼化

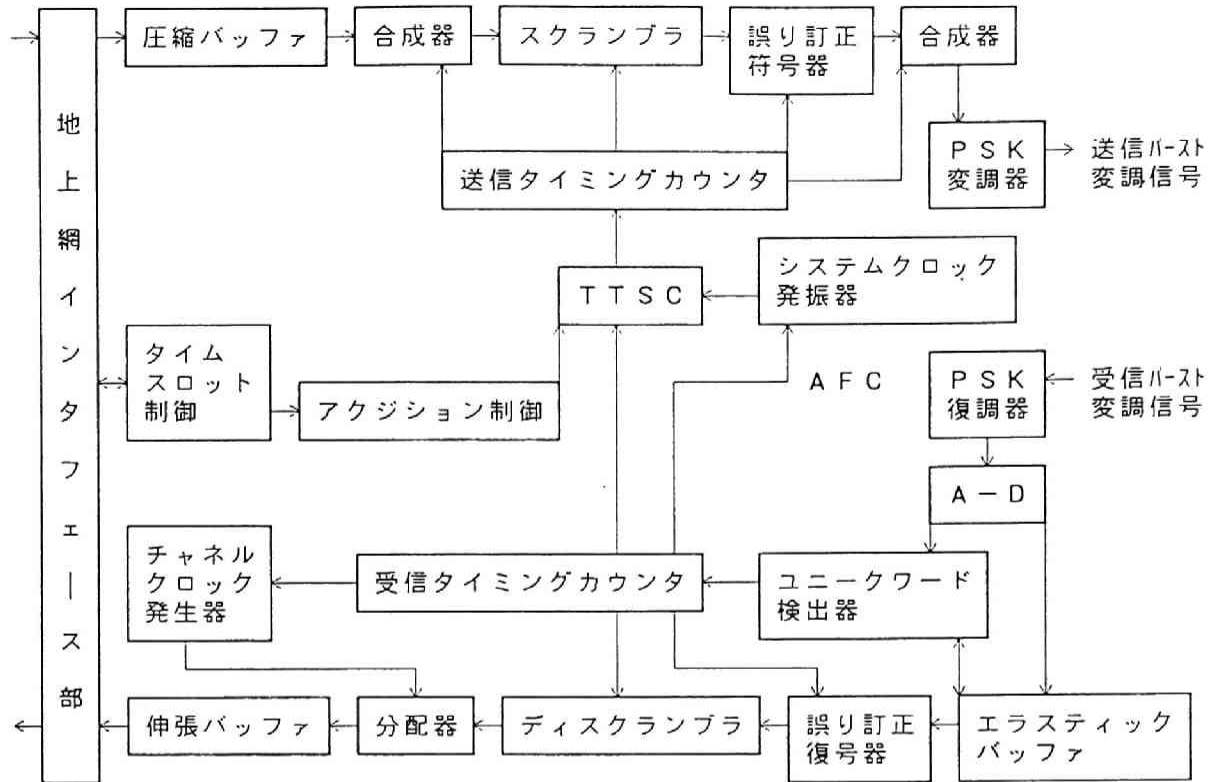
6.1 まえがき

LSI技術の長足の進歩にともない、各種通信装置のLSI化が多くの機関で進められている。この目的は主として装置の小型化・経済化及び高安定化にある。装置規模が比較的小さい場合にはそのLSI化も容易であり、開発期間も多くを必要としない。一方、複雑な機能を実現する架構成となるような大規模通信装置のLSI化は、多数のLSIで装置としての機能を実現する必要があること及び、仮にLSIが開発されたとしてもメモリ等の汎用LSI又は端末LSI等と異なり、生涯生産数が著しく少ないことから、開発コストに見合う経済性の達成に疑問があり、現在までのところあまりなされていない。

本章では、まず時分割多元接続(TDMA)装置の構成について述べ、そのLSI化手法について検討を行う。次に衛星搭載用TDMA装置の構成法とそのLSI化手法について検討を行う。

6.2 時分割多元接続(TDMA)装置構成

TDMA衛星通信方式は1960年代にその有効性・方式の実現性が確認されて以来、同期制御方式・装置構成法等種々の観点から検討されてきた。TDMA装置の構成例を図6.1に、主要諸元例を表6.1に示す⁽¹⁾⁽²⁾⁽³⁾⁽⁴⁾。ここで対象とするTDMA方式はクロック速度25MHzで64kbps回線320chのデマンドアサインシステムである。一般にTDMA装置は変復調部⁽⁵⁾、同期制御部⁽⁶⁾および地上網インタフェース部⁽⁷⁾⁽⁸⁾から構成される。以下の検討は同期制御部を中心に行う。



AFC : 自動周波数制御 TTSC : 送信タイミング蓄積カウンタ

図6.1 TDMA装置の構成例

表6.1 TDMAシステムの主要諸元

地球局	基準局 : 2局
	従局 : 210局
変復調方式	QPSK-同期検波
誤り訂正	畳み込み符号化—ビタビ復号 (符号化率1/2, 拘束長4)
クロック速度	25.024MHz
伝送容量	64kbps×320ch/トランスポンダ
地上網インタフェース	8.192Mbps 局内インタフェース
回線割当	チャネル単位デマンドアサインメント

6. 2. 1 T D M A 同期制御部における信号処理概要

(1) 送信部信号処理の概略

地上網または端末からの信号は圧縮バッファ (Compression Buffer) により圧縮され、コンバイナ (Combiner) にて制御信号等と合成される。

次にスクランブル・誤り訂正符号化の後、プリアンブルと合成される。合成信号は送信タイミング制御信号に従い搬送波をバースト変調する。

(2) 受信部信号処理の概略

受信 Q P S K 復調された信号は誤り訂正のため、3 ビット軟判定 (A/D 変換) され、あおの M S B ビットを用いてユニークワード検出器にてユニークワードを検出する。このユニークワード検出パルスをもとに受信フレーム同期を確立しデータバーストを受信するとともに、エラスティックバッファ (Elastic buffer) にて時間的なゆらぎのあるバーストクロックから高 S/N 比のシステムクロックへ受信データを読み替える。次にビタビ復号器 (Viterbi decoder) で誤り訂正後、デスクランブルを来ない、分配器にて通信信号と制御信号を分離する。この通信信号のみが伸張バッファ (Expansion buffer) にて伸張され地上網・端末へ連続信号として伝送される。

6. 2. 2 T D M A 装置同期制御部の主な回路

① エラスティックバッファ

時間的にゆらぎがありまた位相ジッタのある再生バーストクロックかた T D M A 装置のシステムクロックに受信データを読み替える (クロックリタイミング) 回路であり、また受信フレーム上ガードタイム内の受信データ位置変動の修正 (バースト位置リタイミング) を行う。受信での本エラスティックバッファの位置づけは図 6. 2 に示すように一般に以下の 3 種が考えられる。

(i) ユニークワード検出回路の直後

(ii) 誤り訂正回路の直後

(iii) 伸張バッファと兼用

図 6. 2 は誤り訂正に 3 ビット軟判定信号 (I, Q 計 6 系列信号) を使用した場合の例であり、(ii) 方式によるエラスティックバッファのハードウェアは (i) 方式に比較し約 1/6 になる。一方、3 ビット軟判定を行わない場合には (i) 方式と (ii) 方式とのエラスティックバッファハードウェア上の差はない。(iii) は伸張バッファにエラスティック

バッファの機能を持たせる方式であり、最もハードウェア量は小となるが、ユニークワード検出後伸張バッファの入力までS/Nの悪いバーストクロックで動作することが必要となる。実際の装置では、これらを勘案しエラスティックバッファの位置づけを決める。エラスティックバッファの基本的構成は「直並列変換+並直列変換」回路であり直並列変換段数分のバースト位置誤差修正が可能である。

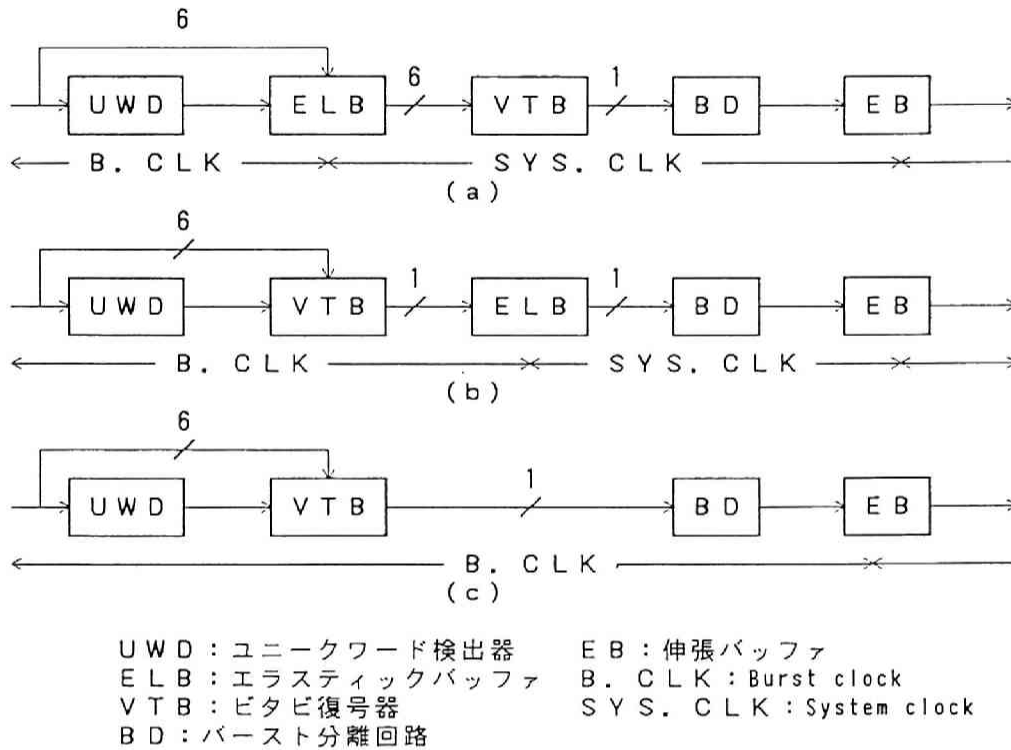


図 6. 2 エラスティックバッファの位置づけ
 (QPSK, 3ビット軟判定処理)

② ドップラーバッファ

衛星のドップラー変動を吸収するために使用されるバッファはドップラーバッファと呼ばれる。ドップラーバッファの容量は衛星軌道保持精度、衛星位置等によって異なり例えばCS-3クラスの軌道保持精度で日本をサービス域とする場合には約±100μsを考慮する必要がある。このようなドップラーバッファを実現する方法には以下の2種が考えられる。

(i) ドップラーバッファ機能を個別ハードウェアとして実現する方法

(ii) ドップラーバッファの機能を伸張・圧縮バッファに同時に持たせる方法

通常は(ii)の方法で構成されることが多い。

③ 伸張／圧縮バッファ

通常これらバッファは2面または3面構成RAMにより実現され伸張／圧縮とも同様の構成である。伸張バッファを3面構成のRAMで実現する場合の構成例を図6.3に示す。地上PCM信号アドレスカウンタで書き込み用RAMを選定すると同時に巡回する3面のRAMのうち地上側で選定したRAMからみて最も遠いRAMを衛星回線アドレスカウンタで選定する。このように3面のバッファを順次選択することにより、信号の欠落を伴わず圧縮を行う。

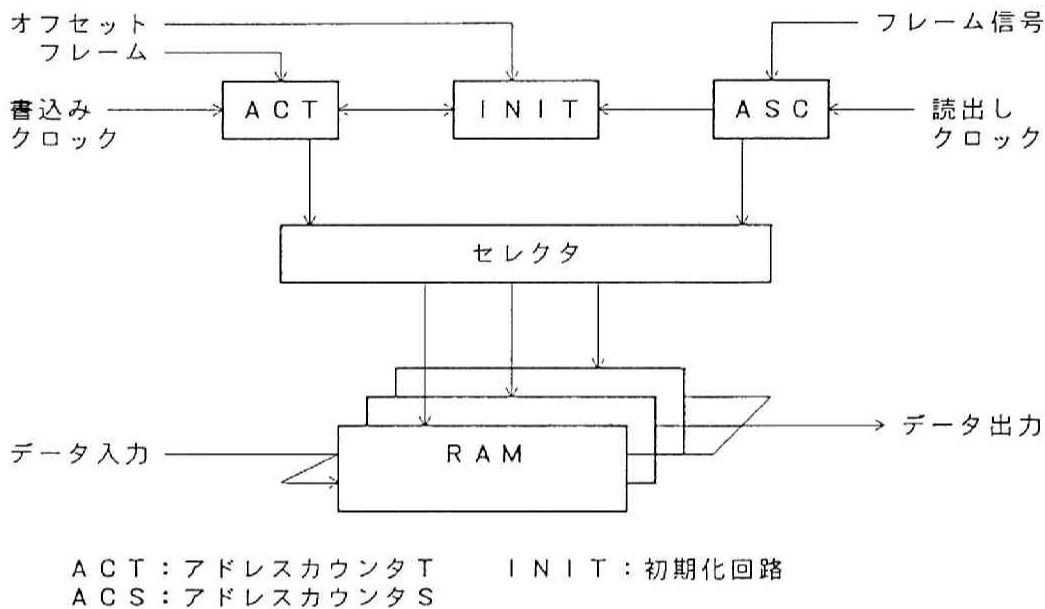
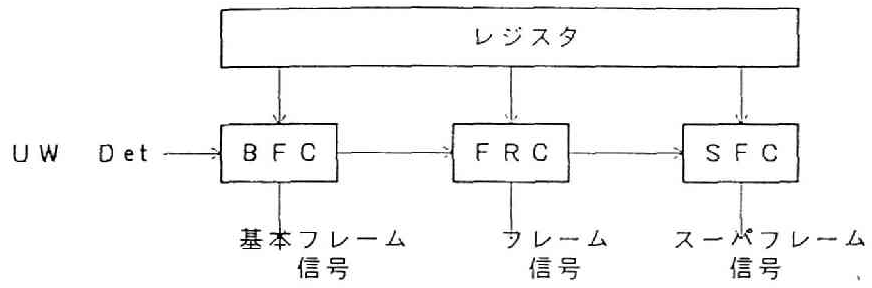


図6.3 圧縮（伸張）バッファの構成

④ 受信／送信同期回路

基本受信同期回路の構成例を図6.4に示す（3層フレーム構成の場合）。受信同期回路の基本はユニークワード検出（UW DET）信号でリセットされる基本フレームカウンタ、フレームカウンタ、および超フレームカウンタである。各フレームカウンタは自局が受信すべき受信フレーム時刻に対応してあらかじめ設定されたレジスタ値との一致時にそれぞれのフレームパルスを出力する。

送信同期回路の構成も基本的には受信同期回路の構成と同じであるが、カウンタのリセット信号がユニークワード検出信号でなく、受信同期回路を経て得られる送信フレーム開始信号となる。



UW Det : ユニークワード検出信号
 BFC : 基本フレームカウンタ
 FRC : フレームカウンタ
 SFC : スーパーフレームカウンタ

図 6. 4 基本受信同期回路の構成

6. 3 TDMA装置のLSI化手法⁽⁹⁾⁽¹⁰⁾

TDMA装置の研究・開発が開始されて以来約20年が経過し各種国内および国際通信化が重要であり、種々研究が進められてきた。第一世代である初期のTDMA装置は個別ICを用いて「オーダーメイド」で設計されており汎用性はなかった。また1ICあたりのメモリ容量も小さいことから大きな装置となっていた。一方、次の世代(第二世代)はマイクロプロセッサのTDMA装置への適用が種々検討され、低速処理部の大幅な小型化及びTDMA装置のフレキシブルな運用が可能となってきた。しかし同期制御部のうち高速処理部は依然、個別ICにより構成されていた。従来検討されてきたTDMA装置小型・経済化の手法はいずれもLSI技術の主要産物の一つであるマイクロプロセッサを駆使するアプローチであるが、同期制御部についてはUW検出回路、ビタビ復号回路等の基本的に1シンボル分解能で動作すべき部分が非常に多くクロック数MHz程度以上の装置に本手法を適用することは現時点では非常に困難である。また、仮に並列処理により実現できたとしても、ハードウェア量が並列処理のために2倍、3倍となり装置の小型化には必ずしも適さない。

これらの問題点を解決するに当たり、近年著しく進歩したLSI技術の採用が考えられるが、同期制御部はTDMA装置の中でも送信部・受信部が絡み合う最も複雑な部分であり、ハードウェア/ソフトウェア処理の最適配分等の体系化はあまりなされていなかった。そこでLSI化に適した新しいアーキテクチャの構築、各種機能のモジュール化を図り各LSIが汎用的に使用できるようにした。特にTDMA装置のアーキテクチャはハードオリエンティッドとして、装置ごとのソフトウェア設計を必要とせずに同種LSIを繰り返し利用することにより、設計およびデバッグ期間を短くできる構成とした。具体的には、同期制御部基本機能の抽出、ハード/ソフトウェア処理部の分離、LSI化に適した同期制御部構成法の考案、および各種機能のLSIへの最適配分を行い、LSI化を図った⁽¹¹⁾⁽¹²⁾⁽¹³⁾。

またLSI化を進める際に重要な点は、局設置型通信装置用LSI等いわゆる「システムLSI」はメモリ、端末等の汎用LSIに比較し、生涯生産数が著しく少ないことからその価格が割高となることである。従ってLSI化の目的のひとつである装置の経済化のためには、①開発コストが低いこと、②開発したLSIはシステムパラメータの異なる種々のシステムに汎用的に使用できること、③所要LSI数(システム)が少ないこと、が満たされるべき条件となる。

6. 3. 1 デバイスの選択

LSI化のデバイス候補としてはCMOS、Bipolar(ECL)及びGaAsがある。これらのデバイスの選択は①集積度、②速度(ゲート遅延)、③消費電力の観点から評価する必要がある。現時点ではCMOSは約50kゲート、Bipolarは20kゲート弱、GaAsは10kゲート弱の集積度が達成されている。しかしながら、Bipolar LSIの使用可能なゲート数は熱的問題から上述の数分の一程度とならざるを得ない。またGaAsも商用レベルの集積度は研究レベルの数分の一となる。

以上よりCMOS LSIの実質的に使用可能なゲート数(ノチップ)は他のデバイスより約1桁大きいと言える。一方CMOSデバイスのゲートあたりの遅延はBipolarデバイスの約5倍、GaAsデバイスの約10倍大きい。しかし所望する最高動作速度が30MHz程度以下であればCMOSデバイスで十分実現可能である。従って、現時点において所要(又は所要機能を分割した)ゲート数が約20kゲート/チップ以下の場合には低価格、高ターンアラウンドタイムのCMOSマスタスライスLSIが適していることが分かる。以上より同期制御の各基本機能が10kゲート以下程度であることを考慮すると、これらをLSI化するためのデバイスとしては現時点ではCMOSマスタスライスLSIとし、高速化に対してはLSIの並列処理により対応する方法が適していると言える。

6. 3. 2 基本機能の抽出と最適機能配分

TDMA装置同期制御部をLSIにて構成する場合、最大の問題はどの機能をハードウェアで実現し、どの機能をソフトウェアで実現するかである。またどの機能をどの形態でLSIに取り込むか、何種類のLSIを開発すべきかである。6.1節で述べたように、TDMA装置同期制御部を実現するためには多数の機能が必要である。種々のTDMAシステムに適用可能な汎用性を有するLSIを実現するため、基本機能を吟味し、注意深く抽出した。抽出されたTDMA装置同期制御部の基本機能は以下の12項目である。

- ① 送信タイミング制御
- ② データ圧縮
- ③ バースト信号合成とスクランブル
- ④ 畳み込み符号化
- ⑤ プリアンプルの生成
- ⑥ 初期アクジション制御

- ⑦ 受信タイミング制御
- ⑧ ユニークワード検出
- ⑨ エラスティックバッファ制御
- ⑩ ビタビ復号
- ⑪ デスクランブルとバースト信号分離
- ⑫ データ伸張

次に汎用TDMA LSIを開発する基本的手法を図6.5に示す。

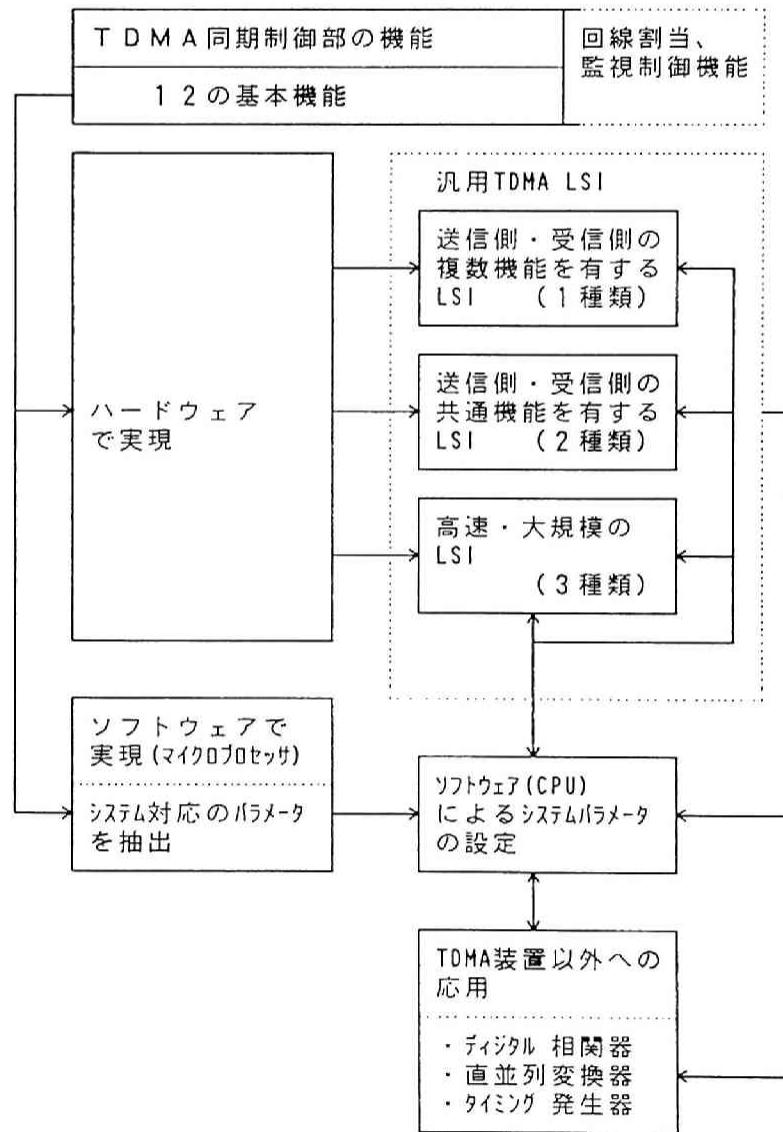


図6.5 汎用TDMA LSI開発の基本的手法

本方法において、12の基本機能は2つのグループに分類される。一つはハードウェアによって構成されるものであり、他方はマイクロプロセッサによりソフトウェアで構成されるものである。汎用TDMA LSIを実現し、開発するLSIの種類を削減するため、以下の2つの方法を取った。

(1) 送信側と受信側で使用する同一種類の複数機能を一つのLSIで実現。

(バースト信号合成とスクランブル、デスクランブルとバースト信号分離)

(2) 送信側と受信側で共通に使用する機能を1種類のLSIで実現し、実際には2個をそれぞれ送信側と受信側で使用。

(データ圧縮とデータ伸張、送信タイミング制御と受信タイミング制御)

また動作速度が早く、1機能当たりのゲート数が大きいものに関しては1LSIに1機能とした(ユニークワード検出、エラスティックバッファ制御、ビタビ復号)。

開発したCMOSマスタスライス(2 μ mルール)LSIの種類は以下に示す合計6種類であり、これらのLSIはマイクロプロセッサからの初期パラメータ設定により、各種TDMAシステムに対応可能である⁽¹⁴⁾⁽¹⁵⁾⁽¹⁶⁾⁽¹⁷⁾。一例としてユニークワード検出器LSIのパラメータ設定機能を表6.2に示す。

① BCD (Burst Combiner and Divider) LSI	: 5 kゲート
② TMC (Timing Control) LSI	: 4 kゲート
③ CEB (Compression/Expansion Buffer control) LSI	: 3 kゲート
④ UWD (Unique Word Detection) LSI	: 5 kゲート
⑤ ELB (Elastic Buffer control) LSI	: 2 kゲート
⑥ VTB (Viterbi Decoder) LSI	: 8 kゲート

また以上述べた12の基本機能とLSIとの関係を図6.6に示す。

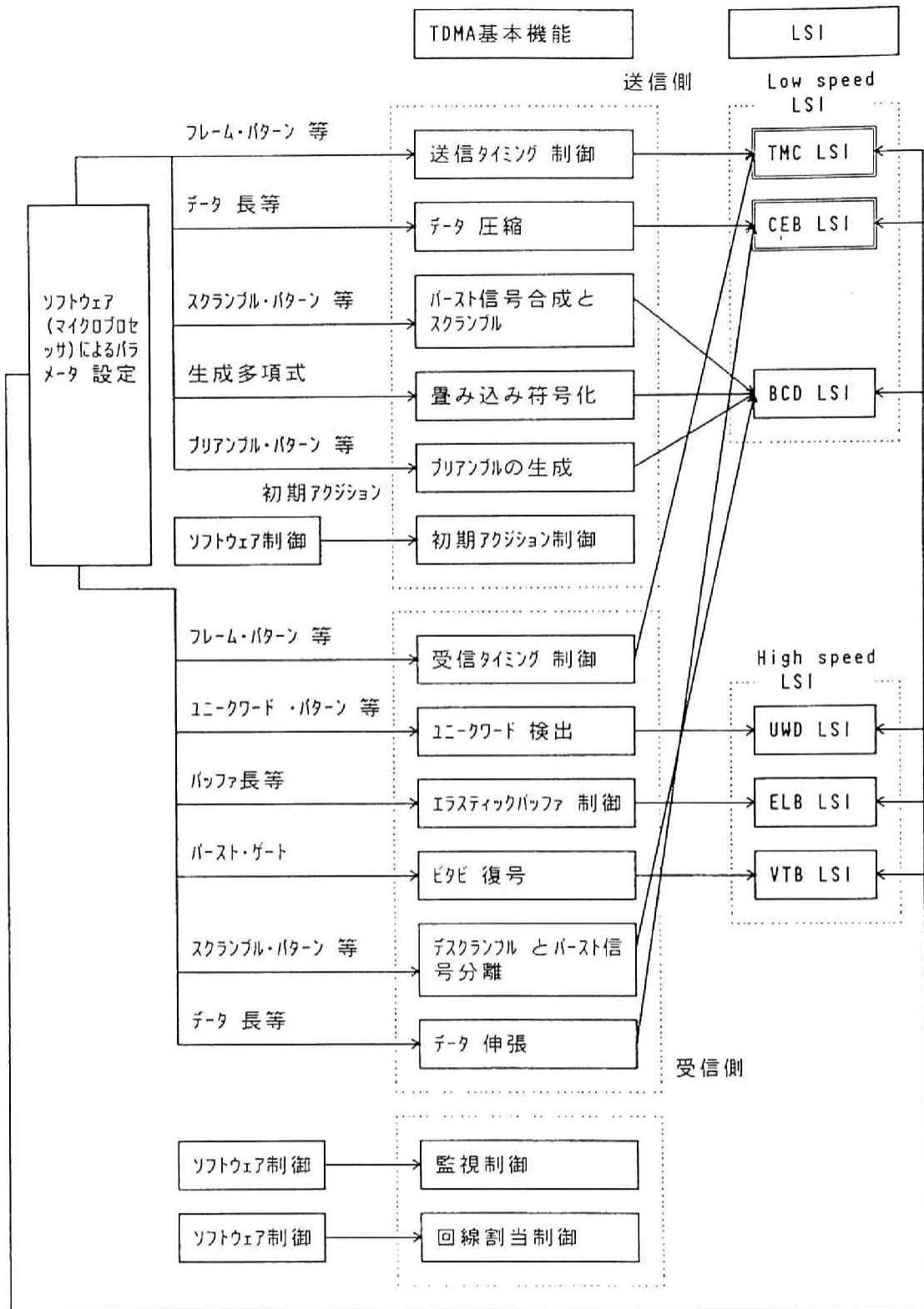
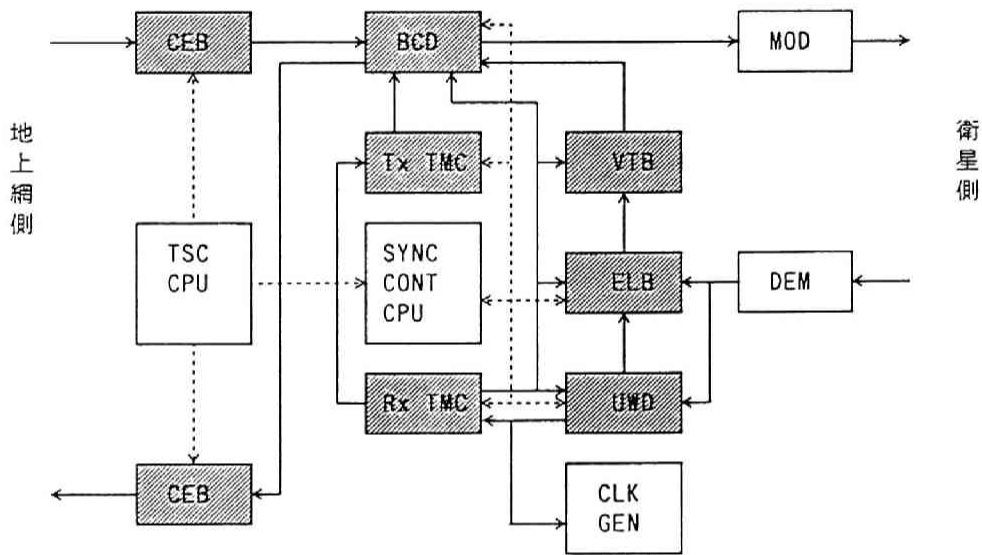


図 6. 6 汎用 TDMA LSI 開発の最適機能配分

6. 3. 3 L S I 化同期制御部 ⁽¹⁸⁾ ⁽¹⁹⁾

汎用 T D M A L S I を用いて構成した同期制御部のブロック構成を図 6. 7 に示す。図より明らかなように、同期制御部の信号の流れは単純化されている。また使用される L S I は 6 種類で 8 個が用いられている。図 6. 8 に示すように L S I 化された T D M A 装置は従来装置の約 1 / 4 に小型化され、大幅に部品点数とハンダ付けによる接続点数を削減することにより信頼性の向上を図っている。



- | | |
|--------------------|----------------------|
| CEB : 圧縮／伸長バッファLSI | VTB : ビタビ復号LSI |
| BCD : パース合成分離LSI | ELB : エラスティックバッファLSI |
| TMC : タイミング制御LSI | UWD : ユニワード検出LSI |
| MOD : 変調器 | TSC : タイムスロット制御 |
| DEM : 復調器 | SYNC CONT : 同期制御 |
| CLK GEN : クロック発生器 | |

図 6. 7 L S I 化 T D M A 装置のブロック図

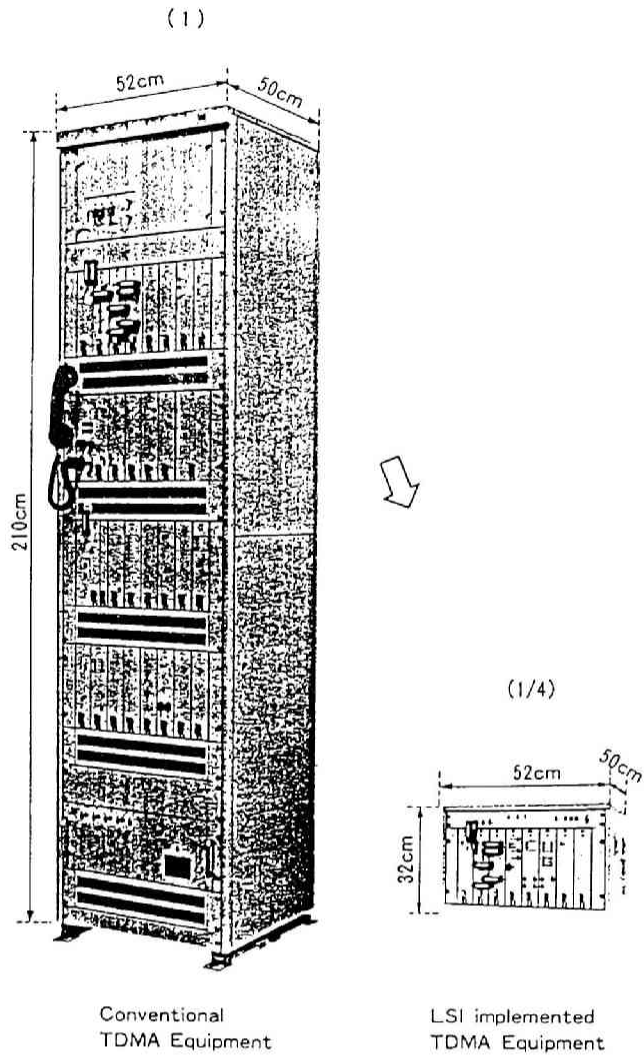


図 6. 8 従来型及び L S I 化 T D M A 装置

6.4 衛星搭載用TDM A装置のLSI化手法⁽²⁰⁾

柔軟な回線運用が可能なネットワークを構成するため衛星上再生中継通信方式の研究が各種研究機関で進められている。このような通信方式を経済的に実現するためには、主にTDM A装置とベースバンド交換機から構成される衛星搭載用ベースバンド処理回路の大きさ、消費電力及び重量の低減を図り、信頼性の向上を達成することが重要である。近年の高速、低消費電力、耐放射線特性のLSIの進歩によりこのような大規模な衛星搭載用ベースバンド処理回路の実現が可能となりつつある。

本節では200MHz～600MHzのクロック速度を有する衛星搭載用高速ベースバンド処理回路とLSI化手法について提案する。衛星搭載用高速ベースバンド信号処理回路の最適構成を実現する上で鍵となるLSIは直並列変換(S/P:Serial-to-Parallel)LSI、並直列変換(P/S:Parallel-to-Serial)LSIとユニークワード検出回路LSIである。提案する回路構成の実現性を確認するため、GaAs LSIによりS/P、P/S変換LSIを試作し、CMOS/SOS(Silicon on Sapphire) LSIによりユニークワード検出器LSIを試作した。前者は約1GHzのクロック速度で動作し、後者は2並列処理時に約200MHzのクロック速度で動作した。これらの結果は提案する衛星搭載用高速ベースバンド処理回路の妥当性を示すものである。

6.4.1 デバイスの選択

使用デバイスの選択に関して、高速性、高集積性、耐放射線特性に対して以下の条件が必要である⁽²¹⁾。

(1) 高速性・高集積性

デジタルLSIとしてはBipolar(ECL), GaAs, CMOS/BULK, CMOS/SOS LSI等がある。これらのうちGaAs LSIは最も速度の速いデバイスとして知られているが、ゲート当たりの消費電力が大きく高集積化が難しい。

一方CMOS/BULK LSIはゲート当たりの消費電力が最も小さく高集積化が可能であるが、ゲート伝搬遅延時間が大きく高速化が難しい。これに対し、CMOS/SOS LSIは高集積性を保ちつつCMOS/BULKと同程度の消費電力/ゲートでECL LSI並の動作速度が実現できる。例えば参考文献(22)によると8Kゲートの規模で標準的ゲート遅延時間が1ns以下(インバータ, 2入力NAND, 2入力NORで各々

0.67, 0.87, 0.99 ns) の CMOS/SOS マスタスライス LSI が報告されている。

(2) 耐放射線特性

静止軌道上においてはバンアレン帯中に捕捉された電子や捕捉プロトン等が放射線源となり衛星搭載 LSI を劣化・損傷させる。参考文献 (23) によると静止軌道上の衛星搭載装置は 7 年間で $10^7 \sim 10^8$ rads(s_i) の放射線を浴びることが報告されており、十分なアルミニウム遮蔽を行ってもミッション期間中 (7 年間) に浴びる平均 $50\text{krads}(s_i)$ への放射線 (トータルドーズ) 耐力が要求される。

このような条件下で使用されるロジックデバイスとして従来は耐放射線特性の優れたバイポーラデバイスが主に用いられてきた。一方高集積化、低消費電力化の点で優れた CMOS/BULK デバイスを耐放射線化する検討が種々なされているが、CMOS/BULK LSI のラッチアップフリー化はまだ完全とは言えない。他方 CMOS/SOS は CMOS/BULK と異なり本質的にラッチアップ現象を生じないことから衛星搭載用 LSI デバイスとして適切していると言える。また GaAs LSI もラッチアップ現象を生じないデバイスであり、耐放射線特性上適切である。

以上から衛星搭載用高速デジタル相関器 LSI のデバイスとしては CMOS/SOS が適しており、ゲート数が小さく超高速の S/P, P/S 変換回路としては GaAs LSI が適している。

6. 4. 2 衛星搭載用ベースバンド処理回路

衛星搭載用ベースバンド処理回路の機能ブロック図を図 6. 9 に示す。上り回線のバースト信号は復調器に入力され、復調信号は受信側信号処理回路 (Rx PROC) で処理される。受信側信号処理回路の出力信号はバッファ回路を経て、ベースバンド交換機に入力される。ベースバンド交換機の出力信号はバッファ回路と P/S 変換回路により速度変換される。最後に P/S 変換回路出力信号はデジタル変調され下り回線の信号に変換される。

各上り回線のバースト信号にはデジタル変調信号の搬送波再生とクロック再生を行うために必要なプリアンプル部が設けられている。またバースト信号のワード同期を確立するためユニークワード検出器にてユニークワードの相関検出が行われる。このユニークワード検出信号が発生したタイミングにて S/P 変換回路のカウンタ回路をリセットすることにより、時分割多重信号の分離を行う。図 6. 9 に示すベースバンド交換機を使用するこ

とによって必要な回線を動的に接続できることから、柔軟な回線運用が可能となる。

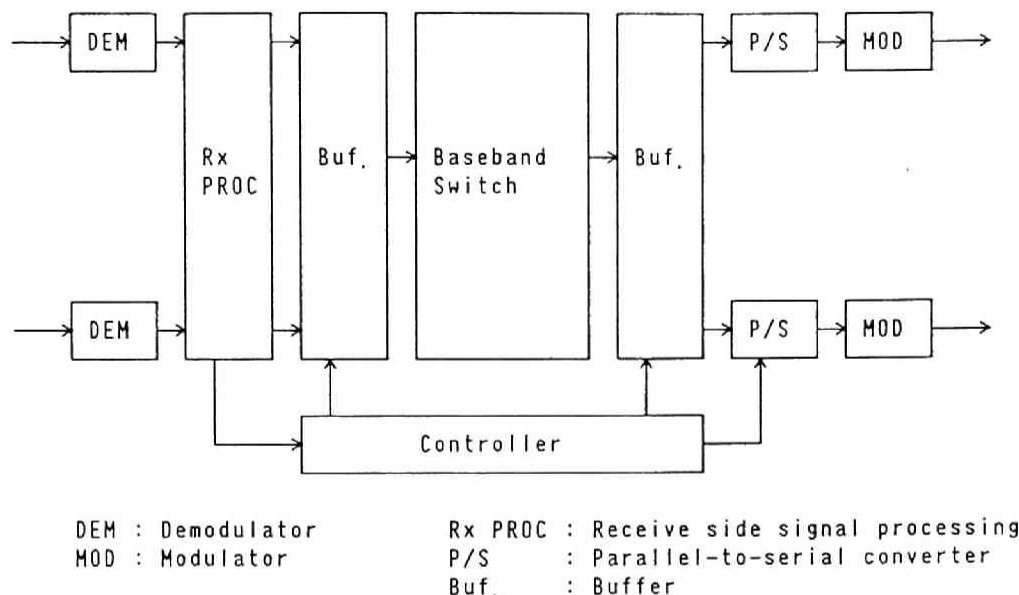


図 6. 9 衛星搭載用ベースバンド処理回路の機能ブロック図

高速の受信側信号処理回路を実現するため、図 6. 10 に示すように 3 つ回路方式が考えられる。回路構成 (a) では復調された高速データは直ちに低速データに変換される。それ故、本回路構成は一つの S/P 変換回路と多数のユニークワード検出器が必要であり、3 つの方式中最もハードウェア量の多い方式である。一方、回路構成 (b) では 3 つの方式中最も単純であるが、約 4 k ゲート相当の超高速ユニークワード検出器が必要となる。現状のところこの速度を達成するには GaAs デバイスが必要であり、ユニークワード検出器を構成するゲート数を実現するのは困難である。

回路構成 (c) は一つの超高速の S/P 変換 LSI と高速ユニークワード検出器及び高速 S/P 変換 LSI で構成される。本構成では LSI の総個数は妥当であり、消費電力は 3 つの回路構成上最も小さい。従って、現状の LSI 技術から判断して消費電力と LSI の個数から、回路構成 (c) が最適と結論づけられる。

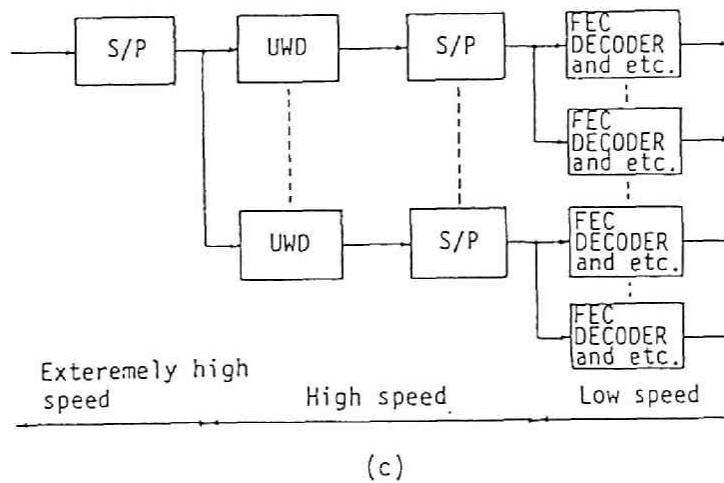
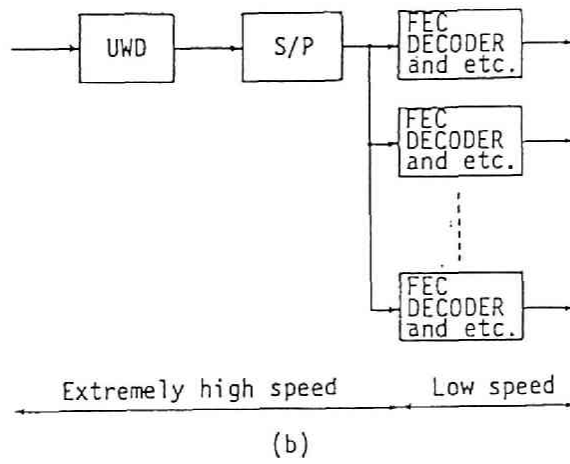
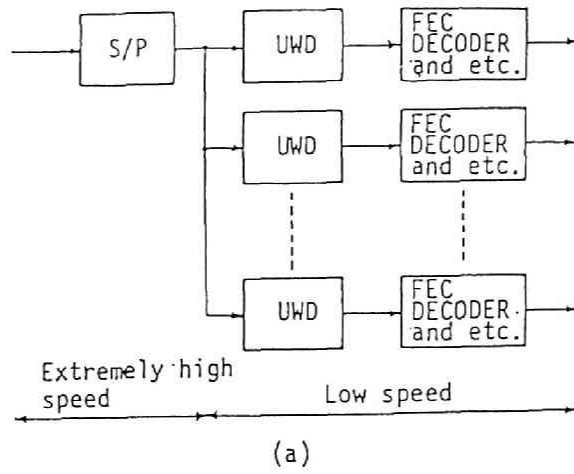


図 6. 10 衛星搭載用受信信号処理回路の構成

6.4.3 衛星搭載用S/P変換LSIとP/S変換LSI

衛星搭載用超高速デジタル信号処理回路はS/P変換LSIとP/S変換LSIを用いた並列信号処理が基本となる。本節ではS/P変換LSIとP/S変換LSIの実現法について述べる。S/P変換LSIとP/S変換LSIのブロック図を図6.11に示す。

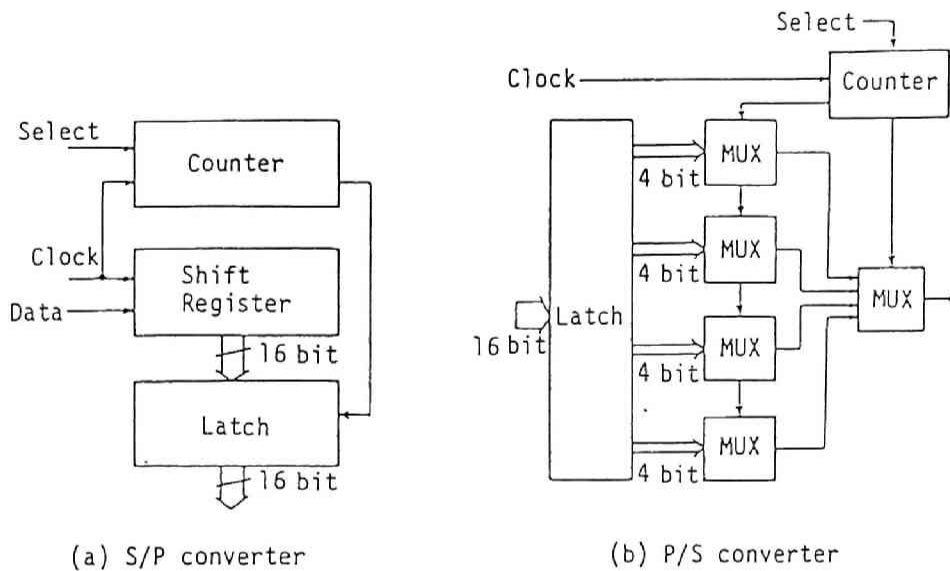


図6.11 S/P及びP/S変換器の構成

S/P変換LSIは可変カウンタ、16ビットシフトレジスタ及びラッチから構成される。本S/P変換LSIによって得られる変換ビット長は1:2, 1:4, 1:8, 1:16であり、各々は選択可能である。本LSIのゲート数は325である。

P/S変換LSIは可変カウンタと5つの4:1マルチプレクサから構成される。データラッチ回路は2段のマルチプレクサ間のデータ転送を保証するため用いられている。本LSIのゲート数は277である。超高速クロックとデータの入出力にはECL (Emitter Coupled Logic)インタフェースを用い、低速側にはCMOSインタフェースを用いている。クロック速度1GHzにおける並直列変換の動作特性例を図6.12に示す。またS/P変換LSIとP/S変換LSIのフォトマイクログラフを図6.13に示す。

6. 4. 4 衛星搭載用ユニークワード検出器の構成⁽²⁴⁾⁽²⁵⁾⁽²⁶⁾

近年のLSI化技術の進歩に伴い、デジタル関連器の小形化、経済化および低消費電力化を図るため、デジタル関連器LSI⁽²⁷⁾が開発されており多くの装置に用いられている。しかし、一般に商品化された大規模なデジタル関連器LSIは、動作速度が2.0MHz以下であり、並列処理による高速化の手段は取られていない。

本節ではデジタル関連器の一種であるユニークワード検出器⁽²⁸⁾⁽³³⁾を高速で動作させる上で重要な並列処理回路の一般的構成法及び高速の検出パルスが得られる方法を明らかにする。これらの検討結果をもとにLSI化を進める上で以下の条件を考慮する必要がある。

(1)低速から高速までの幅広いクロック周波数範囲で使用可能であること。— LSIの並列処理により高速化が可能なこと。

(2)高速動作特性、低消費電力特性及び耐放射線特性に優れていること。

特に(1)に関しては、近年のLSI高集積化にともない同一LSI内に同一デジタル関連器を複数個有することにより容易に並列処理による高速化が可能となっている。直並列変換を行う場合入力クロック周波数と分周クロック周波数の関係は、ハードウェア実現上2のべき乗に選ばれることが多く、本節でもこの場合に関して取り扱うこととする。

(2)に関しては、CMOS/SOS LSIを用いることで可能となる。

6. 4. 4. 1 高速デジタル関連器

高速デジタル関連器を複数個の低速デジタル関連器を用いて並列処理する方法は参考文献(34)にて提案されている。しかし、この並列処理法は高速デジタル信号を $2^m = M$ 並列展開する場合に高速で処理を行う回路と低速で処理を行う回路が完全に分離されておらず、低速デジタル関連器入力段におけるDフリップフロップの動作速度により並列数に限界が生じる。

一方このような問題の生じない回路構成として高速の回路部分と低速の回路部分を完全に分離し、高速の回路部分に直並列変換回路を採用したものが図6. 14に示す構成である。図6. 14は2並列処理のデジタル関連器を示しており、以下に本回路の動作について述べる。まず図中のSerial input端子とCK1端子に高速データとクロックが入力され、S/P回路内のシフトレジスタにデータが読み込まれる。一方クロックCK1は同時にカウンタ回路に入力されて2分周される。この時クロックCK1に対する2分周クロックCK2は

図6. 15に示すようにCase(a)とCase(b)の2通りの位相を持ち得る。このクロック位相の不確定性により図6. 15に示すように2通りの直並列変換パターンが \tilde{P}_1 と \tilde{P}_2 からクロック位相に応じて出力される。従って2通りの直並列変換パターンが存在するため、相関器としてはこれらのパターンに対応した2種類の相関器を用意し、いずれのパターンに対しても2種類の相関器のいずれか一方で検出することが必要となる。すなわち図6. 14のように単純な結線を行った場合にはデジタル相関器単体の構成は図6. 16(a), (b)に示すように入力パターンに応じてレジスタ構成を変化させなければならず、レジスタ構成が複雑となり、かつデジタル相関器単体の汎用性が失われてしまうという問題を有する。

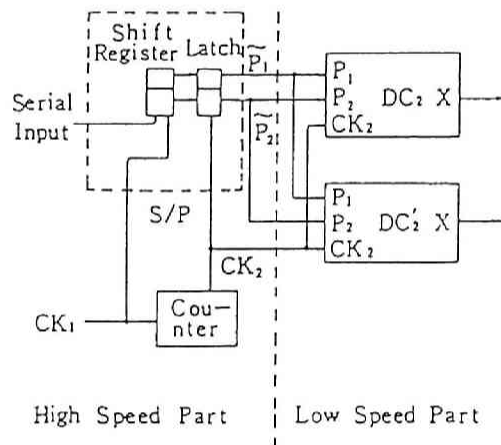


図6. 14 2並列処理デジタル相関器（再配置回路無し）

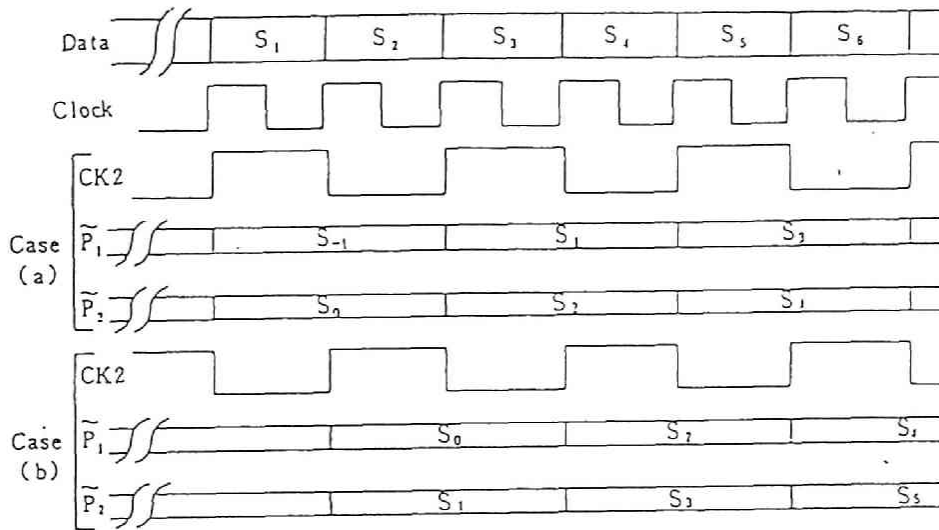
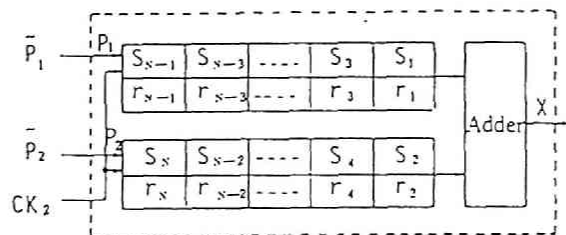
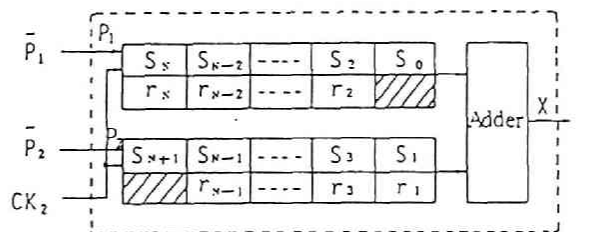


図 6. 1 5 2 並列処理時のクロック位相不確定性



(a) DC_2 の構成



(b) DC_2' の構成 : Don't Care

図 6. 1 6 デジタル相関器単体の構成 (再配置回路無し)

他方、並列処理形デジタル相関器に用いられる単体のデジタル相関器を全て同一の構成でかつ同一の基準パターン設定により実現できる方法として図6.17に示す構成法が提案されている⁽³⁵⁾。この回路の特徴は、直並列変換回路と単体のデジタル相関器の間に再配置回路を有することである。再配置回路と単体のデジタル相関器との関係を4並列処理の場合について図6.18に示す。本方法を用いれば同一の回路構成で並列処理により高速デジタル相関器を構成できるが高速クロック（原クロック）の精度で検出パルスを得る方法は明らかにされていなかった。

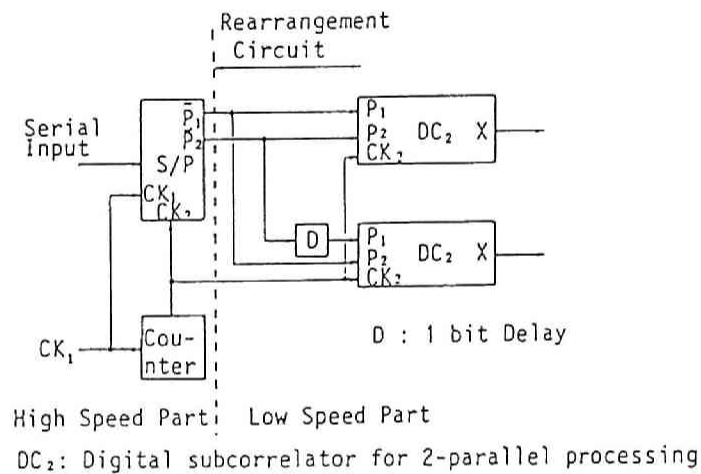


図6.17 2並列処理によるデジタル相関器（再配置回路有り）

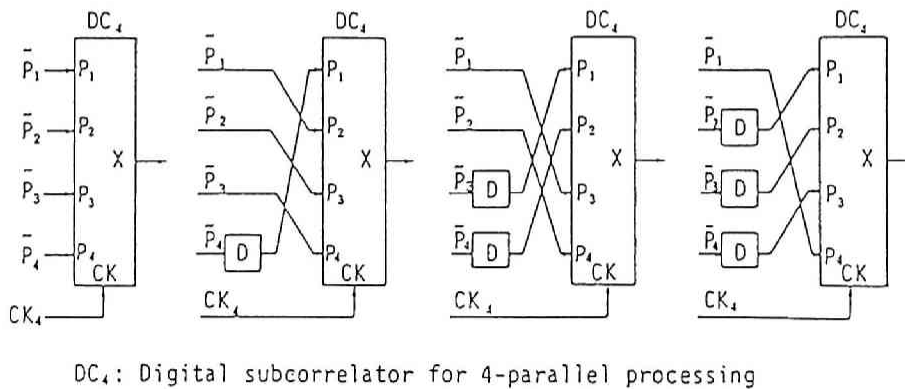


図6.18 再配置回路とデジタル相関器（4並列処理）

6. 4. 4. 2 高速ユニークワード (UW) 検出器

提案する高速UW検出器の構成を図6. 19に示す。本回路の特徴はM個の低速UW検出器出力パルスをもとにUW検出パルスの出力されたUW検出器の番号からクロック位相を確定し、従来は不可能であった高速のUW検出パルスを生成することにある。これらの機能は後述のように図中のカウンタ、デコーダ、セレクト回路により実現される。並列処理時の低速UW検出器単体の構成を図6. 20に示す。図中デジタル関連部はM並列以下の並列処理を可能とするため関連器のシフトレジスタをM等分し、各分割点に外部入力を可能とするセレクトを配している。

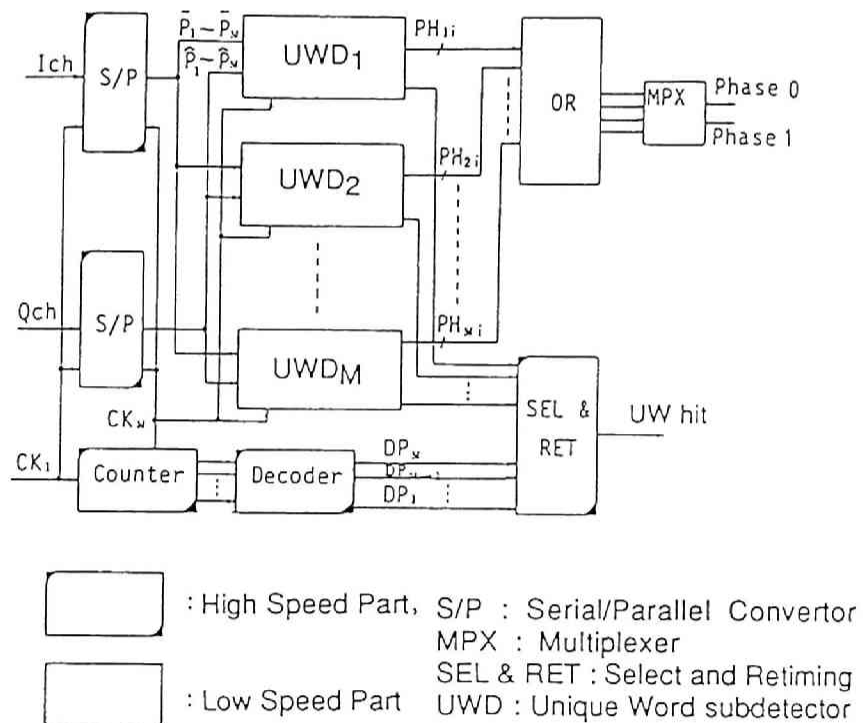


図6. 19 高速UW検出器

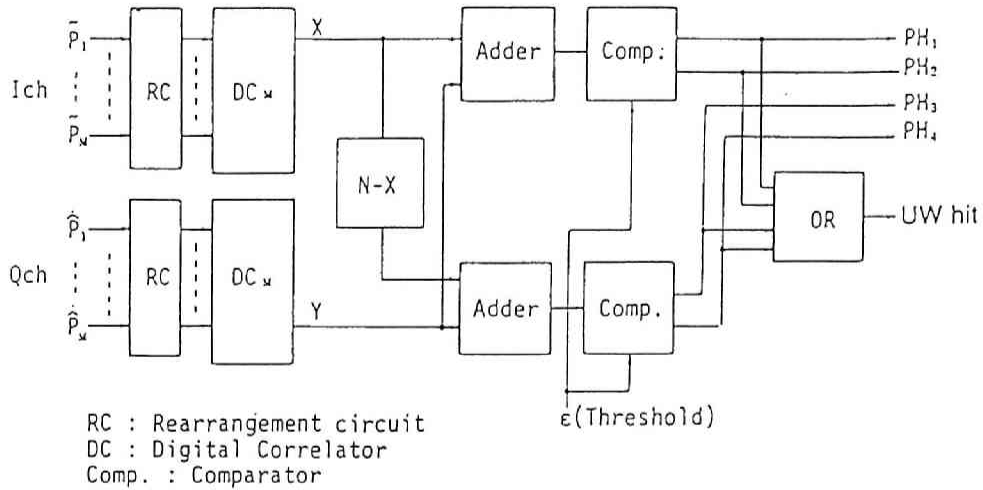


図 6. 2 0 低速 UW 検出器

変復調方式として 4 相 P S K 変調同期検波方式を用いる場合には、基準搬送波を得るために 4 つの位相を識別する必要がある。これは前述の I ch, Q ch の 4 つのパターンにより通常行われる。一方並列処理時に同様の機能を実現するには、I ch, Q ch のパターン位相の識別（再生搬送波位相の識別）を行うために直列処理時で使用していた各パターンの検出信号を用いて再生搬送波位相を確定できる構成としている。

以下に簡単のため 4 並列処理時の場合について、提案する高速 UW 検出器の説明を行うが一般に M 並列に対しても同様の議論が可能である。4 並列処理時の低速 UW 検出パルスと所望高速 UW 検出パルスの関係を図 6. 2 1 に示す。

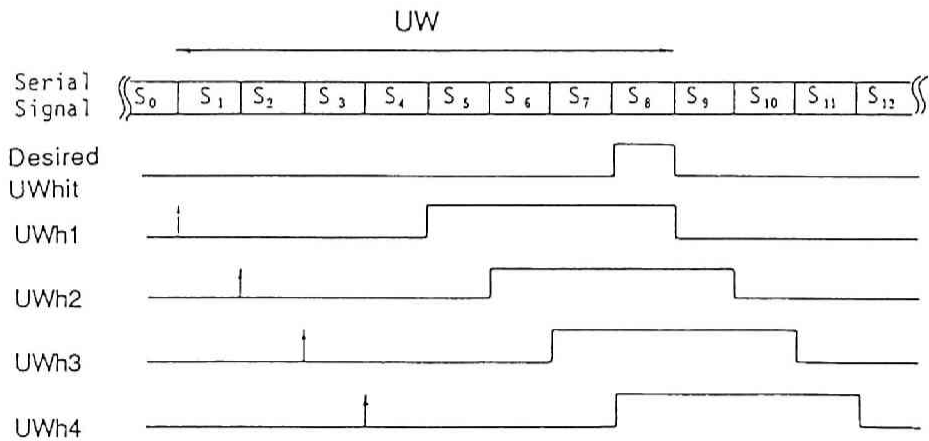


図 6. 2 1 低速 UW 検出パルスと高速（所望）UW 検出パルス（4 並列処理）

SW_{h_i} (i=1, 2, 3, 4) は分周クロックの位相によって4通りのUW検出パターンが存在することを示している。ここで所望する高速UW検出パルスSW_hをSW_{h_i} (i=1, 2, 3, 4) をもとに生成するためカウンタとデコーダ回路により図6. 22の出力パルスDP_j (j=1, 2, 3, 4) を生成する。このSW_{h_i} とDP_j を用いて図6. 19のSEL & RET 回路で次の論理式により高速のUW検出パルスSW_hを得ることができる。

$$SW_h = SW_{h_1} \cdot DP_4 + SW_{h_2} \cdot DP_3 + SW_{h_3} \cdot DP_2 + SW_{h_4} \cdot DP_1 \quad (6-1)$$

一般的には次式でSW_hは与えられる。

$$SW_h = SW_{h_1} \cdot DP_M + SW_{h_2} \cdot DP_{M-1} + \dots + SW_{h_M} \cdot DP_1 \quad (6-2)$$

また高速UW検出器から求める再生搬送波の位相状態は4つの位相状態に対応してPH_{0_i} (i=1, 2, 3, 4) の1つとして、M並列処理時に各低速UW検出器の検出パルスPH_{1_i}, PH_{2_i}, ..., PH_{M_i} (i=1, 2, 3, 4)を用いて(6-3)式で得ることができる。

$$PH_{0_i} = PH_{1_i} + PH_{2_i} + \dots + PH_{M_i} \quad (i=1, 2, 3, 4) \quad (6-3)$$

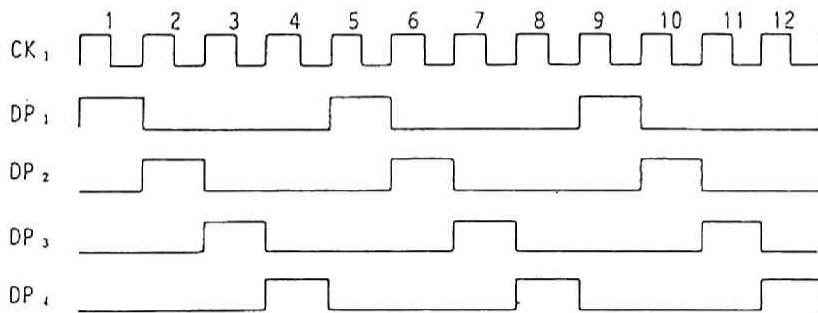


図6. 22 入力クロックとデコーダ出力パルスの関係

6. 4. 4. 3 開発UW検出器LSIの構成と特性

開発した高速UW検出器LSI (ECL1697-UWS) の主要諸元を表6. 2に示す。また本LSIの構成を図6. 23に、外観を図6. 24に示す。本LSIはI_{ch}、Q_{ch}各々24ビット長を有するUW検出器を基本的に2個内蔵している。各々はI_{ch}、Q_{ch}を直列に接続することにより、最大48ビット長まで任意のデジタル相関器として動作可能である。

表6. 2 UW検出器LSIの主要諸元

パラメータ設定	内部レジスタを用いてパラメータをCPUから制御
UW長	最大24シンボル、2～24シンボルまで2シンボル単位に設定可能
UWパターン	I _{ch} 、Q _{ch} は各々独立に設定可能
相関検出ビット長	I _{ch} 、Q _{ch} を接続することにより、48ビット以下の相関器として動作
相関閾値	2種、0～31ビットまで設定可能
位相情報	I _{ch} 、Q _{ch} は各々に同期語パターンPを設定した時(P, P), (P, \overline{P}), (\overline{P} , P), (P, \overline{P})の組合せ判別可能
不一致ビット数出力	I _{ch} 、Q _{ch} 、I _{ch} +Q _{ch} 、 $\overline{I_{ch}}+Q_{ch}$ の各々の不一致ビット数出力可能
並列処理機能	2並列構成によりクロック周波数50MHzまで対応
デジタル相関器	I _{ch} 、Q _{ch} を接続することにより、48ビットの相関器として動作可能

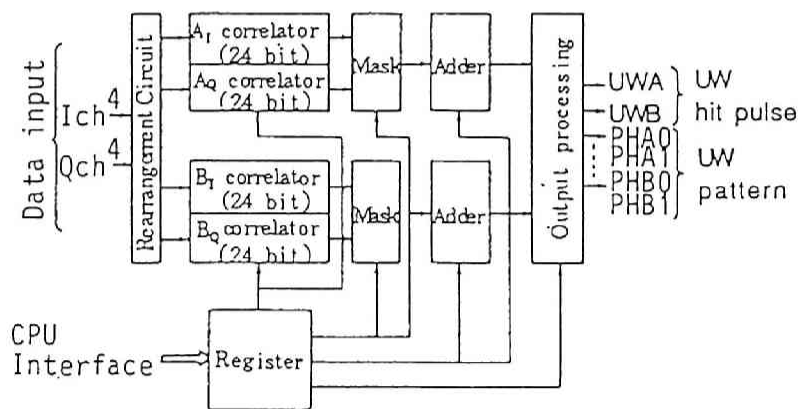


図6. 23 汎用・高速UW検出器LSIの構成

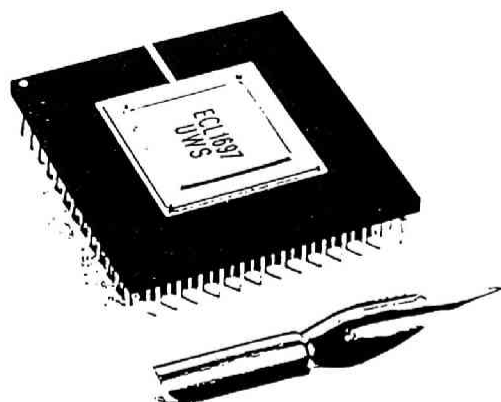


図 6. 2 4 汎用・高速 U W 検出器 L S I の外観

本 L S I は 4 並列処理まで可能な構成となっており、直列、2 並列、4 並列の各モードで使用可能である。すなわち、高速動作部（直並列変換回路等）を外部回路として追加すれば高速 U W 検出器として動作できる。

また本 L S I を種々の異なる条件でも使用できる汎用 L S I とするために U W 長、U W パターン、相関閾値ビット数を記憶する内部レジスタを有している。

開発した U W 検出器単体動作特性の一例としてクロック周波数 1 0 0 MHz 時の入出力波形を図 6. 2 5 に示す。図中、本 L S I で内蔵した 2 台の U W 検出器を各々 A 及び B とし、A における lch、Qch のデジタル入力を動作させた時の U W 検出パルスが S W A で示されている。

開発した L S I の消費電力に関する測定結果を A 回路または B 回路動作時と A 回路及び B 回路動作時の各々について図 6. 2 6 に示す。図には電源電圧を ± 5 % 変動させた時の値を同時に示す。図 6. 2 6 より本 L S I では A または B の単体動作は 1 0 0 MHz で約 1. 2 W であることから自然空冷で使用でき、また A 及び B の並列動作では 1 0 0 MHz で約 2. 1 W 程度であることからこの場合にはヒートシンクや強制空冷等の処置が必要となる。また 5 0 MHz における A 及び B の並列動作では約 1. 1 W であることから 4 並列処理によりクロック速度 2 0 0 MHz までの高速 U W 検出器が自然空冷で実現できる。

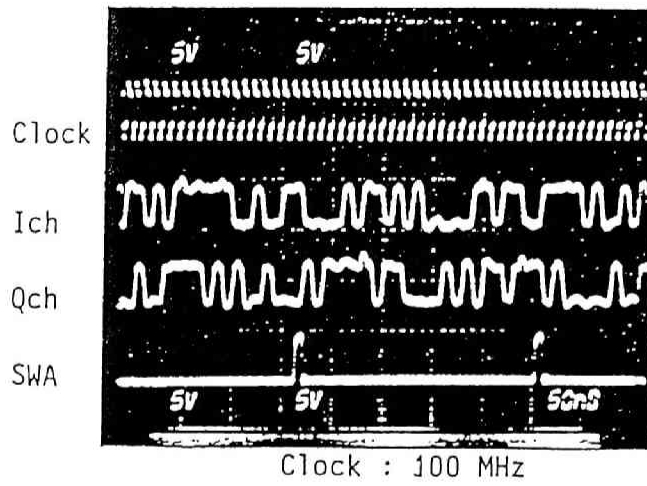


図 6. 2 5 開発した L S I の入出力波形 (直列処理モード)

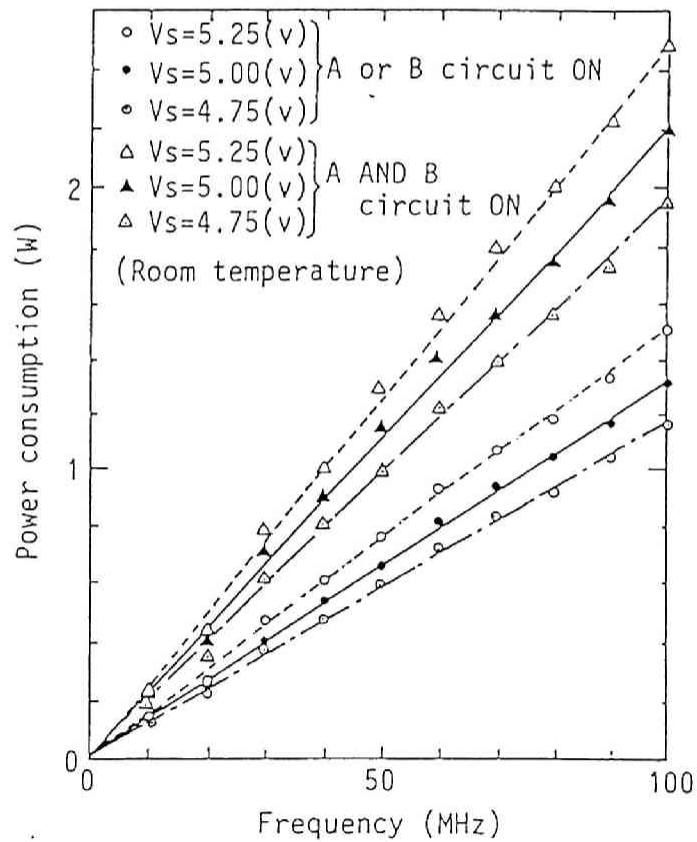


図 6. 2 6 開発した L S I の消費電力特性

6. 5 むすび

本章では、地球局用TDM A装置の、無調整化、小型・経済化および高信頼化のための新しいアーキテクチャ、多種機能のモジュール化、LSI化手法、開発LSIの概略特性およびLSI化の効果について述べた。具体的には最適機能分割により総数6品種のLSIを開発し、大幅な小型・経済化(1⇒1/4)を達成した。本章で述べたLSI化TDM A装置は汎用的なTDM A用LSIにより簡易な構成を可能としている。

次に衛星搭載用高速TDM A装置(ベースバンド処理回路)の構成法とそのLSI化手法について提案を行った。提案する回路の実現性を確認するため、GaAs LSIにより直並列変換および並直列変換LSIを試作し、CMOS/SOS LSIによりユニークワード検出LSIを試作した。前者は約1GHzのクロック速度で動作し、後者は2並列処理時に約200MHzのクロック速度で動作した。これらの結果は提案する衛星搭載用高速ベースバンド処理回路の妥当性を示すものである。

第7章 結言

本論文では、単一中継器運用TDM方式から複数中継器運用TDM方式、SS-TDM方式及び衛星上再生中継TDM方式に至る各種TDM方式において、同期制御法およびTDM装置構成法について技術的課題を整理しその解決法について明らかにした。本研究の主な成果を総括すると以下の通りである。

(1)単一中継器運用TDM方式において、誤り訂正に加え多数決判定を採用した場合における同期制御信号の転送方法として並列転送方式を提案し、同期制御信号のブロック無効確率およびブロック誤り確率という観点から評価を行った。提案する並列転送方式は従来方式である直列転送方式と比較し、8ビット多数決判定の場合、 $P_e = 1 \times 10^{-4}$ において同期制御信号を正しく受信できる確率を10桁程度改善できることを明らかとした。

(2)UW検出特性について考察を加え、所望するUW検出率を得るためのUW長、UWパターン、相関閾値の設計法を明らかにした。

(3)低C/N時のユニークワード検出率特性を改善する方法として符号化ユニークワード検出法を提案し、 $r = 1/2$, $k = 4$ のたたみ込み符号化3ビット軟判定ビタビ復号法を適用するシステムにおいて従来48ビット必要であったユニークワード長を16ビットに短くし、所望する不検出率、誤検出率を満足できることを示した。この結果、従来のユニークワード検出器で必要であったハードウェア量を約1/3まで削減できる見通しを得た。

(4)複数中継器運用TDM方式において、地球局ハードウェアを軽減するトランスポンダホッピング用TDM装置について提案し、本構成におけるTDM同期法、ガードタイムを検討した。同期法については、基準局1局による管理を可能とするTDMフレーム構成を提案した。次に、バースト間周波数偏差に追従する高速TDM用の記憶型バースト復調器AFC回路を提案し、実験的にC/N = 5 dBにて最大バースト間周波数偏差2 MHzまで符号誤り率の劣化を0.3 dB以下にできることを示した。さらに本AFC回路のバースト動作時に誤制御パターンが含まれることを指摘しその除去法の検討を行ない、改善効果を実験的に明らかとした。これらの結果により、1系統の送受信装置でトランスポンダホッピングが可能となり、また本AFC回路を用いれば周波数変換器に周波数安

定度の低いローカル発振器を使用でき、地球局装置の経済化が図れる見通しを得た。

(5) S S - T D M A 方式において、衛星上に搭載されたマスタクロックを地上の高安定なクロック網に同期させる必要がある。従来の方法では長期的には地上網の安定度 10^{-11} に同期させることができるが、短期安定度に対する考慮はなされていなかった。本論文では長期的には地上網の安定度 10^{-11} に同期させ、かつ短期安定度を高めるためマスタクロック制御間隔の最適化について検討を行った。また、実験によって、マスタクロックが初期安定度 $1.6 \times 10^{-8}/\text{day}$ を有する場合には約1600秒の制御間隔で 3×10^{-10} の短期安定度を実現できることを示した。すなわち従来方式と比較し短期安定度を1/27に改善できることを明らかにした。

(6) 衛星通信用 T D M A 装置の、無調整化、小型・経済化および高信頼化のための新しいアーキテクチャおよび多種機能のモジュール化、L S I 化手法、開発 L S I の概略特性および L S I 化の効果について述べた。具体的には最適機能モジュール分割により総数 6 品種の L S I を開発し、大幅な小型・経済化（1 \rightarrow 1 / 4）を達成した。本論文で述べた L S I 化 T D M A 装置は汎用的な T D M A 用 L S I により簡易な構成を可能としている。

(7) 衛星搭載用高速ベースバンド処理回路と L S I 化手法について提案を行った。提案する回路の実現性を確認するため、GaAs L S I により直並列変換および並直列変換 L S I を試作し、C M O S / S O S L S I によりユニークワード検出 L S I を試作した。前者は約 1 G H z のクロック速度で動作し、後者は 2 並列処理時に約 2 0 0 M H z のクロック速度で動作した。これらの結果は提案する衛星搭載用高速ベースバンド処理回路の妥当性を示すものである。

本論文では、単一中継器運用 T D M A 方式から衛星上再生中継 T D M A 方式に至る同期制御法および T D M A 装置構成法について考察し、技術的課題の解決を図った。今後も半導体技術を始めとするデバイスの急速な進展により、高速・高集積 L S I およびデジタル信号処理技術を駆使した新しい同期制御方式およびアーキテクチャの元に、更に小型・高機能の T D M A 装置が高い技術水準で研究されて行くものと思われる。本研究がその一助となれば幸いである。

参考文献

第1章

- (1) 宮憲一：“衛星通信工学”，第1章，ラテイス，(1972)。
- (2) T. Sekimoto and J. G. Puente：“A Satellite Time-Division Multiple-Access Experiment”，IEEE Trans. Communication, COM-16, 4, pp. 581-588(1968)。
- (3) 中村，近藤，井上：“S M A X 衛星通信方式の設計”，研実報，19, 2, pp. 245-263 (1970)。
- (4) R. K. Kwan：“The TELESAT TDMA system”，Proc. Int. Conf. Commun. (1975)。
- (5) 更田，渡辺：“国内衛星通信用 T D M A 方式の概要”，研実報，26, 11, pp. 3107-3117 (1977)。
- (6) INTELSAT TDMA/DSI SYSTEM SPECIFICATION(TDMA/DSI TRAFFIC TERMINALS) BG42-65E.
- (7) 加藤，守倉，梅比良，榎本，久保田，大谷：“広帯域衛星通信用 T D M A 装置の構成と特性”，信学技報，SAT84-46(1984-12)
- (8) 加藤，梅比良，守倉，榎本：“トランスポンダホッピング T D M A 方式の検討”，昭62信学総全大，2306。
- (9) Samir Kamel：“The SBS Multitransponder System”，Proc. American Institute of Aeronautics and Astronautics, 9th Commun. Sat. Sys. Conf., San-Diego, pp. 385-390(March 1982)。
- (10) L. B. Perillan and T. R. Rowbothan：“INTELSAT VI:SS-TDMA System Definition and Technology Development”，Int. Conf. on Digital Satellite Commun., pp. 411-419 (1981)。
- (11) S. Okasaka, T. Tanaka, T. Takeuchi and H. Komagata：“Trunk Transmission Network using K-band SS-TDMA System”，Proc. Int. Conf. Commun. (1982)。
- (12) L. Brown, D. Sabourin, J. Stilwell, R. McCallister and M. Borota：“30/20GHz Communications System Baseband Processor Development”，Proc. the Thirteenth International Symposium on Space Technology and Science, (1982)。
- (13) S. Kato, S. Samejima and H. Yamamoto：“An SS-TDMA system using on-board regenerative repeaters and baseband switch”，Proc. Int. Conf. Commun. (1984)。
- (14) G. Pennoni and G. B. Alaria：“An SS-TDMA Satellite System Incorporating an ON-BOARD Time/Space/Time Switching Facility”，Proc. Int. Conf. Commun. (1984)。

第 2 章

- (1) INTELSAT TDMA/DSI SYSTEM SPECIFICATION(TDMA/DSI TRAFFIC TERMINALS) BG42-65E.
- (2) 加藤, 守倉, 梅比良, 榎本, 久保田, 大谷: “広帯域衛星通信用 T D M A 装置の構成と特性”, 信学技報, SAT84-46(1984-12).
- (3) 山本、加藤: “T D M A 通信”, pp. 36-56, 電子情報通信学会編(1988).
- (4) K. Feher: “Digital Communications Satellite/Earth Station Engineering”, pp. 350-365, Prentice-hall(1983).
- (5) 福間, 守倉, 加藤: “T D M A 制御信号のブロック誤り確率低減法”, 昭 6 2 信学総全大, 2313.
- (6) 福間, 守倉, 加藤: “T D M A 制御信号のブロック誤り確率低減法”, 信学論(B), J70-B, 10, pp. 1254-1256(1987-10)
- (7) M. MORIKURA, S. KUBOTA, K. ENOMOTO and S. KATO: “Novel Control Channel Quality Improvement in Satellite Communication Systems Employing High Coding Gain FEC”, Proc. GLOBECOM' 88, pp. 136-140(1988).
- (8) B. A. Pontano, J. L. Dicks, R. J. Colby, G. Forcina and J. F. Phiel, Jr.: “The INTELSAT TDMA/DSI System”, IEEE J. Selected Areas in Commun., SAC-1, 1, pp. 165-173 (Jan. 1983).
- (9) 安田, 安永, 高橋: “ビタビ復号後のビット誤りパツ”昭55信学総全大, 1756
- (10) 安田, 平田, 小川: “ウィタビ復号の容易な高符号化率たたみ込み符号とその諸特性”, 信学論(B), J64-B, 11, pp. 573-580(昭56-07)
- (11) 守倉, 榎本, 久保田, 加藤: “低C/N時におけるエ-ワード検出特性の一改善法”, 信学論(B), J69-B, 11, pp. 1523-1530(昭61-11)
- (12) 渡部, 駒形, 萩原: “船舶衛星通信における信号信頼度特性に関する一考察”, 昭60信学総全大, 2525.
- (13) 加藤, 山本: “T D M A 衛星通信方式(1)”, 信学誌, 69, 12, pp. 1240-1246(昭61-12)
- (14) V. K. Bhargava, D. Haccoun, R. Matyas, P. P. Nusple: “Digital Communications by Satellite”, pp 353-444, John Wiley & Sons(1981).

第3章

- (1) K. Feher: "Digital Communications Satellite/Earth Station Engineering", pp. 375-386, Prentice-hall (1983).
- (2) 山本、加藤: "TDMA通信", pp. 47-53, 電子情報通信学会編 (1988).
- (3) P. P. Nusple, et al.: "Synchronization method for TDMA", Proc. IEEE, 65, 3, pp. 434-444 (March 1977).
- (4) 三宅 真: "4相CPSK-TDMAシステムのための簡単なUW検出器", CS77-177 (1977).
- (5) E. R. Cacciamani and C. J. Wolejsza, Jr.: "Phase ambiguity resolution in a fourphase PSK communication system", IEEE trans. on COM, 19, pp. 1200-1210 (Dec. 1971).
- (6) 加藤, 守倉, 梅比良, 榎本, 久保田: "広帯域衛星通信網用TDMA方式", 昭59信学通信全大, S8-9.
- (7) 加藤, 守倉, 梅比良, 榎本, 久保田, 大谷: "広帯域衛星通信網用TDMA装置の構成と特性", 信学技報, SAT84-46 (1984-12).
- (8) INTELSAT TDMA/DSI SYSTEM SPECIFICATION (TDMA/DSI TRAFFIC TERMINALS) BG42-65E.
- (9) 高木 清 "ビタビ復号法による符号利得", 日本無線技法, 12, pp. 13-22 (1978).
- (10) E. R. Hill: "Techniques for synchronizing pulse-code-modulated telemetry" Proc. National Telemetering Conf. (1963).
- (11) W. Schrempp and T. Sekimoto: "Unique word detection in digital burst communications", IEEE Trans. on Commun. Technol. COM-16, No. 4, pp. 597-605 (Aug. 1968).
- (12) 守倉, 加藤: "SS-TDMA同期特性の検討", 昭59信学通信全大, 692.
- (13) 山崎, 野原, 高畑: "低C/N条件下におけるユニークワード検出に関する検討", 昭60信学情報・システム全大, 323.
- (14) 守倉, 榎本, 加藤: "低C/N時におけるユニークワード検出特性の一改善法", 昭61信学総全大, S16-8.
- (15) 守倉, 榎本, 久保田, 加藤: "低C/N時におけるユニークワード検出特性の一改善法", 信学論(B), J69-B, 11, pp. 1523-1530 (1986-11).
- (16) J. J. Spilker: "Digital communications by satellite", pp. 429-454, Prentice-hall

(1977)

- (17) M. R. Aaron: "PCM transmission in the exchange plant", BSTJ, 41, 1, pp. 99-141 (1962)
- (18) 山本, 小椋山, 堀川: "実験用 20 GHz 帯デジタル無線中継器の誤り率特性", 信学論(B), J57-B, 4, pp. 236-243 (昭49-04)
- (19) 守倉, 榎本, 久保田, 加藤: "TDMA同期に与えるビタビ復号誤りパターンの影響", 昭61信学通信全大, 497
- (20) 安田, 安永, 高橋: "ビタービ復号器のビット誤りパターン", 昭55信学総全大, 1756.
- (21) 守倉, 加藤: "符号化ユニークワード検出特性", 昭62信学情報・システム全大, 425.

第4章

- (1) R. A. J. Smith: "TDMA Multiple Transponder Operation by Means of Frequency Hopping", Proc. 2nd Int. Conf. on Digital Sat Commun., Paris, pp. 425-431 (Nov. 1972).
- (2) 加藤, 梅比良, 守倉, 榎本: "トランスポンダホッピングTDMA方式の検討", 昭62信学総全大, 2306.
- (3) 加藤, 守倉, 榎本, 久保田, 梅比良: "DYANET用トランスポンダホッピングTDMA装置", 昭63信学総全大, B-163.
- (4) 榎田, 守倉, 梅比良, 加藤: "トランスポンダホッピング用TDMA装置の構成と特性", 信学技報, AP85-117(1986-2).
- (5) Samir Kamel: "The SBS Multitransponder System", Proc. American Institute of Aeronautics and Astronautics, 9th Commun. Sat Sys. Conf., San-Diego, pp. 385-390 (March 1982).
- (6) "INTELSAT TDMA/DSI SYSTEM SPECIFICATION (TDMA/DSI Traffic Terminals)", BG-42-65E (Rev. 2) (June 1983)
- (7) P. Luginbuhl and J. Salomon: "TELECOM I Digital Transmission Earth Stations", Proc. American Institute of Aeronautics and Astronautics, 9th Commun. Sat. Sys. Conf., San-Diego, pp. 774-792 (March 1982).
- (8) K. Feher: "Digital Communications Satellite/Earth Station Engineering", pp. 363-

365, Prentice-hall(1983).

- (9) 榎田, 守倉, 梅比良, 加藤: “記憶型バースト復調器 A F C 回路の検討”, 昭 6 1 信学総全大, S25-2.
- (10) 榎田, 守倉, 梅比良, 加藤: “記憶型バースト復調器 A F C 回路の検討”, 信学論 (B), J69-B, 11, pp. 1509-1515(1986-11).
- (11) 鈴木, 高橋, 工藤, 高橋: “低速 T D M A 用高速引込み形キャリア同期回路”, 昭 5 9 信学総全大, 2483.
- (12) 石川, 山下, 栗原, 加藤: “サンプルホールド型搬送波再生回路”, 昭 5 9 信学通信全大, 681.
- (13) 梅比良, 加藤: “搭載バースト復調器用デジタル制御型追尾フィルタの検討”, 信学技報, CS84-154(1985).
- (14) 山本, 森田, 小牧: “Q P S K 方式の誤り率特性” 研実報, 2 5, 6 (1976).
- (15) 加藤, 守倉, 梅比良, 榎本, 久保田, 大谷: “広帯域衛星通信用 TDMA 装置の構成と特性”, 信学技報, SAT-84-46(1984).

第 5 章

- (1) 山本, 加藤: “T D M A 通信”, 第 7 章, 電子情報通信学会, (1988-10).
- (2) 守倉, 梅比良, 正村, 鮫島: “再生中継マルチビーム衛星通信方式の検討”, 信学技報, SAT84-11, (1984-5).
- (3) M. MORIKURA and T. MASAMURA: “Clock synchronization system for on-board regenerative satellite communication”, Proc. ISTS, pp. 855-860(1984).
- (4) 浅原, 坂本, 辻, 福井, 相馬, 原: “SDMA 衛星通信方式における同期およびアキュジション”, 信学論 (B), vol 57-B, No. 7, pp. 456-463 (昭 49-07).
- (5) 浅原, 辻, 坂本, 福井: “TDMA/SDMA 衛星通信方式におけるクロック周波数制御方式”, 信学技報, CS73-137(1973).
- (6) 守倉, 加藤: “衛星上マスタクロック制御間隔の検討”, 信学論 (B), J70-B, 3, pp. 355-365(1987-3).
- (7) F Pattini and P. Porzio Giusto: “A Synchronization Technique for the On-board Master Clock of a Regenerative TDMA Satellite Communication

- System” : International Communication Conference, pp.999-1004(1985).
- (8) 風間, 森:”衛星上クロック同期方式の検討”, 昭59信学総全大, 2505.
- (9) T. Inukai and S. J. Campanella:”On-board Clock Correction for SS/TDMA and Baseband processing Satellites”, COMSAT Technical Review, vol. 11, No. 1, pp. 77-102(1981).
- (10) T. Inukai:”Optimal On-board Clock Control”, Journal on Selected Areas in Communications, vol. SAC-1, No. 1, pp. 208-213(1983).
- (11) S. Okasaka, et al. :”Trunk Transmission Network Using K-band SS-TDMA System”, International Communication Conference, 4A. 1(1982).
- (12) T. Yoshikawa, M. Morikura, S. Kato:”A Precise SS-TDMA Synchronization Scheme Employing On-board Reference Burst Generator”, International Communication Conference, pp. 994-998(1985).
- (13) 守倉, 加藤:”高精度SS-TDMA 同期方式の検討”, 昭60信学総全大, 2492.
- (14) K. Feher:”Digital Communications Satellite/Earth Station Engineering”, pp. 33-403, Prentice-hall(1983).
- (15) 守倉, 加藤:”SS-TDMA 同期特性の検討”, 昭59信学通信全大, 692.
- (16) 加藤, 守倉, 梅比良, 榎本, 久保田, 大谷:”広帯域衛星通信網用TDMA装置の構成と特性”, 信学技報, SAT84-46(1984-12).
- (17) 岡野庄太郎:”高安定水晶振動子の諸特性について”, 時計誌, No. 69, pp. 1-16 (1974)

第6章

- (1) 加藤, 守倉, 梅比良, 榎本, 久保田, 大谷:”広帯域衛星通信用TDMA装置の構成と特性”, 信学技報SAT84-46(1984)
- (2) 加藤, 梅比良, 守倉, 大谷, 榎本, 久保田, 新田, 藤本:”SK-40方式用TDMAシステム”, 信学技報, SAT86-29(1986).
- (3) 森広, 岡坂, 中島:”共通迂回中継による衛星中継網方式の提案-DYANET”, 信学技報, SAT87-19(1987).
- (4) 加藤, 榎田, 堀:”DYANET用30/20GHz帯小型地球局”, 信学技報, SAT87-21(1987).
- (5) 梅比良, 久保田, 榎本, 加藤:”LSI, MSI化小型低Eb/Noバースト変調器”,

- 信学技報, SAT87-27(1987).
- (6) 守倉, 新田, 榎本, 加藤: “DYANET用TDMA装置同期制御部の構成と特性”, 昭63信学総全大, B-165.
- (7) 新田, 守倉, 加藤: “DYANET用TDMA装置インタフェース部の構成と特性”, 昭63信学総全大, B-164.
- (8) 守倉, 新田, 加藤: “衛星通信用LSI化地上網インタフェース回路の構成と特性”, 信学技報, SAT87- (1987).
- (9) 加藤, 守倉, 榎本, 久保田, 梅比良: “大規模通信装置のLSI化手法とインパクト-TDMA変復調装置のLSI化”, 信学技報, SDM87-108(1987).
- (10) 加藤, 守倉, 梅比良, 榎本, 久保田: “TDMAシステムのLSI化およびIC化手法—高信頼・無調整TDMA装置—”, 信学論(A), J72-A, 2, pp. 231-240(1989-2).
- (11) S. KATO, M. MORIKURA, M. UMEHIRA, K. ENOMOTO and S. KUBOTA: “General purpose TDMA LSI development for low cost earth station”, Proc. ICC' 86, pp. 513-518(1986).
- (12) 榎本, 久保田, 大谷, 加藤: “TDMA装置LSI化の基礎検討—同期語検出回路、誤り訂正回路のLSI化”, 信学技報, SAT84-36(1984)
- (13) 加藤, 守倉, 梅比良, 榎本, 久保田: “TDMA装置LSI化の検討”, 信学技報, CS84-155(1984)
- (14) 加藤, 守倉, 梅比良, 榎本, 久保田: “汎用化TDMALSI—LSI化TDMA装置の設計”, 信学技報, SAT86-3(1986)
- (15) 加藤, 守倉, 梅比良, 榎本, 久保田: “汎用化TDMA LSI—エラスティックバッファ・ユニークワード検出LSI”, 信学技報, SAT86-4(1986)
- (16) 加藤, 守倉, 梅比良, 榎本, 久保田: “汎用化TDMA LSI—ビタビ復号器・バースト合成/分離LSI—”, 信学技報, SAT86-5(1986).
- (17) 加藤, 守倉, 梅比良, 榎本, 久保田: “汎用化TDMA LSI—タイミング制御・圧縮伸張バッファ制御回路LSI—”, 信学技報, SAT86-6(1986).
- (18) 榎本, 梅比良, 守倉, 大谷, 新田, 加藤: “SK-40方式用LSI化TDMA装置”, 昭62信学総全大, 2270.
- (19) S. KATO, M. MORIKURA, M. UMEHIRA, K. ENOMOTO and S. KUBOTA: “Compact and High Performance TDMA Terminal for Satellite Communication”, Proc. ICC' 88, pp. 1680-1686(1988).

- (20) M. MORIKURA, K. ENOMOTO and S. KATO: "High Speed Onboard Digital Signal Processing and LSI Implementation", Proc. ICC' 88, pp. 493-498 (1988)
- (21) S. KATO, K. OHTANI, T. KOHRI, M. MORIKURA, M. UMEHIRA and S. KUBOTA: "On-board Digital Signal Processing Technologies for Present and Future SCPC Systems" International Journal of Satellite Communication, vol. 6, pp. 289-300 (1988).
- (22) S. Tanaka, J. Iwamura, J. Ohno, K. Maeguchi, H. Tango and K. Doi: "A Subnanosecond 8K-Gate CMOS/SOS Gate Array", IEEE J. Solid-State Circuits, SC-19, 5, pp. 657-663 (Oct. 1984).
- (23) R. Peters, R. Rieger and A. Stanley: "Digital Technologies and Systems for Geostationary Orbit Satellites", Proc. American Institute of Aeronautics and Astronautics, AIAA-84-0749, pp. 432-439, (1984).
- (24) 守倉, 榎本, 加藤: "200 MHz ユニークワード検出器SOS LSI の構成と特性", 信学技報, SAT86-18 (1986).
- (25) 守倉, 榎本, 加藤: "汎用・高速デジタル相関器LSIの構成法", 信学論(C), J71-C, 4, pp. 545-552 (1988-4).
- (26) 守倉, 榎本, 加藤: "並列処理型デジタル相関検出回路の最適化", 昭62信学総全大, 2331.
- (27) TRW LSI Products Preliminary Data Sheet 116C for TDC 1023J Correlator, EL Segundo, CA, (Sep. 1980).
- (28) W. Schrempp and T. Sekimoto: "Unique word detection in digital burst communications", IEEE Trans. Commun., COM-16, pp. 597-605 (Aug. 1968).
- (29) A. S. Acampora and R. E. Langseth: "Baseband processing in a high-speed burst modem for a satellite-switched TDMA system", IEEE Trans. Commun., COM-27, 10, pp. 1496-1503 (Oct. 1979).
- (30) A. Ogawa and H. Okinaka: "A Unique Word Detection Method and its Error Rate Performance", Trans. IECE Japan (Section E), E64, 9, (Sep. 1981)
- (31) K. Feher: "Digital communications", Prentice-hall, pp. 375-386 (1983).
- (32) 藤野 忠: "多次元軟判定ユニークワード検出方式の理論的考察", 信学論(B), J69-B, 11, pp. 1516-1522 (1986-11).
- (33) 守倉, 榎本, 久保田, 加藤: "低C/N時におけるユニークワード検出特性の一改善"

法”，信学論(8)，pp.1523-1530(1986-11).

(34)L.M.Leibowitz:”Multiplexing Technique for Digital Correlator Speed Improvement”, IEEE Trans. Commun., COM-33, 6, pp. 579-588 (Jun. 1985).

(35)大竹，藤崎，山沢：”PCM-400M方式における並列形フレーム同期方式の検討”，昭49信学総全大，2223.

本論文に関する著者の発表論文

1. 学会論文誌

- (1) 福間, 守倉, 加藤: “TDMA制御信号のブロック誤り確率低減法”, 信学論(B), J70-B, 10, pp. 1254-1256(1987-10)
- (2) 守倉, 榎本, 久保田, 加藤: “低C/N時におけるユニークワード検出特性の一改善法”, 信学論(B), J69-B, 11, pp. 1523-1530(1986-11).
- (3) 榎田, 守倉, 梅比良, 加藤: “記憶型バースト復調器AFC回路の検討”, 信学論(B), J69-B, 11, pp. 1509-1515(1986-11).
- (4) 守倉, 加藤: “衛星上マスタクロック制御間隔の検討”, 信学論(B), J70-B, 3, pp. 355-365(1987-3).
- (5) 加藤, 守倉, 梅比良, 榎本, 久保田: “TDMAシステムのLSI化およびIC化手法—高信頼・無調整TDMA装置—”, 信学論(A), J72-A, 2, pp. 231-240(1989-2).
- (6) 守倉, 榎本, 加藤: “汎用・高速デジタル相関器LSIの構成法”, 信学論(C), J71-C, 4, pp. 545-552(1988-4).
- (7) S. KATO, K. OHTANI, T. KOHRI, M. MORIKURA, M. UMEHIRA and S. KUBOTA: “On-board Digital Signal Processing Technologies for Present and Future SCPC Systems”, International Journal of Satellite Communication, vol. 6, pp. 289-300(1988).

2. 国際会議講演

- (8) M. MORIKURA, S. KUBOTA, K. ENOMOTO and S. KATO: “Novel Control Channel Quality Improvement in Satellite Communication Systems Employing High Coding Gain FEC”, Proc. GLOBECOM' 88, pp. 136-140(1988).
- (9) M. MORIKURA and T. MASAMURA: “Clock synchronization system for on-board regenerative satellite communication”, Proc. ISTS, pp. 855-860(1984).
- (10) T. YOSHIKAWA, M. MORIKURA and S. KATO: “A precise SS-TDMA synchronization scheme employing onboard reference burst generator”, Proc. ICC' 85, pp. 994-998(1985).
- (11) S. KATO, M. MORIKURA, M. UMEHIRA, K. ENOMOTO and S. KUBOTA: “General purpose TDMA LSI development for low cost earth station”, Proc ICC' 86, pp. 513-518(1986).
- (12) S. KATO, M. MORIKURA, M. UMEHIRA, K. ENOMOTO and S. KUBOTA: “Compact and High

Performance TDMA Terminal for Satellite Communication” ,Proc. ICC' 88,
pp. 1680-1686(1988).

- (13) H. MORIKURA, K. ENOMOTO and S. KATO: “High Speed Onboard Digital Signal Processing and LSI Implementation”, Proc. ICC' 88, pp. 493-498(1988) .

3. 電子情報通信学会技術研究報告

- (14) 加藤, 守倉, 梅比良, 榎本, 久保田, 大谷: “広帯域衛星通信用 T D M A 装置の構成と特性”, 信学技報, SAT84-46(1984-12).
- (15) 榎田, 守倉, 梅比良, 加藤: “トランスポンダホッピング用 T D M A 装置の構成と特性”, 信学技報, AP85-117(1986-2).
- (16) 守倉, 梅比良, 正村, 鮫島: “再生中継マルチビーム衛星通信方式の検討ー広帯域加入者通信方式の構成と特性ー”, 信学技報, SAT84-11, (1984-5).
- (17) 守倉, 正村, 鮫島: “衛星上再生中継 T D M A 用バースト同期方式の検討”, 信学技報, CS82-120(1983-2).
- (18) 守倉, 鮫島: “位相及び周波数をステップ状に制御可能なデジタル制御発振器”, 信学技報, AP83-144(1984-2).
- (19) 守倉, 加藤: “衛星搭載用マスタクロック制御方式”, 信学技報, SAT85-14(1985-8).
- (20) 加藤, 守倉, 梅比良, 榎本, 久保田: “T D M A 装置 L S I 化の検討”, 信学技報, CS84-155(1985-1)
- (21) 加藤, 守倉, 梅比良, 榎本, 久保田: “汎用化 T D M A L S I ー L S I 化 T D M A 装置の設計ー”, 信学技報, SAT86-3(1986-5).
- (22) 加藤, 守倉, 梅比良, 榎本, 久保田: “汎用化 T D M A L S I ーエラスティックバッファ・ユニークワード検出 L S I ー”, 信学技報, SAT86-4(1986-5).
- (23) 加藤, 守倉, 梅比良, 榎本, 久保田: “汎用化 T D M A L S I ーピタビ復号器・バースト合成/分離 L S I ー”, 信学技報, SAT86-5(1986-5).
- (24) 加藤, 守倉, 梅比良, 榎本, 久保田: “汎用化 T D M A L S I ータイミング制御・圧縮伸張バッファ制御回路 L S I ー”, 信学技報, SAT86-6(1986-5).
- (25) 加藤, 梅比良, 守倉, 大谷, 榎本, 久保田, 新田, 藤本: “S K ー 4 0 方式用 T D M A システム”, 信学技報, SAT86-29(1986-11).
- (26) 加藤, 守倉, 榎本, 久保田, 梅比良: “大規模通信装置の L S I 化手法とインパクト

- T D M A 変復調装置の L S I 化—”，信学技報，SDM87-108(1987-10).
- (27) 守倉，新田，加藤：“衛星通信用 L S I 化地上網インタフェース回路の構成と特性”，
信学技報，SAT87- (1987-11).
- (28) 守倉，榎本，加藤：“200 MHz ユニークワード検出器 S O S L S I の構成と特性”，
信学技報，SAT86-18(1986-9).
4. 講演発表
- (29) 加藤，梅比良，守倉，久保田，：“広帯域衛星通信用 T D M A 方式”，
昭 5 9 信学通信全大，S8-9.
- (30) 福間，守倉，加藤：“T D M A 制御信号のブロック誤り確率低減法”，
昭 6 2 信学総全大，2313.
- (31) 守倉，加藤：“SS-TDMA 同期特性の検討—ユニークワードの設計—”，
昭 5 9 信学通信全大，692 .
- (32) 守倉，榎本，加藤：“並列処理型デジタル相関検出回路の最適化”，
昭 6 2 信学総全大，2331.
- (33) 守倉，榎本，加藤：“低 C / N 時におけるユニークワード検出特性の一改善法”，
昭 6 1 信学総全大，S16-8
- (34) 守倉，榎本，久保田，加藤：“T D M A 同期に与えるビタビ復号誤りパターンの影響”
，昭 6 1 信学通信全大，497
- (35) 守倉，加藤：“符号化ユニークワード検出特性”，昭 6 2 信学情報・システム全大，
425.
- (36) 加藤，梅比良，守倉，榎本：“トランスポンダホッピング T D M A 方式の検討”，
昭 6 2 信学総全大，2306.
- (37) 加藤，守倉，榎本，久保田，梅比良：“DYANET用トランスポンダホッピング TDMA装置”，
昭 6 3 信学総全大，B-163.
- (38) 榎田，守倉，梅比良，加藤：“記憶型バースト復調器 A F C 回路の検討”，
昭 6 1 信学総全大，S25-2.
- (39) 守倉，正村：“衛星上再生中継 T D M A 用クロック完全同期回路の検討”，
昭 5 8 信学総全大，2116.
- (40) 守倉，加藤：“高精度 S S - T D M A 同期方式の検討”，昭 6 0 信学総全大，2492

- (41) 榎本，梅比良，守倉，大谷，新田，加藤：“SK-40方式用LSI化TDMA装置”
，昭62信学総全大，2270.
- (42) 守倉，新田，榎本，加藤：“DYANET用TDMA装置同期制御部の構成と特性”，
昭63信学総全大，B-165.
- (43) 新田，守倉，加藤：“DYANET用TDMA装置インタフェース部の構成と特性”，
昭63信学総全大，B-164.

謝 辞

本論文をまとめるにあたり御懇切なる御指導御鞭撻を頂いた京都大学工学部木村磐根教授、松本紘教授、小倉久直教授に謹んで感謝の意を表します。

また、種々御指導御援助頂いた日本電信電話株式会社無線システム研究所山本平一所長、森田浩三無線方式研究部長、鮫島秀一衛星通信研究部長、ネットワークシステム開発センタ森広芳照プロジェクトマネージャに深く感謝します。

さらに、衛星通信用変復調器、誤り訂正回路に関して御助言を頂いたネットワークシステム開発センタ梅比良主任技師、無線システム研究所榎本清司主任研究員、久保田周治主任研究員に深く感謝致します。本研究は、無線システム研究所で衛星通信用TDM A装置の研究開発を行ってこられた加藤修三グループリーダーの研究成果を基礎にして行ったもので、加藤修三グループリーダーには直接の上司として研究の途上で種々の御指導御助言を頂きました。ここに厚く御礼申し上げます。

