

論理回路の故障の自律検査法

京都大学 工学部 矢島 脩三
栄木 浩
稲垣 耕作

1. まえがき 離散システムの複雑さと集積度が急速に増しつある今日、故障検査の問題は、信頼性の高い離散システムの実現にとって、ますます重要かつ不可欠なものとなってきた。被検査回路(CUT)内部の故障を検出・診断するとき、回路に質問をして、即ち、検査系列を印加して回路内部の情報を得るのが従来の方法である(図1)。しかし、回路自身の自己発振を利用して、故障情報を含む回路内部の情報を抽出できるのではないかと考えられる(図2)。ここでは、従来の方法との併用を含めて、この方法を自律検査法(

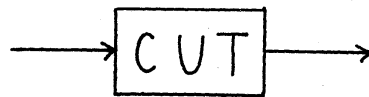


図1 従来の故障検査法

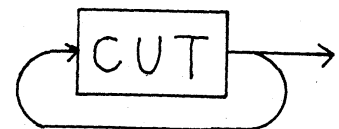


図2 自律検査法

autonomous testing) と呼ぶ。自律検査法では、CUT の出力をその入力側に帰還することにより、基本的には一つの自律回路が構成される [5], [6]。

自律検査法により、簡単・高速で検査用ハードウェアの少ない故障検査が行える可能性があり、組込み検査、間欠故障の検査、スキャンパス構成の併用による検査容易な順序回路の設計などに応用できると思われる。

本論文では、自律検査法に関する基礎的研究として、基本ゲートおよび簡単な組合せ回路の故障検出について考察する。

2. 一般的検査機構 自律検査法の一般的検査機構を図3に示す。検査パターン発生回路 (TPG) は、CUT の出力をもとに、検査入力パターンを生成する。判定回路 (DC) は、CUT の故障の有無の判定、あるいは故障の位置決めを行う。

TPG および DC の設計に関して、次のような手法が有用であると考えている。

- (1) TPG (の一部) として、シフトレジスタを使用する。

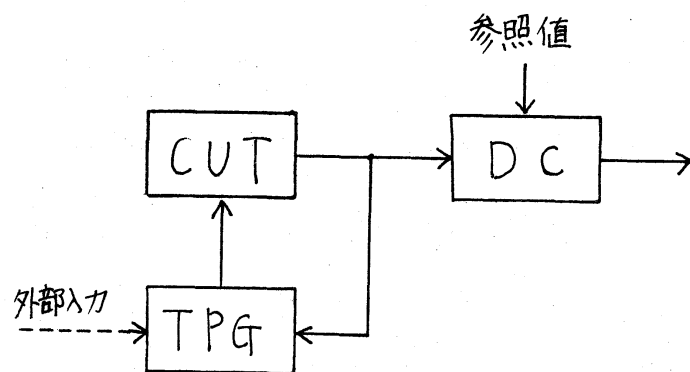


図3 一般的検査機構

(2) 被検査順序回路の記憶

素子を, 検査時にシフトレジスタとして動作できるように設計 (scannable design, [1], [2]) することにより, TPG として使用する。

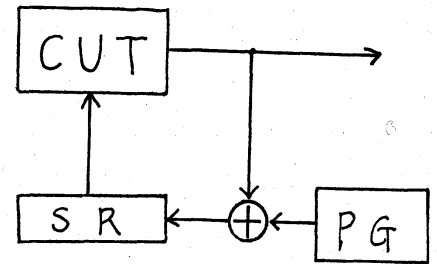


図4 スクランプラの考え方

- (3) CUT の出力系列の周期性を利用して, 周期系列あるいは周期により故障の有無を判定する。また, オシロスコープに表示して直視する [3]。
- (4) DC と TPG を一体化して, 検査用ハードウェアの減少を図る。
- (5) スクランプラの考え方に基づき, 外部からの入力を利用する (図4)。

3. 基本ゲートの故障検出検査 本章では, NAND, NOR, AND, OR, パリティ, 単純多数決の6種の基本ゲートを対象に, 自律検査法による故障検出を試みる。TPG としてシフトレジスタを用い, ゲートの入出力線上に永久多重の縮退故障 (stuck-at 0 あるいは stuck-at 1) を仮定する。

[命題1] n 入力 NAND ゲートの任意の永久多重縮退故

障は、図5の検査機構で、シフトレジスタの任意の初期値のもとで検出可能である。

(証明) 故障がない場合、シフトレジスタの任意の初期値のもとで、その内容(入力パターン)は、

$$1^n \rightarrow 1^{n-1}0 \rightarrow 1^{n-2}01 \rightarrow \dots \rightarrow 01^{n-1} \rightarrow 1^n$$

と、周期的に変化するようになる。ところが、この $n+1$ 種の入力パターンで、仮定の故障は検出可能である。(証明終)

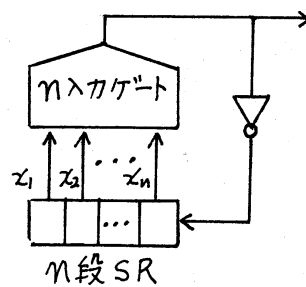
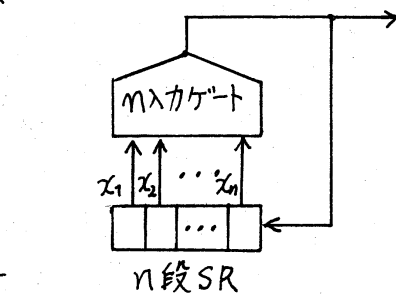
双対性より、次の命題は明らかである。

〔命題2〕 n 入力NORゲートの任意の永久的多重縮退故障は、図5の検査機構で、シフトレジスタの任意の初期値のもとで検出可能である。

〔系1〕 n 入力ANDゲートの任意の永久的多重縮退故障は、図6の検査機構で、シフトレジスタの任意の初期値のもとで検出可能である。

〔系2〕 n 入力ORゲートの任意の永久的多重縮退故障は、図6の検査機

構で、シフトレジスタの任意の初期値のもとで検出可能である。



[命題3] n 入力パリティゲートの任意の永久的多重縮退故障は、図6の検査機構で、シフトレジスタの初期値 0^n のもとで検出可能である。

(証明) 故障がないときの入力パタンの変化は、

$$0^n \rightarrow 0^{n-1}1 \rightarrow 0^{n-2}10 \rightarrow \dots \rightarrow 10^{n-1} \rightarrow 0^n$$

となる。仮定された故障は、 $n-1$ 以下の変数の線形関数、あるいは定数関数を回路出力に生じさせるが、変数 x_k を縮退させるような故障は、入力パターン 0^n か $0^{k-1}10^{n-k}$ のいずれかで検出できる。(証明終)

[命題4] n 入力単純多数決ゲートの任意の永久的多重縮退故障は、図6の検査機構で、シフトレジスタの初期値 $1(10)^{\frac{n+1}{2}-1}$ のもとで検出可能である。ただし、 n は5以上の奇数とする。(証明略)

上述の6種のゲートに対して、シフトレジスタの特定の初期値のもとで、特定数のクロックパルスを与えた後に試験を打ち切る場合、

図7, 図8の検査機構を用いれば、残されたシフトレジスタの内容

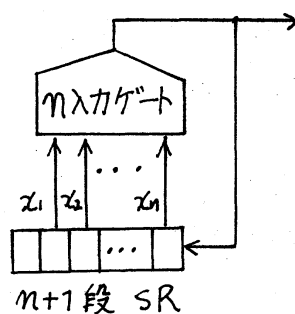


図7 ゲートの故障検出(3)

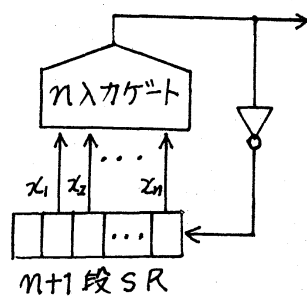


図8 ゲートの故障検出(4)

によって、故障の有無が判定できる。

間欠故障の検査など、必要な検査入カパターンをくり返し印加することが要求される場合には、シフトレジスタ系列に関する次の定理が利用できる。

〔定理〕(文献〔4〕より) 図9の自律回路に関して、次の2つの条件は同値である。

- (1) 状態遷移図が分岐点を持たない。
- (2) 帰還関数 $f(x_1, \dots, x_n)$ が、 $x_1 \oplus f'(x_2, \dots, x_n)$ と分解できる。

この定理から、 $n+1$ 段シフトレジスタを用いた図10の自律回路の状態遷移図は、純サイクルのみからなる。 n 入力ANDおよびNORゲートに対しては、この検査機構により、必要な検査入カパターンがくり返し印加可能である。 n 入力NANDおよびORゲートに対しては、図10の検査機構にNOTゲートを一つ付加すればよい。

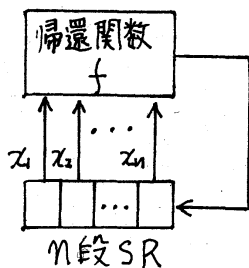


図9 帰還シフトレジスタ

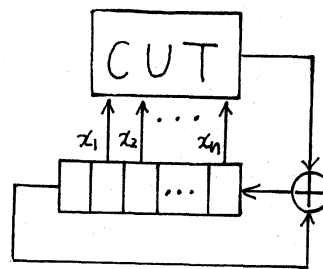


図10 線形帰還を利用した検査機構

4. 組合せ回路の故障検出検査

本章では、簡単な組合せ回路を一つ取り上げて、故障の検出を試み、検討を加える。

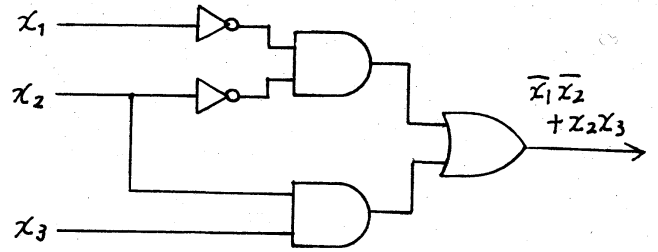


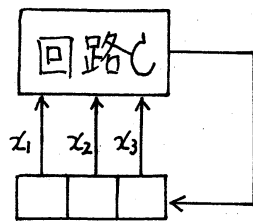
図11の例題回路cに對 例：回路c

し、次の検査パターン集合 T_c は、回路c中の任意の結線上の多重縮退故障を検出できる。

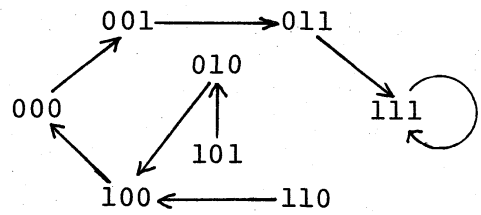
$$T_c = \{001, 010, 011, 101\}$$

シフトレジスタを用いて、 T_c のすべての要素が回路に印加できるように、自律回路を構成することを試みる。

<方法1> 回路cの出力を、3段シフトレジスタにそのまま帰還すれば、図12.(b)に示される状態遷移を行う。初期状態を101とすれば、 T_c のすべての要素が1回だけ印加できる。



(a)

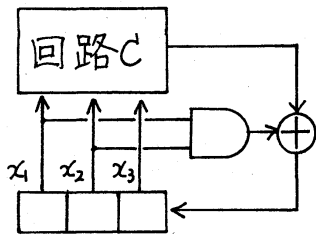


(b)

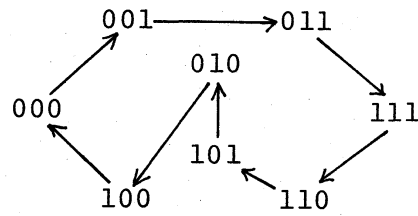
図12 回路cの故障検出検査：方法1

〈方法2〉 方法1の状態遷移図において、状態111と110の遷移先を変えれば、 T_c の要素がくり返し印加できる。ゲートを2つ付加して、図13.(a)の検査機構を得る。

〈方法3〉 前章で示した線形帰還を利用した方法(図10)でも、 T_c の要素をくり返し印加できる(図14)。

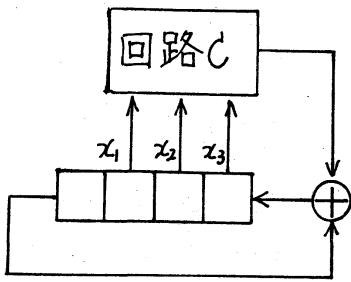


(a)

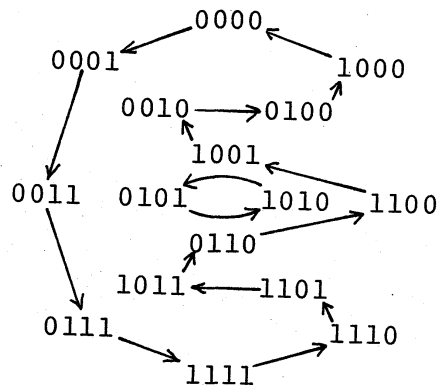


(b)

図13 回路Cの故障検出検査：方法2



(a)



(b)

図14 回路Cの故障検出検査：方法3

上記および他の組合せ回路について検討した結果を要約すると、次のようになる。

- (1) 必要な検査入力パターンをくり返し印加する必要がない場合には、比較的簡単な自律回路で、入力パターンを生成できる。
- (2) CUTの入力の並べ換え (permutation) が有効な場合がある。
- (3) 一般に、シフトレジスタが短いほど、付加すべきゲートの数が増加する。
- (4) 線形帰還を利用した方法は、豊富な入力パターンをくり返し生成できるが、くり返し周期が長くなる傾向がある。
- (5) 複雑な組合せ回路に対しては、シフトレジスタの異なる初期値のもとで、複数回の試験を行うことを考慮すべきである。

5. おすび 自律検査法による、基本ゲートおよび簡単な組合せ回路の故障の検出を試みた。今後、1出力組合せ回路に対する一般的な故障検査手順について考察し、さらに多出力回路へと拡張してゆきたい。

謝辞 熱心に御討論していただいた、本学上林弥彦助教授はじめ、矢島研究室諸氏に感謝いたします。

文献

- [1] E.B.Eichelberger and T.W.Williams, "A Logic Design Structure for LSI Testing," Proc. of 14th Design Automation Conference, pp. 462-468, June 1977
- [2] E.B.Eichelberger, et al., "A Logic Design Structure for Testing Internal Arrays," Proc. of 3rd USA-JAPAN Computer Conference, pp. 266-272, Oct. 1978
- [3] 矢島, "論理演算基本回路の動作マージン直視装置," 電気通信学会, 電子計算機研究専門委員会資料, 1967年7月
- [4] S.W.Golomb, "Shift Register Sequences," Holden-Day, 1967
- [5] 矢島, 栄木, 稻垣, "論理回路の故障の自律検査法," 信学技報, EC 78-49, 1978年12月
- [6] S.Yajima, H.Eiki and K.Inagaki, "Autonomous Testing of Faults in Logic Circuits," FTCS-9 投稿中