

非同期論理回路について

長谷川 利治
(京都大学 工学部)

1. はしがき.

論理回路による論理演算の高速化のため、従来から非常に広範囲かつ高度な研究が行われてきている。ことに、電子計算機における累算器に対しては、各種の高速回路方式が考えられている。⁽¹⁾ また、論理回路方式として、非同期論理回路が提案され、同期式論理回路における刻時信号の待ち時間がなく、原理的には高速演算が期待された。ところが、一般に非同期回路では、各種のハザードのために内部に遅延回路を要したり、使用方法に厳しい制限がつけられたり、あるいは、論理設計が複雑で、かつ多くの基本回路を要するなど、⁽²⁾ いまだに多くの問題が残されている。

非同期論理回路の構成にあたって、まず問題と存するのは、Racing をいかにさけるか、ということであり、このためにいくつかの演算形式が提案されてきたが、その一つに、D.E. Muller によって提案された Speed Independent Logic

(3) がある。これは、すでに Richards が自動タイミング非同期論理回路などと呼ばれているものとして提案⁽⁴⁾しているもので、以後多くの研究発表^{(5)~(8)}がある。この回路方式は、演算の終了の信号を常に監視、検出し、各回の演算の解が得られたことを、この演算終了信号が構成している回路の出力からすべて消失したことから検知するものである。解が得られれば、次段の論理回路へ伝達されることとなる。演算の開始にあたっては、すべての構成回路の状態が演算の終了する信号による状態になっている。

このような回路は、離散的情報と非同期で伝達する系において要求されるように、⁽⁹⁾少なくとも三状態を持たなければならぬ。少なくとも三状態を持つことによつて、その中の一状態から演算終了信号が得られ、他の二状態から情報信号が得られる。とすることによつて、自動タイミング非同期論理回路が構成される。これらの三状態を元々の三値(三レベル)論理系を用いるか、二値二重系を用いるか、などが考えられるが、三根元のもの⁽⁷⁾を除いて、ほとんどのものが二値二線式の論理系を用いている。論理回路の実現性を考えるとき、二値論理回路のみによつて構成できる二値二線式は、使用化のための一般階としてきわめて重要なものと思われるが、二値論理の非同期演算を考えるとき、三値論理回路による演算

系の方がすぐれていると思われる。二値二線式系においては二系列の二値論理演算が異なった線上で行なわれるため、それぞれの線上での情報伝播速度が一致しているければ非常に困難な問題に直面することとなる。三値(三レベル)論理を用いれば、すべての論理演算は一重系の上での演算となるため、この困難な問題は起らない。この観点から、二値二線式などの多線式論理では、本質的な意味での非同期演算が可能かどうかは疑わしいとすべきであり、この報告でも、多線式ではなく多レベル式の論理回路に限って示す。

非同期論理回路を有用化する最大の目的は、演算速度の高速化にあることは当然であり、したがって、これに関する研究も高速化を目的とし、その効果を検討すべきではあるが、二・三の例⁽¹⁾⁽⁵⁾を除いて、回路実現をまづ目的としたものが殆んどである。また、三値論理系を用いたものも、三値論理回路の未発達もあって、我国における二・三の例にどどま⁽⁷⁾⁽¹⁰⁾⁽¹¹⁾っているようである。

2. 回路の例

三根らは、PNPあるいはNPNのうちの一方の型のみのトランジスタ(以下Tと略す)を能動素子として、三レベルの三値論理回路を構成している⁽¹²⁾。また、やはり一方の型式の

みのTrを用いて、三安定回路を構成し、三値シフトレジスタや三値フィードバックシフトレジスタなどを構成している。(13)

まず、この三値論理回路を用いて構成された二値非同期加算器(7)について説明する。二値非同期加算器構成のために採用された、真理値、情報回路の電圧および数値の対応を表1に示す。ここで、 ϕ は無演算をえし、演算終了信号と与える。

表1. 真理値, 電圧, 数値の対応

真理値	+	0	-
電圧	高	中	低
数値	1	ϕ	0

演算回路においては、各回の演算を ϕ の状態から開始し、全出力から ϕ が消失することによって解が得られたことが検出される。加算すべき入力を x および y としたときの和 S_{xy} および桁上げ(キャリー)は表2で与えられる。 S_{xy} と C_{xy} を与える論理式は表2, (a) (b)の真理値表から次式で与えられる。ここで用いられている三値論理関数の真理値表現は表3に与えられている。この二値非同期加算器の

表2. 二値非同期加算器の和とキャリー

(a) 和 S_{xy}			(b) キャリー C_{xy}				
	y			y			
	+	0	-	+	0	-	
+	-	0	+	+	0	-	
x 0	0	0	0	x 0	0	0	0
-	+	0	-	-	-	0	-

を与える論理式は表2, (a) (b)の真理値表から次式で与えられる。ここで用いられている三値論理関数の真理値表現は表3に与えられている。この二値非同期加算器の

$$S_{xy} = (x \cdot \text{AND} \cdot \text{INV}y) \cdot \text{OR} \cdot (\text{INV}x \cdot \text{AND} \cdot y)$$

$$C_{xy} = \text{INV}(S_{xy} \cdot \text{OR} \cdot (\text{INV}x \cdot \text{AND} \cdot \text{INV}y))$$

ブロック図と図1に示す。また、構成された回路の動作例と図2に示す。

表3. 三値論理関数の真理値表

x	+	0	-
INVx	-	0	+

	y		
	+	0	-
x +	+	0	-
x 0	0	0	-
x -	-	-	-

	y		
	+	0	-
x +	+	+	+
x 0	+	0	0
x -	+	0	-

この回路は、単に真理値表

値の対応を表1のようにとったとき、表2に示すような真理値表現を持つ回路を構成したためにすぎないものともいえる。また、高速化の問題について秀じる段階にもなっていない。

喜田村らは、下のコレクタ・ベース間に、逆方向に直列接続したトンネルダイオードに

図1 加算器の構成

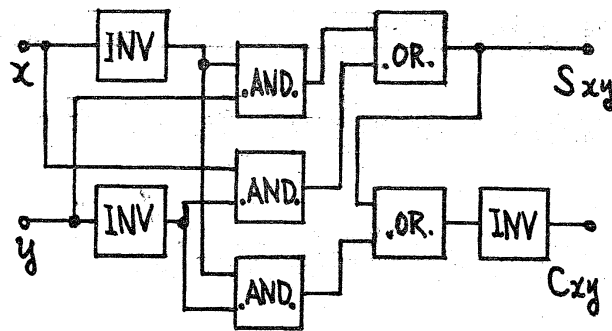
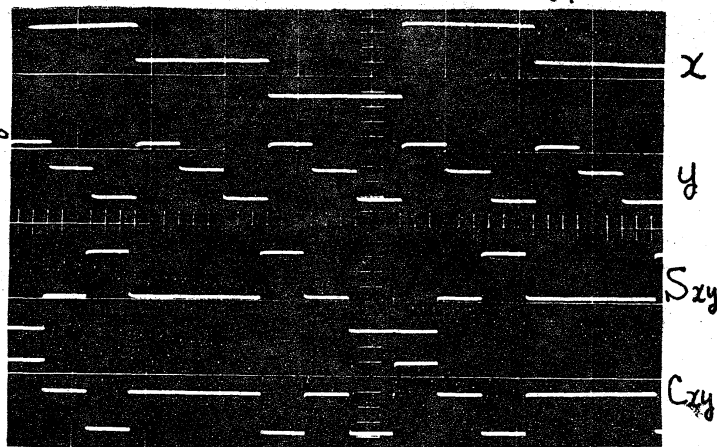


図2 加算器の入出力例



よってしきい値回路を構成し、三値論理演算が可能であることをたしかめてみるが、⁽⁴⁾この回路により二値論理の非同期演算回路が構成できることを示している。⁽¹⁰⁾基本となる回路を

図3に示す。図3の回路により、各種の1変数関数演算回路が構成される。多変数の演算回路の例として、2変数の演算回路を図4に示す。これらの回路を用いて非同期二値相加算を構成できるとしている。しかし、トランジスタ- D と T_r の組合せによる論理回路の柔軟性については、 I 化の困難さほど多くの問題がある。

三根⁽¹¹⁾は、図5に示すようには、シリコンダイオードと

T_r によるDTL回路による三値NAND回路を構成し、これにより自動タイミング非同期論理回路を構成することが可能である。このような非同期回路が、二値並列計算

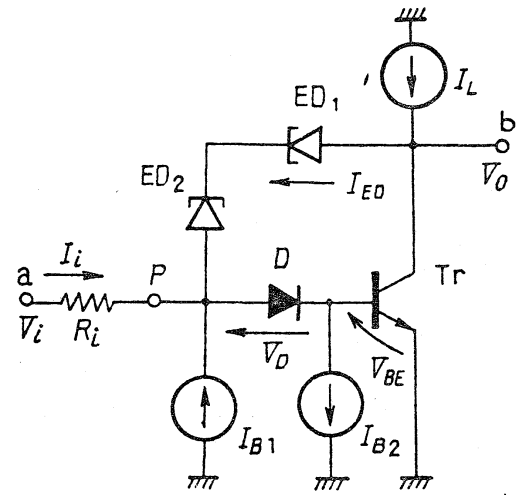


図3. 三値論理基本回路

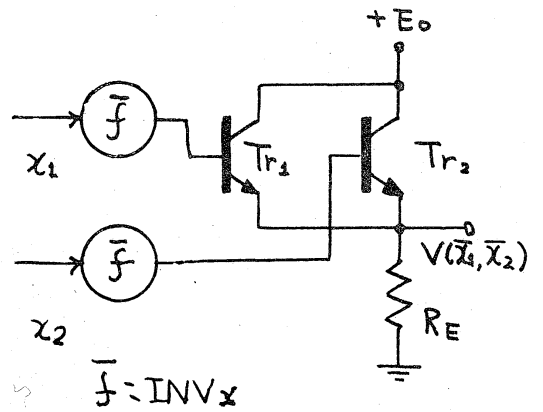


図4 $V(x_1, x_2)$ 回路

器をとりあげ、非同期回路方式を採用したことによっての高速化に対する効果を、理論的に解析し、加算器と類似の動作をする二進計数器を試作し、実験的にもたしかめている。使用されている三値論理回路の真理値表を表4に示す。

図5のように構成された三値NAND回路は、周囲温度 $5^{\circ}\text{C} \sim 45^{\circ}\text{C}$, $h_{FE} 40 \sim 200$, F_{in-in} , F_{an-out} ともに1~6, で充分安定に動作する。また、この回路の一回路あたりの平均遅延時間は約20nsである。

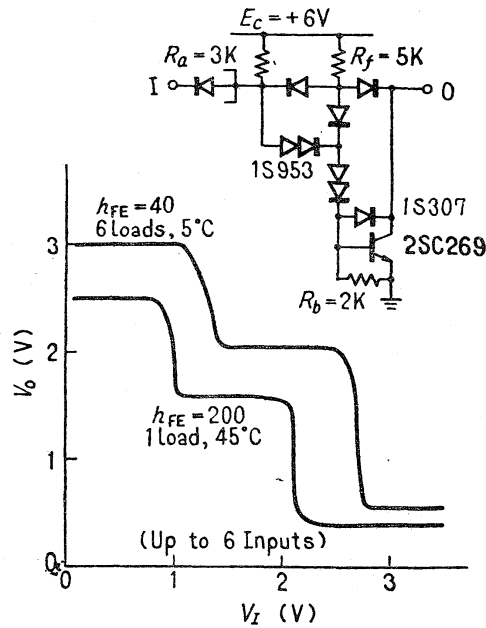


図5. 三値NAND回路とその入出力特性.

表4. 三値否定および三値NAND

(a) \bar{x}		(b) $\overline{x \cdot y}$			
x	\bar{x}	y	0	ϕ	1
0	1	0	1	1	1
ϕ	ϕ	ϕ	1	ϕ	ϕ
1	0	1	1	ϕ	0

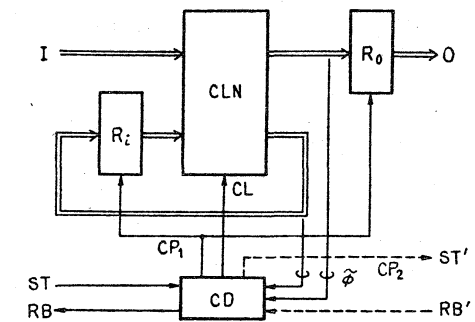
3. 自動タイミング非同期論理回路.

自動タイミング非同期論理回路の一般的な構成をブロック図で図6に示す。これは、組合せ論理回路網CLN, 内部レジスタ R_i , 出力レジスタ R_o , および制御回路CDからなっている。CLNは上述の三値NAND回路を用いて、二値

NANDを用いる同期式論理回路の場合と同じように論理設計される。ただし、この回路の各出力がφで正しいこと(Φ)を検出するための回路をこれらの出力に付加しなければならぬ。レジスタ R_i と R_o は、二値のDTL形クロックドRSフリップフロップ(FF)回路を用いる。図7(a)は、制御回路CDの構成を本し、その制御フリップフロップA、(FF-A)には、図7(b)のようはRS-FFを用いる。

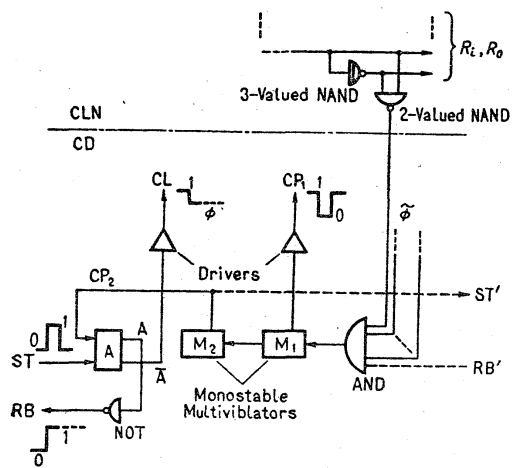
この論理ブロックが休止しているとき、FF-Aは0にリセットされていて、その否定出力は \bar{A} クリア信号CLをφにする。このCLを、CLNのφの三値NAND回路に入力

として与えておく。したがって、この場合、入力Iおよび内

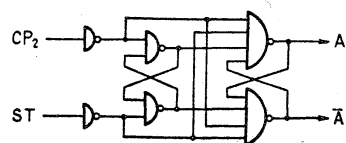


CLN: combinational logical network,
 R_i : internal register, R_o : output register,
 CD: completion detector, I: data input,
 O: data output, ST: start signal,
 RB: reply back signal, CP_1 : 1st completion pulse,
 CP_2 : 2nd completion pulse, CL: clear signal.

図6. 自動タイミング非同期論理回路の構成.



(a) Detail of Completion Detector CD



(b) Circuit of Control FF-A

図7. 終了検出制御回路の構成.

部レジスタ R_i から直接 0 の入力を受けているもの以外のすべての三値 NAND 回路の出力は ϕ である。

起動信号 ST (パルス) が 1 になると FF-A が 1 にセットされ、ST が 0 に復帰すると \bar{A} が 0 になる。これによって CLN が 1 になり、CLN で論理演算がはじまる。ST が 1 になる前に入力 I を更新し、ST のパルス幅を三値 NAND 1 回路の応答時間より少し長くしておくと、CLN のどの三値 NAND 回路も誤った 0 または 1 出力を与えない。

論理演算の進行にともなって、CLN の出力が ϕ から 0 または 1 に変わっていく。CD では、これらのすべての出力が 0 か 1 であることを検出 (ϕ の論理積をとる) し、これによって 2 個の単安定マルチバイブレータ M_1 と M_2 を順次動作させる。 M_1 からの出力パルス CP_1 によって R_i と R_0 を一斉に更新する。これに続く M_2 からの出力パルス CP_2 によって A を 0 にリセットする。出力 A は CP_2 が 0 に復帰して 0 になり、否定回路を経て応答信号 RB となる。 RB が 1 になることは、この論理回路ブロックの動作が終了したことを示し、また 0 になることは動作を始めたことを示す。

CLN の各出力の ϕ の検出は、その一部を図 7 に示すように、二値の DTL 形 NAND 回路を用いて、出力そのものの 0、またはその三値否定出力の 0 を検出することによって行なう。

三値 NAND 回路における ϕ と 1 のレベルは、この二値の NAND 回路およびレジスタを構成する FF 回路にとって 1 のレベルに相当する。このため、CLN の出力そのものが 0 のときは、その三値否定出力を待たずに ϕ が検出され、しかもこの三値否定出力が遅くても正しい結果が各レジスタにセットされる。

このような自動タイミング非同期論理回路ブロックを縦続接続するときには、図 6、図 7 の破線で示すように、後続ブロックからの応答信号 RB' と ϕ の論理積入力に加え、 CP_2 を後続ブロックの起動信号 ST' とする。

4. 自動タイミング非同期論理回路のための素演算

ここには用いる素演算においては、すべての変数が真 1 か偽 0 の二値のとき、その演算結果も同じ二値に限られる。⁽¹⁵⁾ ここで、素演算として二値の単項および二項演算で、とくに可換なもの三値への拡張を考へる。このような演算として、否定、論理積、論理和、NAND、NOR、排他的論理和、および対等、がある。否定 \bar{x} においては、 x が未定 ϕ でありとき \bar{x} も ϕ であり、その真理値表は表 4 (a) のようになる。排他的論理和と対等においては、1 変数が ϕ であれば、 x が 0 にはるか 1 にはるかによって演算結果が異なるので、このと

きの演算結果は ϕ と受け止める
ない。したがって、三値排他的論
理和 $x \oplus y$ の真値表は表 5(a)
のようになる。その他の4個の演
算においては、1変数でも ϕ のも
のがあれば、そのときの演算結果

表 5, 三値排他的論理和
および NAND

(a) $x \oplus y$			(b) $\overline{x \cdot y}$		
$y \backslash x$	0	1	$y \backslash x$	0	1
0	0	1	0	1	1
ϕ	ϕ	ϕ	ϕ	ϕ	ϕ
1	1	0	1	1	0

を必ず ϕ にするものと、たとえある変数が ϕ であっても、そ
う変数が0または1の値のいづれになっても演算結果が一定
の、0あるいは1の値をとる場合には、その変数が ϕ である
にもかかわらず、演算結果を確定した値0または1にするも
のの二つの場合が考えられる。⁽¹⁶⁾ NANDについて、前者のも
のを表 5(b), 後者のものを表 4(b)に示す。

この自動タイミング非同期論理回路は、すべての変数が ϕ
である状態からその動作を開始する。したがって、この論理
回路は三値の排他的論理和、すなわち、あるいは表 5(b) のよう
な NAND, などを用いて構成すると、各演算回路の出力は、
まづともかくは到着する確定入力信号を待つことなく
あるいは1の確定出力信号を与える。これに対して、表 4(b)
のような演算を用いれば、入力信号の組合せによっては、あ
くはた一部の信号を待たずに出力が確定することもある。こ
のことは、より早く演算が終了する可能性があることを示し

ている。したがって、高速動作を目的とする自動タイミング非同期論理回路としては、表4(b)のよう形形の演算が望ましい。このような考慮を払う場合、演算の確定率を考えるのも一法である。確定率とは、1個以上の変数が ϕ である変数の値の組合せを考へ、このうち確定した0か1かの演算結果を与える組合せの数の、上の組合せ全数に対する比である。否定、排他的論理和、対等などの確定率は0であり、表4(b)の演算の確定率は $2/5$ である。多変数の場合、排他的論理和および対等の確定率はやはり0であるが、表4(b)の形のNANDでは、 n 変数の場合の確定率は $(3^n - 2^{n+1} + 1) / (3^n - 2^n)$ で与えられる。

以上の考慮のほか、演算回路としてその出力が ϕ から0または1に変化するとき、1または0のハザード出力を与えてはならないという点に注意しなければならない。このため、 ϕ のレベルは0と1のレベルの間になくてはならない。

これらの条件に加えて、回路設計、論理設計の容易さを留意した結果、図5に示した表4(b)の形のNANDを素演算回路とした。

5. 二進加算器における自動タイミング非同期論理回路方式の効果

まず、二進加算器のけたあげ信号の伝播について考える。
 二進加算器としては、基本的な二進並列加算器 ripple-carry
 adder を考えるが、ピラミッド式けた上げ法⁽¹⁷⁾ やけた上げ
 跳越し法⁽¹⁸⁾、その他論理回路の組合せによる各種の高速加算
 器にもこの非同期論理方式を適用することが出来る。二進並
 列加算器の演算速度は、けた上げ信号の伝播速度に大きく依
 存し、このけた上げ信号の伝播の様相は加数と被加数の様相
 に依存する。

一般に i けたの二進加算器において、被加数、加数、けた
 上げ出力および和出力の i けたの値をそれぞれ A_i, B_i, C_i
 および S_i とする。被加数および加数の各けたの値は全く独
 立で、0 および 1 である確率は等しく $1/2$ であるとする。 A_i
 と B_i の排他的論理和を E_i とすると、 $E_i = 0$ ならば C_i は
 C_{i-1} に依存せずに決定され、けた上げ信号の伝播はこのけ
 たで阻止される。一方 $E_i = 1$ であれば、 C_i は C_{i-1} によ
 って決まり、けた上げ信号は C_{i-1} けたから C_i けたを通
 り C_{i+1} けたへ伝播することになる。したがって、けた上げ
 信号の伝播路長(けた数)は連続した $E_i = 1$ の列の長さ(け
 た数)によってきまる。ある E_i の値の配列において、連続
 した $E_i = 1$ の列が 2 個以上ある場合、加算時間はそのもっ
 と長い列に依存する。このもっとも長い連続した $E_i = 1$ の列

の長さ l である確率を $p(n, l)$, その累積確率を $g(n, l)$,
この列の平均長を $a(n)$, この列の長さの分散を $S(n)$ とする
と,

$$\left. \begin{aligned} p(n, 0) &= p(n, n) = 0.5^n \\ p(n, n-1) &= 0.5^{n-1} \\ g(n, l) &= \sum_{j=0}^l p(n, j) \\ a(n) &= \sum_{l=0}^n l \cdot p(n, l) \\ S(n) &= \sum_{l=0}^n l^2 \cdot p(n, l) - a^2(n) \end{aligned} \right\} \dots\dots(1)$$

$n \geq 3$ に対し、

$$\begin{aligned} p(n, l) &= 0.5^{l+1} \cdot g(n-l-1, l) \\ &\quad + 0.5^{l+2} \sum_{k=0}^{n-l-2} g(k, l-1) \cdot g(n-k-l-2, l) \\ &\quad + 0.5^{l+1} \cdot g(n-l-1, l-1) \end{aligned}$$

($n \geq 3, n-2 \geq l \geq 1$) $\dots\dots(2)$

と作る。 (1), (2) より $p(n, l)$, $g(n, l)$, $a(n)$, $S(n)$ が求
められる。図8に $p(n, l)$ を $n=4, 8, 16, 32, 64$ に \rightarrow して計
算した結果を示し, 図9に $a(n)$ と標準偏差 $\sqrt{S(n)}$ を示す。

二進加算器の各けたが三値 NAND を用いて図10のように構
成されているとする。各回の加算時間としては, 經由 NAND
回路数の最も大きい $\overline{S_i}$ 出力が確定するまでの時間と,
 ϕ の検出やレジスタの更新などの制御に要する時間を考えな
ければならない。ここでは, 簡単のため, $\overline{S_i}$ の値が確定す

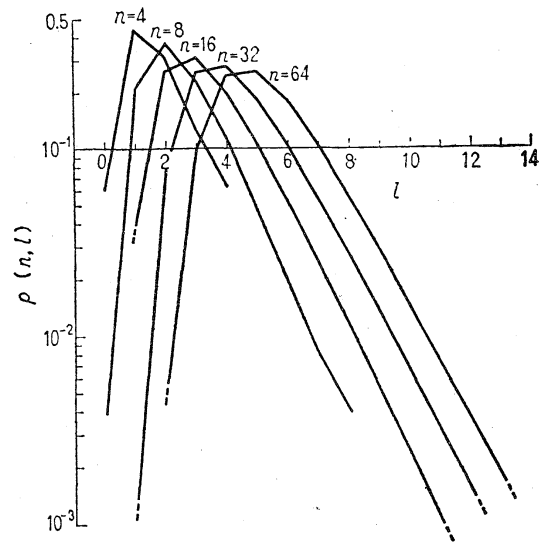
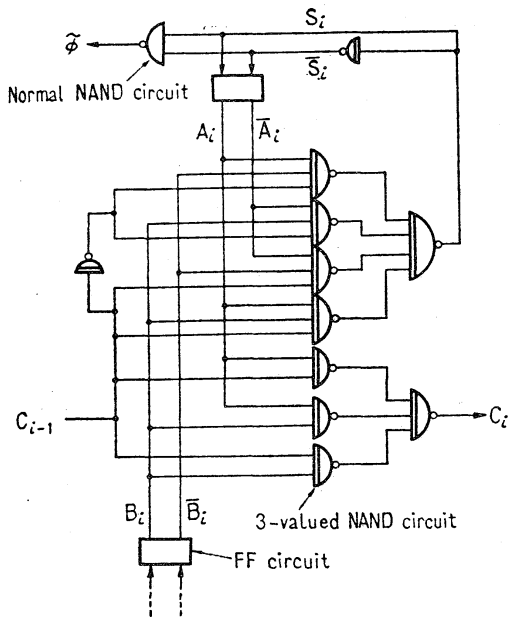


図8 $p(n, l)$ の分布

図10, 二進加算器の1けた

より前の時間を考え、
この \bar{S}_i の経由NAND
回路数について調べ
る。経由NAND数の
最も大きいけたは、
もっとも長い連続し

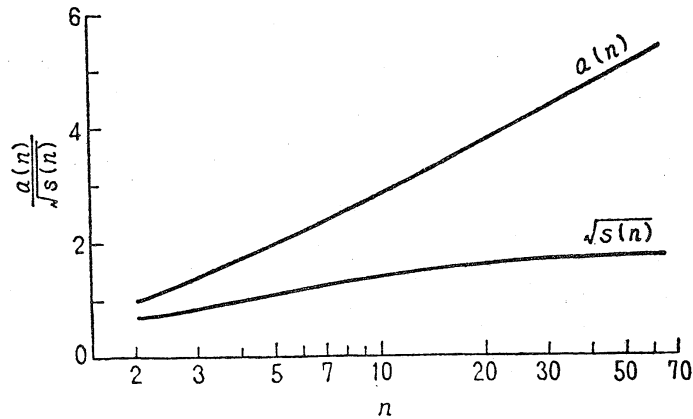


図9 $a(n)$ と $\sqrt{s(n)}$ の分布

た $E_i=1$ のけたのつぎのけたである。この $E_i=1$ の列を伝播
するけた上げ信号は、この列の直前のけたで発生するから、
この列の長さを l とすると、その経由NAND数は $2(l+2)+1$
 $= 2l+5$ である。ただし、 $E_i=1$ の列に LSD (第1けた) と
MSD (第 n けた) を認めないとする。以上から、 \bar{S}_i の最

大經由 NAND 数が $2l+5$ である確率は $P_S(n, 2l+5)$, その累積確率は $g_S(n, 2l+5)$, 平均値は $a_S(n)$, 分散は $S_S(n)$ とすると,

$$\left. \begin{aligned} P_S(n, 2l+5) &= p(n-2, l) \\ g_S(n, 2l+5) &= g(n-2, l) \\ a_S(n) &= 2a(n-2) + 5 \\ S_S(n) &= 4S(n-2) \end{aligned} \right\} \dots (3)$$

となる。

もっとも多く NAND を経由する可能性のある出力信号は, MSD の \bar{S}_n であり, この数は $2n+2$ である。したがって, 平均加算時間および加算時間の標準偏差の最大加算時間に対する比は, それぞれ $a_S(n)/(2n+2)$ および $\sqrt{S_S(n)}/(2n+2)$ であり, 計算結果が図 11

に示される。同期式の加算器においては, そのクロックパルス間隔以上の最大加算時間以上には仕掛けなければならない。

したがって, この $a_S(n)/(2n+2)$ は, 非同期式加算器における平均加算時間の, 同期式における加算時間に対する比で,

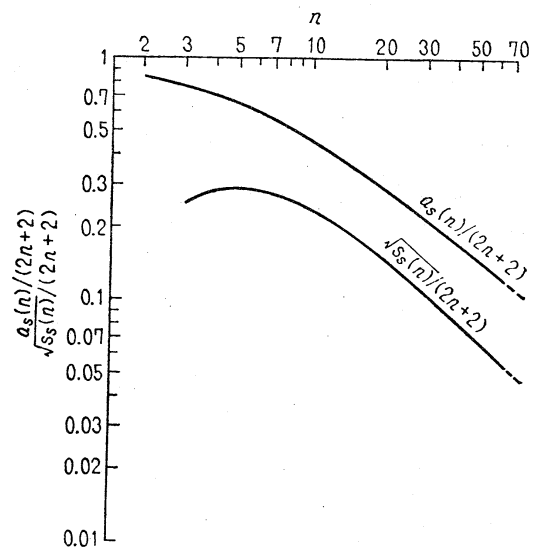


図 11. 加算時間の低減率

自動タイミング非同期論理回路方式の高速度に対する一つの効果があると考えられる。

この効果を実しかめるため、二進計数器について実験が行なわれた。図5に示した三値NAND回路を用いて8けたの二進計数器を構成した。その1けた分の回路を図12に示す。ただし、クリア信号 $\bar{\phi}$ は図示するのを省略している。

この計数器は、上述の二進加算器と類似の動作をする。この計数器が蓄

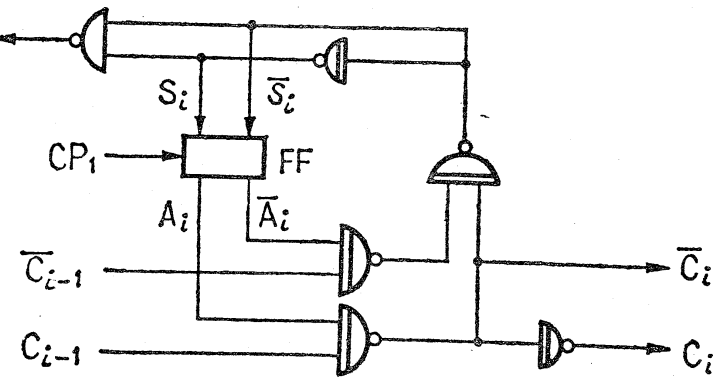


図12. 二進計数器の1けた分の回路

えている計数値のかわけたの値を A_i とする。 $A_i = 0$ であると、けた上げ出力 C_i はけた上げ入力 C_{i-1} に無関係に0であり、 $A_i = 1$ であると C_i は C_{i-1} によって決まる。したがって、もっとも長い連続した $A_i = 1$ の列の長さによってそのときの最大けた上げ伝播路長が決まり、そのときの計数動作に要する時間が決まる。もっとも長い連続した $A_i = 1$ の列の長さの確率分布、平均値および分散は二進加算器の場合と同様で、(1)、(2)によって与えられる。また、長さ l の連続した $A_i = 1$ の列に対して、この列のつぎのけたの新しい計数

出力 S_i の経路 NAND 数は $2l+4$ であるから、その最大経路 NAND 数が $2l+4$ である確率、平均値、分散は(3)の場合と同様、それぞれ $p(8-2, l)$, $2a(8-2)+4$, $4S(8-2)$ となる。こゝより、この計数器の平均動作時間の、同期式の場合の動作時間に対する比は約 $1/2.1$ となる。

このおけたの二進計数器において、 $2^8=256$ 回の各計数動作に要した時間を測定し、その度数分布を図13に示した。最小値は 280 ns 、最大値は 780 ns 、平均値

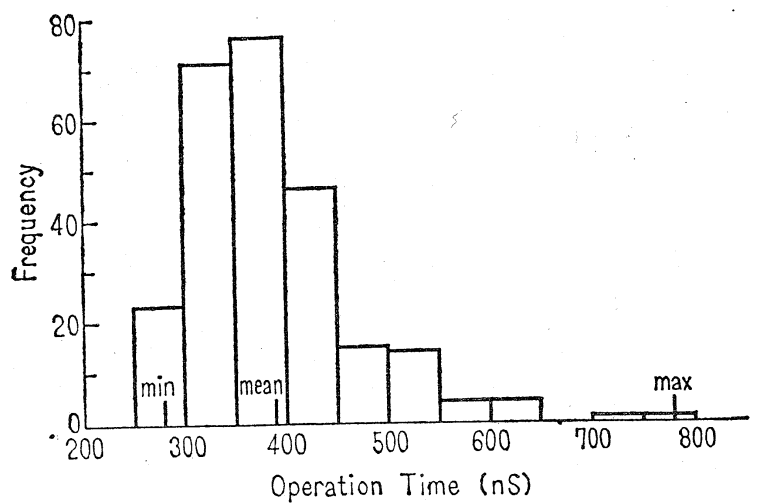


図13. 二進計数器の動作時間の度数分布。

は 390 ns であり、平均動作時間は最大動作時間の $1/2$ である。この結果は、図11に示された二進加算器の加算時間の低減率において、 $n=8$ の場合ともよく合致している。 n がもっと大きくなる場合、 ϕ の検出おこりも当然大きくなるが、このおこりは、 ϕ の検出回路における経路二進 NAND 数に比例する。ある ϕ の検出信号が経路する二進 NAND 数は n の回数に比例するので、加算時間の低減率から実際の低減率が、

大きくずれるようになることは無い。

6. まとめ

この他の、三値論理回路を用いた二値非同期回路として、二値非同期レジスタがある。これは、超高速のデータ伝送の更なる利用化、デジタル通信網の更なる利用化などを目的として、デジタル信号の通信速度が受端でゆるぐことに対応するための利用が要求されているものである。しかし、これらのほとんどは、二値論理回路を Double Rail で構成したものである。三値は、三値論理回路⁽¹²⁾および三安定回路⁽¹³⁾によって構成したエラスティックフリップ（非同期レジスタ）を提案している。⁽¹⁴⁾情報伝送の分野では、非同期方式⁽⁹⁾を採用せざるを得ない状態に至っており、各種の回路の発展が期待されている。

しかし、非同期論理方式が同期式に比べて有意義な動作時間上の低減が常にはされることがない。二進加算器の場合には大きな効果が期待できるが、一般の論理回路ではその性質や構成方法によっては、あまり効果が期待できない場合がある。とくに、組合せ論理回路における基本回路の継続段数が小さい場合には、動作時間の低減率が小さくなるばかりではなく、実質的な論理動作の前後の制御に要する時間が無視できなくなる。しかし、この様な場合でも、クロックパルスの

待合せに空費される時間が大ましく節約されることがある。また、非同期方式であることにより、組合せ論理回路の自由な多段構成を許容するため、使用する基本論理回路数を節約することも秀でられる。

このような非同期論理回路ブロックを多数用いるシステムにおいて、多数のブロックが相互に関連して同時に動作する場合には、待合せを生じ、その動作速度に対する効果がいくらも低減することがある。したがって、この様なシステムでは、その総合能率を高めるためにシステム全体の制御方法に特別の配慮が必要である。また、1つの論理機械全体を非同期論理方式で構成することも必ずしも有効ではない。

謝辞 日頃、御指導ならびに御援助下さったことによる京都大学三根久教授に深く感謝する。また、徳島大学島田良作助教授に種々御助言、御教示頂いたことを感謝する。

参考文献

- (1) 高橋 茂 (編) : 「デジタル電子計算機」 日刊工業新聞社, 138頁 (昭42-12).
- (2) D. E. Muller and W. S. Bartky : "A theory of asynchronous circuits." Proceedings of International Symposium on the theory of

- switching, 29, Harvard Univ. Press. (1959)
- (3) D.E. Muller: "Asynchronous logics and application to information processing," Switching theory in space technology, Stanford Univ. Press. (1963).
- (4) R.K. Richards: "Arithmetic operations in digital computers," Van Nostrand, p.111, (1955).
- (5) B. Gilchrist, J.H. Pomerene & S.Y. Wong, "Fast carry logic for digital computers," IRE Trans. on E.C. Vol. EC-4 (1955).
- (6) G.A. Maley & J. Earle: "The logical design of transistor digital computers," Prentice Hall, (1963).
- (7) 三根, 長谷川, 池田, 新谷: 「三値論理回路とその二値非同期論理回路への応用」 電子通信学会 電子計算機研究会資料 (1968-02).
- (8) 喜田村, 寺田, 大村, 保久良: 「大局的 Speed-independent 論理に於ける全加算器」 電子通信学会論文誌(C) 52-C巻10号, 653頁 (昭44-10).
- (9) H.Mine, T.Hasegawa, & Y. Koga: "Asynchronous transmission schemes for digital information," IEEE. Trans. on Com. Tech. Vol. COM-18 No.5. p.562 (1970-10).
- (10) 喜田村, 寺田, 武井, 「エサキダイオードを用いた三値論理回路」 電子通信学会論文誌 C. 53-C巻11号, 807頁 (昭45-11).
- (11) 三根, 長谷川, 島田, 「三値NAND回路を用いた自動タイミン」非同期論理回路とその二進加算器における効果」 電子通信学会論文誌 C. 53-C巻

9号. 652頁 (昭45-9).

(12) 三根, 長谷川, 池田, 新谷, 「三値論理回路の一構成」 電子通信学会論文誌 C. 51-C巻12号. 573頁 (昭43-12).

(13) 三根, 長谷川, 古賀, 池田, 新谷, 「三安定回路の構成, 解析および三値フィードバックシフトレジスタへの応用」 電子通信学会論文誌 C. 52-C巻 8号. 443頁 (昭44-8).

(14) 喜田村, 寺田, 武井, 「エキタノード三値論理回路」 電子通信学会論文誌 C. 52-C巻 7号. 435頁 (昭44-07).

(15) 向殿, 「C形論理関数の一性質について」 電子通信学会電子計算機研究会資料 (1968-12).

(16) 平山, 渡辺, 浦野, 「Fail-Safe 論理系, 構成理論」 電子通信学会論文誌 C. 52-C巻, 1号. 33頁 (昭44-01).

(17) M. Nadler: "A high speed electronic arithmetic unit for automatic computing machines," Acta Technica (of the Czechoslovak Academy of Science), p.462 (1956).

(18) M. Lehman & N. Burla: "Skip Techniques for high-speed carry-propagation in binary arithmetic units," IRE Trans. on E.C. Vol EC-10, No.4. (1961)

(19) 三根, 長谷川, 池田, 新谷, 「試作非同期符号通信方式1000cps装置」 電子通信学会通信方式研究会資料. (1968-06)