

氏名	はつ どり とし ひろ 服 部 俊 洋
学位(専攻分野)	博 士 (情 報 学)
学位記番号	情 博 第 232 号
学位授与の日付	平 成 18 年 9 月 25 日
学位授与の要件	学 位 規 則 第 4 条 第 1 項 該 当
研究科・専攻	情 報 学 研 究 科 通 信 情 報 シ ス テ ム 専 攻
学位論文題目	組 込 み 用 途 プ ロ セ ッ サ に お け る 低 消 費 電 力 化 技 術 の 研 究

論文調査委員 (主査) 教授 小野寺秀俊 教授 富田真治 教授 中村行宏

論 文 内 容 の 要 旨

本論文は、組み込み用途プロセッサの低消費電力化を目指し、種々に定義される消費電力を低減する技術、それを実現する際の課題とそれの対策案を検討し、実際の組み込み用途プロセッサの設計に適用して効果を実証したものであり、7章からなっている。

第1章は序論であり、組み込み用途プロセッサの動向、低消費電力化にむけて行われてきた研究動向などの研究背景について述べている。その後、本研究の目的、および行った研究の概要について述べている。

第2章では、トグル回数削減による低消費電力化手法について、ポインタパイプライン方式等のデータ転送削減手法、オンチップメモリの不要アクセス抑制手法、詳細化ゲーティドクロックによる低電力化手法について述べている。実際の組み込みプロセッサの動的消費電力を増加させている無駄なトグルを分析し、プロセッサの特性に着目してそのトグルを抑制する手段、トレードオフとして増加する電力も勘案した電力削減効果について、実際の組み込み用途プロセッサの回路で効果を実証している。

第3章では、プロセッサの待機時に基板にバイアス電圧を印加することにより、サブスレッショルドリーク電流を削減する手法について述べている。実際のプロセッサに適用する場合の効率的なレイアウトトポロジとして縦電源幹線下に電源スイッチを配置し、基板電位信号を標準セル内通過配線とする手法を提案し、3.3Mトランジスタを搭載したLSIに適用し、その効果を示している。

第4章では、閾値電圧の異なる複数のセルライブラリを組み合わせて、高速動作とリーク電流削減を両立させる手法について述べている。プロセッサ設計フローでの設計フィードバックフロー、物理合成を適用する最新の設計フローに適した目標低閾値比率に着目したマルチ閾値最適化手法を提案し、その電力削減効果について回路例を用いて実証している。

第5章では、リーク電流を削減する根本的手法として、LSIの部分領域の電源を遮断する低消費電力化手法について述べている。LSIの部分領域の電源を遮断する場合に発生する、電源遮断領域内素子からの不定電位信号による貫通電流等の種々の課題について述べ、その対応策を提案している。特にオンチップメモリのデータを保持して、必要最小限の回路にのみ電圧を印加し、またその印加電圧も制御することで待機時電流を削減する手法を提案している。この手法を用いて、待機状態から通常状態への復帰時間の短縮化が図れることをプロセッサを実例に述べ、その効果を実証している。また、LSIを多くの電源島に分割して詳細に電源の投入と切断を制御する階層的多領域電源遮断手法について述べている。詳細な電源制御を実現する上での課題となる、共通部品への電源供給、電源投入時の突入電流による電源ノイズ対策について詳細に解決策とその効果について述べている。また、システムLSIが、システムとして使用される場面に応じての電源遮断を活用する方法について述べ、提案手法が実際の組み込みシステムの低消費電力化に有効であることを示している。

第6章では、第2章から第5章までに述べられてきた、低消費電力に関する要素技術をどのように組み合わせて、組み込み用途プロセッサの低消費電力設計をすべきかについて述べている。組み込みシステム全体としての低消費電力化を実現す

るために、組み込みソフトウェアと組み込み用途プロセッサの連携が重要であることを論じ、組み込み用途プロセッサの低消費電力手法の重要項目について述べている。また、携帯電話端末の低消費電力化を例に、特定場面に着目した低消費電力技術が装置の連続動作時間を延ばす上で重要であることを示している。

第7章は結論であり、本論分で得られた結果を総括的にまとめている。

論文審査の結果の要旨

組み込み用途プロセッサはシステム LSI の中核部品として広く使われており、特に携帯機器向けにおいて、低消費電力化が不可欠となっている。その実現に向けて種々の低消費電力化技術が必須とされている。

本論文は、組み込み用途プロセッサにおける低消費電力の定義から論じ、種々の低消費電力技術を提案し、その有効性を実証している。本論文で得られた主要な成果は以下のとおりである。

1. 動作電力を削減するために、不要なトグルを削減する手法を提案した。特に、ポインタパイプライン方式、メモリアクセス回数削減方式はプロセッサの特性に着目した技術であり、トレードオフ部分も勘案しても電力削減できることを示した。ゲーテッドクロック手法では、レイアウト工程における課題の解決策も論じ、実用性が高い。
2. 待機時のリーク電流を削減するために、待機時のみ基板にバイアス電圧を印加する手法における問題点を明確にして、大規模 LSI に実適用するためのセルトポロジ、レイアウトトポロジを提案し、その効果を実証した。
3. 動作周波数向上とリーク電流削減というトレードオフ関係にある課題を両立させるマルチ閾値最適化手法に於いて、物理合成等の実際のプロセッサ設計に適合した、目標低閾値比率に着目した最適化手法を提案し、その効果を実証した。
4. リーク電流を削減するために、LSI の部分領域の電源を遮断する手法の有効性を述べ、その手法を実現するにあたっての数々の課題に対する解決策を提案した。特に、オンチップメモリのデータを保持する低消費電力機能を実現することにより、待機時状態からの復帰時間を削減する技術は、携帯電話向け LSI に適用した場合、その有用性が非常に高い。また、階層的な多領域電源遮断手法を提案し、LSI 設計に適用する際の課題についての解決策を提案し、低消費電力効果を実証している。
5. 組み込み機器の低消費電力化のために、ソフトウェアでの低消費電力化技術について提案し、実際の組み込み機器での低消費電力化への応用について有効性を示した。

以上、本論文は、組み込み用途プロセッサの低消費電力化実現に伴う諸問題に対して、回路的、論理的、システムのいくつかの解決方法を提案するとともに、実際のプロセッサ設計に適用してその有用性を実証している。本論文の内容は、学術上、応用上ともに寄与するところが少なくない。よって、本論文は博士（情報学）の学位論文として価値あるものとして認める。また、平成18年8月24日に実施した論文内容とそれに関連した試問の結果、合格と認めた。