

氏 名	はまもと たけし 濱 本 武 史
学位(専攻分野)	博 士 (情 報 学)
学位記番号	情 博 第 237 号
学位授与の日付	平成 18 年 11 月 24 日
学位授与の要件	学位規則第 4 条第 1 項該当
研究科・専攻	情報学研究科通信情報システム専攻
学位論文題目	ダイナミック型メモリ LSI の高集積化回路技術に関する研究

論文調査委員 (主 査)  
教授 小野寺秀俊 教授 富田真治 教授 中村行宏

### 論 文 内 容 の 要 旨

本研究は、ダイナミック RAM (DRAM) およびダイナミック型メモリセル (DRAMセル) を用いたメモリ LSI の高集積化回路技術に関し、DRAMセルの適用によるメモリ LSI の高集積化促進、高集積 DRAM の低消費電力化、高集積 DRAM のアクセス時間及びデータ転送レート高速化の各課題について、その対策案を検討し、実チップへの適用とその実測、或いは回路シミュレーションを通して対策の効果を検証したものであり、8章から成っている。

第1章は序論であり、ダイナミック型メモリ LSI の高集積化の歴史、回路技術動向等の研究背景について述べている。その後、本研究の目的、および実施した研究の概要について述べている。

第2章では、DRAMセルを内容番地付けメモリ (CAM) に適用して、その大容量化と高機能化を実現する手法について述べている。CAMセルをスタティック型からセルダイナミック型に変更し、DRAMプロセスを用いたスタックトキャパシタの適用によりセル面積を縮小する。更にDRAM用アレイ制御回路の応用及びエンコード回路の階層化によってアレイ制御回路を小型化し、大容量かつ高速なCAMを実現する手法を述べている。またCAMの全ワードに対しダイナミック型演算用レジスタを具備することで、並列に高機能演算処理が可能で小面積な回路構成を示している。以上の手法を用いてCAMチップを試作し、その効果を確認している。

第3章では、DRAMセルの電荷蓄積ノード対向電極を形成するセルプレートを利用してアレイ動作電力及びデータ保持電力を低減する手法を提案している。従来DRAMでは固定電位であるセルプレートビット線ピッチで分割して配線とし、メモリアクセス時にそれを制御することでアクセスセルの選択的読み出しを可能とすることで、アレイ動作電力を大幅に削減する。更にセル電荷読み出し時のセルプレート配線上電荷の利用、リストア時のセルプレート配線振幅の利用により、データ保持時の低電力化を実現する。以上提案の回路動作をテストチップ試作により実証している。

第4章では、アレイ動作電位の振幅制限による低電力化手法と、アレイ駆動用ポンプ回路の性能向上による低電力化手法について述べている。第1にアレイ領域のウェル容量を利用してアレイ動作電位を制御することで、振幅制限による電力削減、電位制御安定化、アレイ動作高速化を実現する手法について説明している。第2にアレイ動作に必要な昇圧電位と負電位を発生するポンプ回路の性能向上によって低電力化を図る手法について説明している。テストチップ試作とその測定によって、これらの手法の有効性を検証している。

第5章では、第1にDRAMの高集積・大容量化に抗してカラムアクセス時間を高速化する手法を説明している。チップサイズ増大によるデータバスの信号伝達遅延を改善すべく、改良された差動信号伝達バスと、伝達遅延を自動的に最小化するパイプライン制御手法を用いてアクセス高速化を実現している。第2に冗長救済回路の高性能化によって回路規模を削減し、省面積とアクセス高速化を図る手法について説明している。これらの手法を実デバイスに搭載し、その効果確認を行っている。

第6章では、データ転送レート高速化を目指し、出力位相調整用DLL回路のスキューとジッターの低減について検討し

ている。第1にDLLのスキューを低減すべく、外部クロックで直接位相比較を行う手法、及びテストボード上の出力負荷を参照してレプリカ遅延調整を行う手法を説明している。第2にロックサイクル数削減によるDLLジッター低減を目指し、高速な位相補間動作が可能な位相補間回路について説明している。これらの手法を実デバイスに搭載し、その効果確認を行っている。

第7章では、広帯域なデータアクセスが可能なチップ構成の検討を行っている。内部動作周波数・アクセスデータ幅とチップ面積の関係を明らかにし、面積削減の観点から高速化に適したチップ構成を検討し、新規追加のメタル配線を用いてチップ全体にアクセスバス及びその制御機能を分散配置し、更に信号伝達方向を統一化することで、高速化と省面積化を図る手法を提案している。

第8章は結論であり、本論文で得られた結果を総括的にまとめている。

## 論文審査の結果の要旨

本論文は、DRAMセルを適用したメモリLSIの高集積化技術、高集積化に伴い増大する動作電力の低減技術、高集積化に伴うアクセス及び転送レート高速化技術について、種々の提案を行いその有効性を検証している。本論文で得られた成果は以下の通りである。

1. CAMチップにスタックトキャパシタを用いたダイナミック型セルを適用し、その高集積化・大容量化を達成した。更にそのアレイ制御回路の小型化、エンコード回路の階層化、ダイナミック型演算用レジスタの具備により、高集積かつ高機能なCAMアレイ構成を実現した。

2. 分割セルプレート配線を用いたDRAMアレイ構成とその動作方法を提案した。アクセスセルの選択的読み出しと、セルプレート配線の電荷及び電位利用により、アレイ動作電流を大幅削減可能である。但し実用化にはセルプレート分割プロセスの新規開発を要する。

3. ウェル容量を利用してアレイ動作電位を制御し、振幅制限効果により低電力化を達成する手法を提案し、その動作を実証した。またアレイ駆動信号電位発生用のポンプ回路の性能向上によって低電力化を図る手法を提案し、その効果を実証した。

4. 高速差動信号バスの改良と信号伝達遅延を自動的に最小化するパイプライン制御手法により、カラムアクセスを高速化する手法を提案した。また冗長置換の自由度向上と置換判定回路の最適化で、冗長回路面積削減とカラムアクセス高速化を図る手法を提案した。これらを実デバイスに搭載し、その効果を実証した。

5. 外部クロックで直接位相比較を行う回路構成、及び出力負荷を参照してレプリカ遅延調整を行う回路構成によるDLLスキュー低減手法を提案した。また位相補間動作の高速化によるDLLジッタ低減手法を提案した。更にこれらの提案を実デバイスに搭載し、その効果を実証した。

6. アクセスバス及びその制御機能の分散配置と信号伝達方向を統一化することにより、アクセスの広帯域化と省面積化を達成するチップアーキテクチャーを提案した。

以上、本論文はダイナミック型メモリLSIの高集積化に伴う諸問題に対して、回路要素技術面から、及びチップアーキテクチャー面から解決方法を提案すると共に、実際のダイナミック型メモリLSI設計に適用してその有効性を実証している。本論文の内容は、学術上、応用上ともに寄与するところが少なくない。

よって本論文は博士（情報学）の学位論文として価値あるものとして認める。

また平成18年10月30日に実施した論文内容とそれに関連した試問の結果、合格と認めた。