

Title	プロセッサアレイによるシステムLSIアーキテクチャとその設計技術の検討( Abstract_要旨)
Author(s)	湯山, 洋一
Citation	Kyoto University (京都大学)
Issue Date	2006-03-23
URL	<a href="http://hdl.handle.net/2433/143908">http://hdl.handle.net/2433/143908</a>
Right	
Type	Thesis or Dissertation
Textversion	none

氏 名	ゆ 湯 やま 山 よう 洋 いち 一
学位(専攻分野)	博 士 (情 報 学)
学位記番号	情 博 第 216 号
学位授与の日付	平成 18 年 3 月 23 日
学位授与の要件	学位規則第 4 条第 1 項該当
研究科・専攻	情報学研究科通信情報システム専攻
学位論文題目	プロセッサアレイによるシステム LSI アーキテクチャとその設計技術 の検討

論文調査委員	(主 査) 教 授 小野寺秀俊	教 授 中村行宏	教 授 富田真治
--------	--------------------	----------	----------

### 論 文 内 容 の 要 旨

本論文は、プロセッサアレイによるシステム LSI アーキテクチャと、それを実装するための各設計技術について検討し、その有効性を確認したもので、5章からなっている。

第1章は序論であり、近年の LSI 製造プロセスの微細化によって深刻化している回路規模の増大と設計期間の増加について述べている。また、それに伴う組み込みシステムのアーキテクチャやシステム的设计方法の変化などの研究背景について述べている。その後、本研究の目的、および行なった研究の概要を述べている。

第2章では、システム全体のモデル化において、システムレベル設計言語を用いブロック間通信を抽象化しシステムをモデル化する手法について検討を行なっている。提案手法では、「モジュール内の動作記述」と「モジュール間の通信記述」を分離してモデル化し、通信部分を関数として呼び出すことで各モジュール設計の容化や再利用性の向上を実現し、設計期間を短縮することができる。MPEG 符号化システムのモデル化により、提案手法を実験的に評価し、その結果より、本設計手法が設計期間の短縮化や再利用性の向上に有効であることを確認している。

第3章では、プロセッサ型システム LSI の基本構成要素となる周辺プロセッサとして、カスタム化が可能な小規模なプロセッサ、複数プロセッサで資源共有可能なプロセッサを提案している。割り振られる機能に必要とされる処理量などに応じてプロセッサの性能を最適化する事で省面積化、低消費電力化を行なっている。さらに、各周辺プロセッサを命令レベル並列化プロセッサとし、プロセッサ間で資源を共有することで演算ユニットを効率的に利用し、省面積化、低消費電力化を実現している。また、プロセッサのモデル化方法について検討を行なっている。これらのプロセッサの設計することで、実験的に提案手法が省面積化、低消費電力化に有効であることを確認している。また、システムレベル設計言語をプロセッサ設計に適用することで、プロセッサの RTL モデルと ISS モデルを同一ソースとして記述し、両モデルの作成・検証を容易にする手法について検討している。本手法によりプロセッサを設計し、モデル化の容易性について評価している。

第4章では、信頼性の高いチップ上高速通信方式やチップ上通信におけるノイズやエラーのモデル化手法について検討している。この章で提案している交互自己シールド方式では、シールドと配線を1サイクルごとに切りかえることで、符号化による符号量の増加なしに隣接配線間での逆方向遷移を抑制し、ノイズ耐性のある通信を実現している。回路シミュレータを用い信号伝送のシミュレーションを行なう事で実験的にこの効果を評価している。また、今後のチップ上ネットワークでは必須となるエラー検出/訂正符号化の研究に不可欠なエラーの発生確率自体のモデル化方法を検討している。提案手法では、シミュレーションや計算によりモデル化が可能な確定的なノイズに、さらに不確定的なノイズを正規分布状に付加することで、ノイズ全体をモデル化し、従来の両者を分離しない見積もり手法に比べ現実的に則したモデル化を実現している。計算により従来手法との見積りの違いを評価している。

第5章は結論であり、本論文で得られた結果を総括的にまとめている。

## 論文審査の結果の要旨

近年のLSI製造プロセスの微細化に伴ない、LSI内部の回路規模やその設計に要する期間は増大し続けている。その一方で、新製品の早期市場投入が開発期間の短縮化が求められている。このため、設計効率の向上は非常に重要な課題であり、プロセッサを主体としたシステムLSIはそれを実現する有効な方式として注目されている。これをできるだけ小面積、低消費電力で実現するための新たなアーキテクチャや設計手法の確立は不可欠といえる。

本論文は、マルチプロセッサ型システムLSIを実現するための検討課題であるシステム全体のモデル化、搭載するプロセッサの設計、プロセッサ間のネットワーク技術のそれぞれについて、その設計やモデル化のための一手法を提案している。また、実験的に提案手法の有効性を評価している。本論文で得られた主な成果は以下の通りである。

1. 組み込みシステムのモデル化手法として、システムレベル設計言語を用いブロック間通信を抽象化しシステムをモデル化する手法について提案を行なった。各モジュールの設計容易化や再利用性の向上を実現し、設計期間の短縮を可能とした。MPEG-4符号化システムのモデル化実験において、本手法の適用により、設計記述の再利用性とともモデル化容易性が向上する点についても検討がなされている。

2. 基本構成要素となる省面積低消費電力プロセッサとして、カスタム化が可能な小規模なプロセッサと複数プロセッサで資源共有可能なプロセッサを提案した。カスタム化可能プロセッサでは、割り振られる機能に最適化したプロセッサを得る事ができる。資源共有型プロセッサでは、各プロセッサ間での資源を共有することで演算ユニットを効率的に利用することができる。両者ともプロセッサの省面積化と低消費電力化に有効であり、処理内容に応じた使い分けや両者の組合せを図ることが可能である。

3. プロセッサのモデル化手法として、システムレベル設計言語によるRTL/ISSモデルの同時モデル化手法を提案した。プロセッサのRTLモデルとISSモデルを同一ソースとして記述を共有することでモデルの記述量を削減し、誤りの混入などによる設計ミスを減らし、設計期間を短縮することができる。

4. 高速で信頼性の高い通信を実現するための一手法として、交互自己シールド方式を提案した。この方式では、符号化により致命的な遷移を抑制することで、容量性クロストークノイズによる確定的ノイズを削減することができる。従来手法に比べ、符号化による配線数増加や符号化用回路面積増加などが少なく、実用性が高い。

5. エラー検出・訂正符号化の研究に不可欠である、エラー発生確率のモデル化方法を提案した。提案手法では「確定的なノイズ」と「確率的なノイズ」を分離してモデル化するため、両者を区別することなくモデル化していた従来手法に比べ、より現実的なノイズやビットエラーのモデル化が可能である。本モデル化手法は、今後のチップ上通信の符号化方式の実用性を検討するにあたっての基盤技術といえる。

以上、本論文は、マルチプロセッサ型システムLSIを実現するための重要な要素技術である「システム全体のモデル化」、「搭載するプロセッサの設計」、「プロセッサ間のネットワーク技術」におけるいくつかの解決方法を提案するとともに、計算機上での実験により有効性を示している。本論文の内容は、学術上、応用上ともに寄与するところが少なくない。よって、本論文は博士(情報学)の学位論文として価値あるものと認める。また、平成18年2月23日実施した論文内容とそれに関連した試問の結果合格と認めた。