

| | |
|----------|----------------------|
| 氏名 | なごや あきら 名古屋 彰 |
| 学位(専攻分野) | 博士(情報学) |
| 学位記番号 | 論情博第62号 |
| 学位授与の日付 | 平成17年3月23日 |
| 学位授与の要件 | 学位規則第4条第2項該当 |
| 学位論文題目 | ハードウェアの設計自動化手法に関する研究 |

論文調査委員 (主査) 教授 中村 行宏 教授 富田 眞治 教授 小野寺 秀俊

論 文 内 容 の 要 旨

現代社会において欠くことのできない様々な電子機器の実現においてLSIの果たす役割は極めて大きく、このLSIを開発する際にコンピュータによる設計支援あるいは自動設計は必須となっている。特に、大規模で高性能なデジタル回路であるハードウェアを短時間で正しく設計するためには、抽象度の高い設計記述言語からの論理回路の自動合成、最適化技術が不可欠となる。本論文は、この論理合成、最適化を効率的に実現する処理技術、および、これらの技術を統合した設計自動化システムの構成技術に関する研究成果と、設計自動化技術と連携する将来型ハードウェアとして、再構成可能アーキテクチャに関する研究成果をとりまとめたものであり、以下に述べる7章から構成されている。

第1章は序論である。研究の背景として、これまでに提案されてきた論理合成手法を概観し、特に簡単化の能力に優れた手法は計算コストが大きくなるという問題があることから、論理合成、最適化技術に関する知見を深め、大規模なハードウェアの効率的な自動設計を可能とする技術を明らかにすることを本論文の研究の第1の目的であると位置付けている。また、コストパフォーマンスに優れたハードウェアとして注目されている再構成可能ハードウェアに対して、設計自動化技術を背景として知見を深め、その可能性と設計技術を論ずることを本論文の研究の第2の目的と位置付けている。

第2章から第4章では、ハードウェアの設計自動化技術に関する研究成果を示している。

第2章では、動作記述言語からの設計自動化の枠組みを示すとともに、回路の自動合成において重要な役割を担う多段論理回路の簡単化技術に関して、代数的手法とトランスダクション法による手法を論じ、これらの手法の効率的な実装方法を明確にして、その性能を評価している。特にトランスダクション法による簡単化の効果は優れたものであり、コマンドスクリプトによる柔軟な処理制御を可能とする等、実装上の工夫がなされている。

第3章では、論理回路のテクノロジマッピングと最適化に関して、回路内の各構成要素が有する制約条件を評価しながら制約違反を解決する方向に回路を改善するという統一的手法を提案するとともに、その処理系の実現方法を明らかにして性能を評価している。本手法により、大規模な設計対象に対しても効率的な最適化処理が可能であることが示されている。

第4章では、第2章、第3章で論じた各技術を実用的な設計自動化システムへと適用するための連携手法を示すとともに、具体的な設計事例を用いて各技術の有効性を示している。ハードウェア記述言語からの論理回路の自動合成の過程をうまく分割し、それぞれの過程で効率的な処理が実行される枠組みを構築しており、大規模な設計対象に対しても高性能な回路の自動合成を可能としている。本設計システムの利用効果として、特に設計者がアーキテクチャレベルの設計に専念できることの有効性をプロセッサ設計の実例によって示しており、ハードウェア設計の大幅な生産性向上が可能となっている。

第5章および第6章では、設計自動化技術と連携した再構成可能ハードウェアに関する研究成果を示している。

第5章では、設計自動化技術との連携によるリコンフィギュラブルコンピューティングの可能性として、問題のクラス毎ではなく、インスタンス毎に専用回路を合成、マッピングすることが可能であるという利点を活かしたアプリケーション処理手法の実例を示し、その有効性を実証している。さらに、自らの構成情報を動作中に変更することが可能な自律再構成可能アーキテクチャとしてPCA (Plastic Cell Architecture) を示し、それを具現化したLSIを試作評価すること等により、

技術の将来性を明らかにしている。

第6章では、再構成可能な論理素子としてLUT (Look-Up Table) へのマッピングを指向した論理合成手法を提案し、その有効性を評価するとともに、PCA の可変部の構成手法である Sea of LUTs 向けの論理合成技術を提案し、将来アーキテクチャに向けた技術課題を明らかにしている。

第7章では、結論として、本論文の研究成果のまとめと、本論文の成果に関連するその後の研究について述べている。

論文審査の結果の要旨

本論文は、デジタル回路の論理合成、最適化を効率的に実現する処理技術、および、これらの技術を統合した設計自動化システムの構成技術に関する研究成果と、設計自動化技術と連携する将来型のハードウェアとして再構成可能アーキテクチャに関する研究成果をとりまとめたものであり、得られた主な成果は以下の通りである。

1. 多段論理回路の単純化技術に関して、代数的手法とトランスダクション法のそれぞれ効率的な実現手法を開発し、優れた単純化の効果を確認した。
2. 論理回路のテクノロジマッピングと最適化に関して、各構成要素の制約違反を解決する方向に回路を改善するという効率的な手法を開発し、その効果を確認した。
3. 設計自動化のための各処理技術の連携手法を明らかにし、ハードウェア記述言語からの大規模回路の自動合成を可能とするシステムを開発するとともに、その有効性をプロセッサ設計の実例によって示した。
4. 問題のインスタンス毎に専用回路を合成することによる再構成可能ハードウェアの有効性を実証するとともに、自律再構成可能アーキテクチャを実現する技術を評価し、技術の将来性を明らかにした。
5. 再構成可能な論理素子に対する論理合成手法を提案、評価し、将来アーキテクチャに向けた技術課題を明確にした。

以上要するに本論文は、論理合成、最適化技術に関する知見を深めた上で、大規模ハードウェアに対する効率的な設計自動化手法に関する研究、および、設計自動化技術と連携する再構成可能ハードウェアに関する研究を行い、それらの有効性を明らかにしたものであり、学術上、實際上寄与するところが少なくない。よって、本論文は博士（情報学）の学位論文として価値あるものと認める。また、平成17年2月21日実施した論文内容とそれに関連した試問の結果合格と認めた。

