

Title	Modeling and experimental studies of the electro-magnetic coupling on on-chip interconnections for accurate noise-aware delay calculation(Abstract_要旨)
Author(s)	Sato, Takashi
Citation	Kyoto University (京都大学)
Issue Date	2004-09-24
URL	http://hdl.handle.net/2433/145316
Right	
Type	Thesis or Dissertation
Textversion	none

氏 名	さ とう たか し 佐 藤 高 史
学位(専攻分野)	博 士 (情 報 学)
学位記番号	情 博 第 133 号
学位授与の日付	平成 16 年 9 月 24 日
学位授与の要件	学位規則第 4 条第 1 項該当
研究科・専攻	情報学研究科通信情報システム専攻
学位論文題目	Modeling and experimental studies of the electro-magnetic coupling on on-chip interconnections for accurate noise-aware delay calculation (雑音を考慮した高精度遅延計算のための LSI 内配線の電磁氣的結合に関するモデル化と実験的検証)
論文調査委員	(主 査) 教授 小野寺秀俊 教授 富田真治 教授 松山隆司

論 文 内 容 の 要 旨

本研究は、LSI 内配線間の電磁氣的な結合により発生する雑音をモデル化する手法、およびその配線遅延に対する影響について検討し、シミュレーションとチップ試作の両面からモデルの有効性を検証したもので、9 章からなっている。

第 1 章は序論であり、近年の LSI 製造プロセスの微細化によって深刻化している配線間の結合によるクロストーク雑音、および動作周波数の向上によるインダクタンスの影響などの研究背景について述べている。その後、本研究の目的と研究の概要を述べている。

第 2 章では、クロストークが配線遅延に与える影響をモデル化して遅延計算に取り込むための手法について調査した結果をまとめている。特に、相対ウィンドウ手法が雑音考慮の遅延計算に適する事を述べている。

第 3 章では、クロストーク雑音のピーク値と、クロストークによる配線遅延の変化を測定する回路を提案している。0.35 μm プロセスノードのテストチップを試作して、提案回路がピーク値を 60mV 以下の精度で測定可能であること、およびクロストークによる遅延変動を雑音源配線と被雑音配線のタイミング差の関数として測定できることを実証している。

第 4 章では、クロストーク雑音波形と信号の遷移波形から遅延変動を予測するモデルを考案している。このモデルを用いると、遅延変動の測定から雑音波形と信号波形を推定する応用も可能である。0.25 μm プロセスノードのテストチップを試作して、モデルが配線の遅延変動の予測に使用可能である事、および雑音波形と信号波形が推定可能である事を実証している。

第 5 章では、雑音起因の遅延変動を見積る目的に特化したモデルを検討し、計算効率を飛躍的に高める方法を明らかにしている。回路シミュレータを用いた計算方法に比べて、遅延変動の計算を 1000 倍以上高速化できることを示している。さらに、複数の雑音源配線が存在する場合など、より一般的な配線構造に対しても考案モデルが適用可能である事を示している。

第 6 章では、チップ上配線のインダクタンスによる遅延変化を予測する手法を提案している。本手法では、容量、抵抗、およびインダクタンスを用いて、遅延時間の増分を求めている。また、配線幅や隣接配線との間隔、グランド配線のピッチなどをパラメータとして、予め各種の組合せでシミュレーションを実行しておき、インダクタンスによる遅延増分を応答曲面関数で表現する方法を提案している。この手法を用いれば、現在の遅延計算プログラムをほとんど変更することなく、インダクタンスの影響を考慮した設計が可能となる。

第 7 章では、配線インダクタンスによる遅延変化を実測する回路と、その評価結果を述べている。提案回路は、インダクタンスが異なる複数の配線経路を持つリングオシレータである。0.13 μm プロセスノードを用いた試作測定により、インダクタンスにより有意な遅延差が生じ得ること、グランド幹線を振り着目配線との等価距離を等しくすることでインダクタンスの影響が軽減されること、およびインダクタンスの影響を無視できる設計ガイドラインを示している。

第 8 章では、遅延時間を安定させる上で重要な電源電圧降下の防止に関し、電圧供給点の数およびその配置を最適化するアルゴリズムを提案している。電源接続により変化する回路トポロジーを効率良く扱うために、観測点と電源接続点をポー

トとして回路を縮約し、最適なピン位置を順次決定する。本手法では、縮約により密行列となる回路行列を効率良く解くために、対称性を利用して逆行列を逐次計算する。提案するアルゴリズムを用いることで、最先端のLSIで必要となる1000箇所以上の電圧供給点の最適化を実用的な時間で行えることを確認している。

第9章は結論であり、本論文で得られた結果を総括的にまとめている。

論文審査の結果の要旨

製造プロセスの微細化がすすむ近年のLSIでは、数世代前では考慮の必要がなかった現象が顕著に現れて、回路設計および製造上の隘路となってきた。

特に、配線間クロストーク雑音の予防と修正、配線インダクタンスによる雑音と遅延変化の防止、および電源・グランドの最適化は、今後のLSI設計には欠く事の出来ない特に重要な要素技術である。

本論文では、電磁気的な現象の現れである配線間クロストーク雑音と配線インダクタンスに着目して、回路設計上重要な遅延時間に与える影響をモデル化し、またテストチップの作成・測定とシミュレーション等により、提案するモデルの有効性を実験的に評価している。本論文で得られた主たる成果は以下の通りである。

1. クロストーク雑音が信号の遅延時間に与える影響を明らかにし、クロストーク雑音波形と遅延時間の変動量を結びつけるモデル式を提案した。このモデル式により、雑音を考慮した遅延計算を、大規模集積回路の実設計に適用可能な解析速度で実行することができる。現在の設計技術では不可避であったクロストーク雑音予測の不確かさを大幅に低減できるため、実用的観点からも価値が高い。
2. チップ上の配線インダクタンスが遅延変動に与える影響の考慮が必要であるか否かを、統計的に判定する手法を考案した。特に、LCRのパラメータが抽出可能な配線設計終了後の検証段階だけでなく、配線をレイアウトする段階においてもインダクタンスが影響する範囲を適切に予測できるため、設計に対する貢献が非常に大きい。
3. クロストーク雑音波形と信号の遅延時間の関係、およびインダクタンスが遅延に与える影響については、 $0.35\mu\text{m}$ から $0.13\mu\text{m}$ までの3つの異なる世代の製造プロセスを用いてテストチップを作成し、測定により実証している。テストチップ設計に当たっては、汎用的に適用可能な測定回路を新たに考案し、従来以上の精度での測定を可能としている。こうした雑音等の測定回路は、今後のLSI設計の検証技術の一つとして、実用的な見地から特に重要である。
4. 電源・グランドの配線構造は、回路各部への供給電圧を安定化する上でも、配線インダクタンスの値を制御する上でも重要である。複数の長距離配線から構成されるバス配線の遅延均等化を達成するために、電源・グランド配線を振る構造が適していることを明らかにした。また、電源・グランド配線網に対する電源接続点の場所と数を設計する問題を最適化問題として定式化し、その解法アルゴリズムと効率的実現法を明らかにした。

以上、本論文は、LSI製造プロセスの微細化に伴う諸問題に対して、物理設計段階におけるいくつかの解決方法を提案するとともに、計算機上のみならずテストチップの設計試作と測定により有効性を確認している。本論文の内容は、学術上、応用上ともに寄与するところが少なくない。よって、本論文は博士（情報学）の学位論文として価値あるものと認める。また、平成16年9月2日実施した論文内容とそれに関連した試問の結果合格と認めた。