

氏 名	おさ だ よし ひろ 長 田 芳 裕
学位(専攻分野)	博 士 (工 学)
学 位 記 番 号	論 工 博 第 3737 号
学位授与の日付	平 成 15 年 3 月 24 日
学位授与の要件	学 位 規 則 第 4 条 第 2 項 該 当
学位論文題目	LSI 製造における薄膜プロセス起因の欠陥発生メカニズムとその抑制に 関する研究

論文調査委員	(主 査) 教 授 松 波 弘 之 教 授 鈴 木 実 教 授 藤 田 静 雄
--------	---

論 文 内 容 の 要 旨

シリコン LSI (Large Scale Integrated Circuits) は、情報技術 (IT : Information Technology) におけるキーデバイスとして、種々のシステム構築に不可欠である。LSI デバイスは、高集積化、高速化、多機能化、低消費電力化などの性能向上、さらに高生産性と高信頼性を実現できるよう、微細化の研究開発が進められてきた。量産開始期には、ウェハプロセス工程において研究開発では予想できない欠陥が発生し、低歩留りの原因となることがある。これら発生する欠陥を、物理的、化学的な面から不良解析して発生メカニズムを解明し、抑制法を確立して効率的な生産を推進する必要がある。本論文は、LSI デバイス製造において、代表的な薄膜材料であるシリコン窒化膜、ポリシリコン膜、ゲート酸化膜に関連するウェハプロセスに起因する欠陥の発生メカニズムを解明し、その抑制技術を開発する研究を通して得られた成果をまとめたもので、6 章からなる。

第 1 章は序論で、本研究の目的と内容を説明している。CMOS (Complementary MOS) LSI の製造工程および p チャネル MOS (Metal Oxide Semiconductor) トランジスタの特徴を説明し、対象とするプロセス技術の位置付けを明確にしている。

第 2 章では、シリコン窒化膜を耐酸化マスクとしてフィールド酸化膜を選択的に形成する選択酸化 (LOCOS: Local Oxidation of Silicon) において、発生する窒化膜のクラック、バースビークおよび酸化誘起積層欠陥とウェハプロセス条件との関係を明らかにしている。シリコン窒化膜の化学量論を変え、シリコン過剰の窒化膜が選択酸化のマスクに使用でき、クラックやバースビークなどの形状欠陥の抑制に有効であることを見いだしている。また、選択酸化時のシリコン窒化膜の堆積方法、堆積条件、酸化温度、酸化時間などのプロセス条件と、pn 接合に大きな逆方向のリーク電流を流す恐れがある酸化誘起積層欠陥の発生・成長との関係を調べている。その結果、酸化誘起積層欠陥密度は小さくできないが、成長抑制は可能であり、酸化の低温化、短時間化が有効であることを見いだしている。

第 3 章では、MOS トランジスタのゲート電極および配線用、あるいは、アルミ配線の下層に使用されるポリシリコン膜の堆積において、基板汚染に起因して発生し、配線不良を引き起こすシリコンホイスカについて論じている。異常成長したホイスカの成長条件、形態、構造を調べ、クリーンルーム中の塵埃またはエッチング液中に溶解したアルミによる基板の汚染がホイスカの発生原因であることを見いだしている。その構造が単結晶の芯部分とそれを取囲むアモルファスな鞘部分からなることを見だし、芯部分の単結晶シリコンの<110>方向への転位による VLS (Vapor Liquid Solid) 成長と、鞘部分のアモルファスシリコンの同時堆積という二つのメカニズムによると推論している。さらに、ホイスカの異常成長の簡便な防止法として基板の清浄化と基板のプリヒートを採用した効果を述べている。

第 4 章では、表面チャネル形の p チャネル MOS トランジスタの p⁺ ゲート電極から多量の不純物ボロンがゲート酸化膜に拡散したとき、活性水素の発生により誘起されるトランジスタ特性の不安定性の原因を解明した結果について述べている。アルミ配線のパターニング後にエチルアルコール (C₂H₅OH) あるいはアセトン (CH₃COCH₃) を付着させて温度 400～500℃ で熱処理するとトランジスタの不安定性が生じることを見いだしている。電気的諸特性の解析から、不安定性は

$\text{Al}_2\text{O}_3\text{-SiO}_2$ を触媒として発生する活性水素で形成される正孔トラップに起因するというモデルを立てている。一方、薄いゲート酸化膜の場合、ボロンがゲート酸化膜を突き抜け、シリコン基板へ到達してトランジスタのしきい値電圧を変化させるという問題が生じる。その対策として、突抜けを抑制する一手段としてゲート酸化膜への窒素イオン注入を試み、これによるボロン拡散の抑制効果を確認している。窒素イオン注入法によるゲート酸化膜の窒化は、RTA (Rapid Thermal Annealing) において Si-O 結合を切りながら Si-N 結合を形成して進行することを明らかにしている。

第5章では、LSI デバイスの歩留りに大きく影響する製造装置において異物の発生を抑制する静電吸着クランプのウエハ装着法の低発塵化について述べている。また、歩留り向上期および量産安定期に歩留りを科学的かつ効率的に管理できる、異物・パターン欠陥管理システムについて論じている。量産安定期において、LSI デバイスが示す最終到達歩留りは、LSI デバイスの回路、デバイス構造、ウエハプロセスの総合的な完成度により決まることを示し、高生産性と高信頼性をもつ ULSI デバイスとして完成度を高めた第三世代 16 M ビット DRAM のプロセス技術について述べている。

第6章は結論で、本研究の成果をまとめ、今後の課題を指摘している。

論文審査の結果の要旨

本論文は、シリコン大規模集積回路 (LSI) のデバイス製造におけるウエハプロセスのうち、代表的な薄膜材料のシリコン窒化膜、ポリシリコン膜、ゲート酸化膜形成中に発生する欠陥の発生メカニズムを解明し、その抑制法を開発して効率のよい LSI 量産化工程の確立に役立たせた研究結果をまとめたもので、得られた主な成果は次のとおりである。

1. 素子分離用のフィールド酸化膜を選択的に形成する酸化工程において、耐酸化マスクとして使用するシリコン窒化膜に発生するクラックやバズビークを、シリコン過剰の窒化膜で抑制することに成功した。プロセス条件を変えても酸化誘起積層欠陥の密度は減少しないが、増殖させないためには、低温・短時間プロセスが適することを明らかにした。

2. MOS (金属/酸化膜/半導体) トランジスタのゲート電極や素子間の配線に用いるポリシリコン膜の堆積において、ファイバ状ホイスカの成長条件、形態、構造などを調べ、塵埃またはエッチング液中に溶解したアルミによる基板の汚染が発生原因であることを見いだした。ホイスカは単結晶の芯部分とアモルファス状の鞘からなることを明らかにした。

3. p チャネル MOS トランジスタのゲート電極から多量の不純物ボロンがゲート酸化膜に拡散して生じる特性の不安定性が正孔トラップに起因すると解明した。また、ボロンが薄いゲート酸化膜中を拡散してシリコン基板へ突き抜けてトランジスタのしきい値電圧を変化させる問題を、ゲート酸化膜へ窒素イオン注入して抑制できることを見いだした。

4. これらを基に、LSI デバイスの歩留りに大きな影響を及ぼす製造装置において異物の発生を抑制する静電吸着クランプによるウエハ装着法の低発塵化について述べ、歩留りを科学的かつ効率的に管理できる、異物・パターン欠陥管理システムを論じた。

以上要するに、本論文は、LSI の量産開始期に、ウエハプロセス工程中の薄膜形成に関して、研究開発では予想できない欠陥発生メカニズムを科学的に解明し、その抑制法を確立して量産化を効率的に進めることに成功したもので、得られた成果は学術上、實際上寄与するところが少なくない。よって本論文は博士 (工学) の学位論文として価値あるものと認める。また、平成15年2月7日、論文内容とそれに関連した事項について試問を行った結果、合格と認めた。