

氏名	藤田智弘
学位(専攻分野)	博士(情報学)
学位記番号	情博第29号
学位授与の日付	平成13年3月23日
学位授与の要件	学位規則第4条第1項該当
研究科・専攻	情報学研究科通信情報システム専攻
学位論文題目	集積回路の統計的階層化設計手法に関する研究

論文調査委員 (主査) 教授 小野寺秀俊 教授 吉田 進 教授 佐藤 亨

論 文 内 容 の 要 旨

本論文は、大規模集積回路の歩留まりを考慮した設計手法を提案している。集積回路の設計を階層的にとらえ、そこに統計解析と歩留まり最適化の手法を採り入れ、計算コストをかけることなく大規模回路の統計設計を可能としたところに特徴がある。

第1章は序論である。近年の集積回路プロセスの問題である素子特性のばらつきと、これによる回路特性のばらつきについて説明した後、歩留まり最適化問題の定式化を行ない、この問題で解決すべき点を明らかにしている。さらに、本論文で取り扱う設計の階層化構造について述べている。アナログ回路、デジタル回路に対する従来手法を説明し、本研究の目的を述べている。

第2章から第4章までがアナログ集積回路に関する研究である。

第2章では、階層構造の下層に位置付けられる小規模な回路に対する、統計的歩留まり最適化手法を提案している。提案手法は階層的統計解析への親和性を考慮に入れた局所応答曲面を用いた方法である。最適化アルゴリズムは確率過程モデルを使った大域最適化手法である。ここで、確率過程モデルを統計的な目的関数に適用できるよう新たに拡張している。オペアンプに適用し歩留まり93.8%を得ている。最適化に要した時間はおよそ100分である。

第3章では、階層的な統計解析を行なっている。この目的のために、MOSFETの物理パラメータからシステム特性までの設計階層構造を利用している。提案手法により、プロセスの物理特性のばらつきモデルをシステム特性のばらつきに結びつけることができ、物理特性のばらつきがシステム特性へどのような影響を与えるか知ることができる。この章ではPLLを題材に階層的な解析手法の実用性の検証を行なっている。回路シミュレーションによる解析との比較実験を行い、提案手法が精度良く解析できることを確認している。また、この手法の応用例として、モンテカルロ解析、ワーストケース解析、感度解析を行ない、本手法の有効性を確認している。

第4章では第2章と第3章の結果を受けて、階層的歩留まり最適化手法を提案している。提案手法は、トップダウンによる設計とボトムアップによる解析を繰り返すことで最適化を行なう。歩留まりを考慮するには、トップダウン設計時の仕様生成において、回路特性のばらつきを考慮した余裕が必要である。そこで、余裕を表す指標としてマハラノビスの距離を取りあげ、これを仕様生成問題に採り入れた。実験では、第3章で取り上げたPLLに対して提案手法を適用して、低コストで歩留まり100%の回路を生成することができた。

第5章と第6章はデジタル回路の遅延時間の統計解析に関する研究である。

第5章では遅延の統計的モデルを提案している。本研究では、いかにトランジスタの物理特性のばらつきモデルを遅延時間に結びつけるかに重点を置き解析手法を提案している。遅延量とプロセスの物理特性を結びつけるモデルとして、1次係数ベクトルによるモデルを提案している。このモデルを用いると、経路の遅延時間のばらつきをこれらのベクトルの合成で表すことができる。ベクトルの合成には5回の回路シミュレーションのみ必要で、格段に少ないシミュレーション回数で解

析が可能となる。実験により解析手法の高精度さを確認している。

第6章は第5章で提案した1次係数ベクトルによる遅延モデルを使い、さらにテーブル参照により統計的遅延解析を高速に実現する手法を提案した。この手法は回路シミュレーションの代わりにテーブル参照を行なうため、高速な解析が可能である。1次係数ベクトルを用いることで、モデルを簡略できテーブル量の削減とシミュレーション速度の向上を確認している。また、解析精度も提案手法による解析はSPICEとの誤差が2～5%程度と実用に十分なレベルであることを確認している。

第7章は結論であり、本論文で得られた結果を総括的にまとめ、今後の課題について述べている。

論文審査の結果の要旨

近年プロセス微細化にともなうトランジスタ特性のばらつきによる集積回路の歩留まり低下が問題となっている。また、回路規模は年々増加傾向となっており、大規模化に対応した設計手法が必要である。従来これらは別個の問題として取り組まれてきたが、本研究では大規模な回路をいかに歩留まり高く設計するかに焦点をあてている。歩留まりを見積る統計解析は、通常計算機内でプロセス特性のばらつきを疑似発生し、逐一、特性を回路シミュレーションで得るため、計算コストの問題が発生する。特にシミュレーション時間を要する大規模回路への適用を妨げている。

本研究では応答曲面モデルと呼ばれる簡単な多項式モデルを階層間の統計情報の受渡しに利用することで、統計設計の計算コストの削減と、大規模化への対応を実現している。設計手法の提案をアナログ回路、デジタル回路それぞれに行なっており、以下のような成果を上げている。

アナログ回路においては、階層設計におけるトップダウン設計手法に統計的歩留まり最適化手法を採り入れている。この方法により、従来までは取り扱うことができなかった大規模回路の歩留まり最適化設計を実現している。

デジタル回路の遅延特性解析においては、プロセスの物理特性のパラメータをセルの遅延時間に結びつける簡易モデル(1次係数ベクトル)を提案した。このモデルにより、回路シミュレーション5回で遅延時間のばらつきを見積もることが可能である。また、テーブル参照による方法も提案し回路シミュレーションを用いることなく高速にばらつきを見積もる方法を提案した。

以上、本論文は、アナログ回路、デジタル回路に対する階層的な統計的解析手法を提案している。実験結果は、現実の大規模回路に適用可能であることを示しており、本論文による成果は学術上も、応用上も寄与するところが少なくない。

よって、本論文は博士(情報学)の学位論文として価値あるものと認める。

また、平成12年1月29日に実施した論文内容とそれに関連した試問の結果合格と認めた。