

氏名	やす だ たけ お 安 田 岳 雄
学位(専攻分野)	博 士 (情 報 学)
学位記番号	情 博 第 41 号
学位授与の日付	平 成 13 年 3 月 23 日
学位授与の要件	学 位 規 則 第 4 条 第 1 項 該 当
研究科・専攻	情 報 学 研 究 科 通 信 情 報 シ ス テ ム 専 攻
学位論文題目	Circuit Technologies for High Performance Hard Disk Drive Data Channel LSI (高性能ハードディスクドライブデータチャンネル LSI を実現するための回路技術)
論文調査委員	(主 査) 教 授 小 野 寺 秀 俊 教 授 吉 田 進 教 授 富 田 眞 治

論 文 内 容 の 要 旨

本論文は、高性能ハードディスクドライブ (HDD) データチャンネル LSI を実現するために必要ないくつかの要素回路に対して、特性改善のための新たな方式も含めた回路技術の提案と、試作評価結果をまとめたもので、7章からなっている。

第1章は序論であり、本研究の背景として、大容量化、高速化、低価格化が加速度的に進むハードディスクドライブの現状と、この成長の要因の一つであるデータチャンネル LSI の技術革新について述べた後、本研究の概要とその重要性について述べている。

第2章は、データチャンネルのアナログ入力部分において、ノイズとともに信号再生誤りの原因となるオフセットを、システムレベルで打ち消す手法とそれを実現する回路技術について述べた後、その試作測定結果について述べている。アナログ信号を扱う回路部分では、同相ノイズの影響を取り除くために差動構成を用いる。差動単一変換部で行っていたシステムレベルオフセットの調整を、まずその入力部での正相と逆相の DC 信号電圧を合わせてから行うことにより、各回路部分での初期オフセット電圧に対する許容量を約10倍に拡大した。これら一連の処理は、制御回路による誤差補正として自動的に行われる。要素回路毎にオフセットを合わせ込む煩雑さをなくし、等価的に信号のノイズレベルを下げる効果が得られた。

第3章は、VCO の特性向上として、高速化、ロック可能周波数範囲の広帯域化手法とそれを実現する回路技術を示した後、その試作評価結果について述べている。VCO は、データを記録および再生する上でも最も重要な、記録および再生タイミングを決定する PLL の内部で用いられる。VCO の周波数制御電圧特性を、最適なものに自動的に調整することにより、高速動作および数十 MHz から 300MHz 程度までの広帯域なロック可能周波数範囲を保証した。

第4章は、PLL のロックアップ時間を短縮する手法と、それを実現する回路技術について述べた後、その試作測定結果について説明している。可変遅延回路とその制御回路を用いて PLL クロックの位相を瞬間的に調整することにより、周波数がずれている状態と位相のみがずれている状態からのロックアップ時間の両方を短縮化するものである。試作した可変遅延回路の測定結果とシミュレーションにより、様々な条件において約10から30%のロックアップ時間の改善が確認された。従来、対象とする周波数毎に用意すべきであったループフィルタの数が削減できる。

第5章では、ハミングコードを用いてデジタル化されたビット誤りに対して、より強力なバイト (ブロック) 同期手法とその回路技術について述べている。代表的な最尤検出方式である Viterbi Detector の動作のモデル化と AWGN を仮定した入力ノイズのモデル化を行い、シミュレーションにより提案手法を検証した結果、10の4乗以上のバイト (ブロック) 同期誤り率の改善につながることを示されている。またこれを実現するためのシステムを回路レベルで提案している。

LSI の低消費電力化に最も有効とされているのは、低電圧化である。第6章は、電源電圧の低電圧化を図る上で問題となってくる、電源投入時のリセット手法と、それを実現する回路技術について述べた後、その試作評価結果を説明している。電圧 1.65V 以上、立ち上がり時間 50ms 以下の電源に対して、正しいリセットパルスを生成することができ、400mV 程度までのノイズに対しても正常な動作を確認している。

第7章は結論であり、各章で提案した回路技術とそれにより得られた結果を総括的にまとめ、本研究の有効性を示している。

論文審査の結果の要旨

本論文は、データチャネル LSI において今後も普遍的に用いられると考えられるいくつかの要素回路について、特性を改善する手法を提案し、その評価を行ったものであり、得られた主な成果は以下の通りである。

1. 差動アナログ入力回路におけるオフセットを自動的に補償する手法および回路を考案した。システム全体でオフセットを取り除くことにより、個々の要素回路のオフセット許容量が約10倍に拡大することを示した。

2. VCO の高速化およびロック可能範囲の広帯域化を図るために、制御電圧 - 周波数特性を最適にかつ自動的に調整する方法を提案した。また、可変遅延回路を用いた動的位相調整機能を付加することにより、PLL のロックアップ時間を短縮する方法を開発した。これらにより、ロック可能範囲が数十 MHz から 300MHz と広く、ロックアップ時間が10から30%ほど短縮された PLL が実現できることを示した。

3. ハミングコードを用いたバイト（ブロック）同期方式を提案した。代表的な最尤検出方式である Viterbi Detector のモデル化と入力ノイズのモデル化を行い、提案手法が従来方式の2/3以下のパターン長で、10の4乗程度のバイト同期誤り率改善になることを検証した。

4. LSI の低電圧化を図る上で問題となる、電源投入時のリセット回路について、新たな回路機構を提案した。電源電圧の低下により、電源ノイズの影響増大が予想されるが、提案回路は 1.65V の電源電圧に 400mV のノイズが重畳した状況でも適正な動作が可能である。

以上本論文は、ハードディスクドライブデータチャネルに用いられる主要な要素回路の高性能化手法を提案し、シミュレーションならびに試作測定によりそれらの有効性を示しており、学術上、応用上ともに寄与するところが少なくない。よって、本論文は博士（情報学）の学位論文として価値あるものと認める。また、平成13年2月22日実施した論文内容とそれに関連した試問の結果合格と認めた。