

イオン注入 GaAs の活性化熱処理に関する研究

1990 年 7 月

葛 原 正 明

イオン注入GaAsの活性化熱処理に関する研究

1990年7月

葛原正明

内 容 梗 概

本論文は、GaAsイオン注入層の活性化熱処理技術に関して、GaAs集積回路の高性能化を図ることを目的とした結晶表面保護技術および熱処理技術の確立をめざして行われた研究成果をまとめたものである。

第1章は、本論文の序論であり、本研究の歴史的背景および本研究の目的と意義について述べている。

第2章では、GaAsイオン注入層の活性化熱処理方法を熱処理時間の長さによって3つに分類し、各熱処理方法についてその特徴を明らかにしている。また、GaAsイオン注入層の活性化熱処理において従来から使用されてきた表面保護膜材料の特徴をまとめ、熱処理保護膜として要求される必要条件について論じている。

第3章では、本研究において使用したSiO₂N₂保護膜の形成方法、および得られた保護膜の特性について述べている。膜特性に関するいくつかの評価結果を通して、膜組成と屈折率の関係および膜応力と屈折率の関係について論じている。

第4章では、電気炉熱処理を用いて活性化したGaAsイオン注入層の電気的特性について論じている。種々の保護膜組成や熱処理条件の検討から、Siイオン注入層において高活性化率を得るためには、屈折率 ~ 1.75 をもつSiO₂N₂保護膜が有用であることを明らかにしている。また、SiO₂N₂保護膜の使用は、従来のSiN_x保護膜に比べると、熱処理時の保護膜/GaAs界面応力の低減の観点からも有利となることを指摘している。

第5章では、種々の熱処理保護膜を用いて電気炉熱処理したGaAs層について、保護膜とGaAsとの界面反応や、そのときGaAs結晶中に導入される深い準位についての評価結果を述べている。これらの結果をもとに、保護膜の違いによるSiイオン注入層の活性化率の変動要因を考察し、熱処理時に生じるGa原子の外部拡散が重要な役割を果たしていることを明らかにしている。次に、Ga原子の外部拡散や深い準位に関する多くの実験結果を総合的に分析し、Ga空孔に関与していると考えられる深い準位の成因について考察している。

第6章では、短時間熱処理を用いて活性化したSiイオン注入GaAs層の電気的特性について論じている。まず、保護膜の有無による熱処理特性の比較から、Siイオンの活性化率を支配するいくつかの要因を明らかにしている。また、短時間熱処理を用いて形成したn型動作層上に試作したGaAsMESFETの評価結果を示し、短時間熱処理により高い相互コンダクタンスを持つ良好なFET特性が実現できることを実証している。ただし、活性化特性の基板面内均一性については、今後さらに改善が必要であることを指摘している。

第7章では、短時間熱処理時にGaAs結晶中に導入される短時間熱処理に固有な深い準位の存在を指摘している。この深い準位の性質やその導入過程の詳細な検討を通して、この準位の成因について考察を加えている。

第8章では、短時間熱処理法を用いて形成した高濃度n型GaAs層の電気的特性について論じている。注入不純物としては、Siの他にSおよびSnについても検討している。Siイオン注入層の活性化では、拡散性のS原子の熱処理時の再分布が短時間熱処理の使用により効果的に抑制できることを明らかにしている。一方、SiやSnのIV族不純物の活性化では、SiO₂N₂保護膜を用いた短時間熱処理が有効であることを示し、最高電子濃度として 10^{19} cm^{-3} に迫る高い濃度が実現できることを示している。併せて、この高電子濃度層をノンアロイ抵抗性接触形成に応用した結果についても触れている。

第9章は、本論文の結論であり、本研究において得られた結果を総括して述べている。

謝 辞

本論文をまとめるに当り終始懇切且つ熱心な御指導、御助言を賜った京都大学工学部 佐々木昭夫教授に心から感謝の意を表します。また、同学部 松波弘之教授、同学部 藤田茂夫教授には、論文をまとめるに当たり、多くの貴重な御助言を戴きました。これらの先生方の御指導と御鞭達なくしては、本論文は決して完成し得なかったものです。

日本電気技術情報システム開発株式会社 織木和雄社長には、本研究の機会を与えて戴くとともに、本研究の開始当初から暖かい御激励と数多くの貴重な御指導を賜りました。また、日本電気株式会社 白木広光主席研究員、同社 松井純爾主席研究員、同社 奥戸雄二技師長には、日頃から暖かい御激励と御助言を賜りました。さらに、同社マイクロエレクトロニクス研究所 太田道広所長、同社基礎研究所 渡辺久恒所長、同社カラー液晶推進開発本部 加藤英彦本部長代理、同社信頼性品質管理部 幸田弘樹部長代理、同社化合物半導体事業部 高山洋一郎事業部長代理には、終始暖かい御激励と御指導を戴きました。また、同社マイクロエレクトロニクス研究所 超高速デバイス研究部 佐久間啓部長、同社化合物半導体事業部 神津英明部長、同部 東坂浅光部長、同社光エレクトロニクス研究所 光デバイス研究部 野崎忠敏部長代理、同社マイクロエレクトロニクス研究所 超高速デバイス研究部 伊東朋弘課長、同部 大畑憲一課長、同部 大野泰夫課長、同部 本城和彦課長、同部 吉田卓克課長、同部 岡本明彦課長、同社資源環境技術研究所 環境技術研究部 亀島泰文課長、同社化合物半導体事業部 古塚敏課長、同部 上武一孝課長、以上の方々には絶大なる御理解と貴重な御討論を戴きました。また、同社マイクロエレクトロニクス研究所 超高速デバイス研究部 小沢敏晴主任、同社化合物半導体事業部 辻力主任、関西日本電気株式会社 半導体事業部 田中優次主任には、本研究の開始以来、プロセス面での懇切丁寧な御指導と数多くの御協力を賜りました。以上のすべての方々に対して、ここに心から感謝の意を表します。

紙面の関係で割愛させて頂いたが、本研究は、以上の方々の他にも多数の方々の御協力と暖かい御激励の下に遂行されたものです。特に、本研究の具体的な遂行は、日本電気株式会社マイクロエレクトロニクス研究所 超高速デバイス研究部、および同社化合物半導体事業部の多数の皆様方の絶大なる御協力と有益な御助言を戴いて初めて完成し得たものであり、ここに改めて、これらの方々から厚く御礼申し上げる次第です。

イオン注入GaAsの活性化熱処理に関する研究

目 次

内容梗概	i
謝 辞	ii
第1章 序 論	1
1-1 本研究の歴史的背景	1
1-2 本研究の目的と意義	3
1-3 本論文の内容	4
参考文献	7
第2章 イオン注入GaAsの活性化熱処理法	8
2-1 序	8
2-2 熱処理法の分類	8
2-3 熱処理保護膜	11
2-3-1 熱処理保護膜の条件	11
2-3-2 熱処理保護膜の種類	12
2-3-3 最適熱処理保護膜の検討	14
2-4 まとめ	14
参考文献	15
第3章 熱処理保護膜の形成と評価	17
3-1 序	17
3-2 膜形成装置と膜形成手順	17
3-3 SiO ₂ N ₂ 膜の評価	19
3-3-1 膜屈折率と膜堆積速度	19
3-3-2 膜組成	21
3-3-3 赤外吸収	24
3-3-4 膜応力	25
3-4 まとめ	29
参考文献	30
第4章 電気炉熱処理によるイオン注入GaAsの活性化	31
4-1 序	31
4-2 熱処理保護膜組成と活性化率	31
4-2-1 SiO ₂ 膜とSi ₃ N ₄ 膜	31
4-2-2 SiO ₂ N ₂ 膜による熱処理	36
4-3 熱処理保護膜膜厚と活性化率	38
4-4 熱処理温度依存性	40
4-5 熱処理時間依存性	42
4-6 高濃度注入層への応用	43
4-7 まとめ	45
参考文献	45
第5章 電気炉熱処理GaAsの評価	46
5-1 序	46
5-2 オージェ電子分光分析による評価	46

5-3	二次イオン質量分析による評価	49
5-4	DLTSによる深い準位の評価	51
5-4-1	容量DLTS法	51
5-4-2	熱処理保護膜依存性	53
5-4-3	熱処理温度および熱処理時間依存性	57
5-4-4	考察	60
5-5	まとめ	62
	参考文献	63
第6章	短時間熱処理によるn型GaAs動作層の形成	64
6-1	序	64
6-2	短時間熱処理装置	64
6-3	短時間保護膜無し熱処理の可能性	66
6-4	Siイオン注入GaAsの短時間熱処理	67
6-4-1	熱処理温度依存性	67
6-4-2	熱処理時間依存性	70
6-4-3	保護膜無しと保護膜付き短時間熱処理の比較	72
6-4-4	動作層の均一性	74
6-5	GaAs MESFETの作製	76
6-6	まとめ	79
	参考文献	80
第7章	短時間熱処理GaAsの評価	81
7-1	序	81
7-2	DLTSによる深い準位の評価	81
7-2-1	熱処理温度依存性	81
7-2-2	熱処理時間依存性	84
7-2-3	昇温および降温速度依存性	85
7-2-4	熱処理保護膜依存性	86
7-2-5	考察	91
7-3	まとめ	93
	参考文献	94
第8章	短時間熱処理による高濃度n型GaAs層の形成と評価	95
8-1	序	95
8-2	Siイオン注入GaAsの短時間保護膜無し熱処理	95
8-3	Sイオン注入GaAsの短時間保護膜無し熱処理	98
8-4	Siイオン注入GaAsの短時間保護膜付き熱処理	103
8-5	Snイオン注入GaAsの短時間保護膜付き熱処理	107
8-6	n型ノンアロイ抵抗性接触の形成	111
8-6-1	n型GaAsへのノンアロイ抵抗性接触形成の動向	111
8-6-2	短時間熱処理を用いたn型ノンアロイ抵抗性接触の形成	112
8-7	まとめ	116
	参考文献	117
第9章	結 論	118
	業績目録	123

第1章 序論

1-1 本研究の歴史的背景

GaAs 集積回路の基本デバイス (device) である電界効果トランジスタ (field-effect transistor: FET) の動作領域の形成方法として、イオン注入 (ion implantation) 技術が今日広く利用されている。特に、母体材料となる半絶縁性 GaAs 基板の低転位化および高純度化が著しく進展した結果、集積回路製造において重要となる均一性、再現性、および生産性に優れたイオン注入技術の本来の長所が顕著に発揮されるようになってきた。

イオン注入技術は、前述した均一性、再現性、生産性以外にも数多くの特長をもっている。そのひとつとして、不純物の濃度と添加領域厚さの独立した制御性を挙げることができる。不純物濃度と導電層厚さの制御は、全ての半導体デバイスの基本動作を決定する上で重要な役割を果たすものである。加速イオンが固体ターゲット (target) 材料に打ち込まれる際の注入イオン分布の統計的解析手法は、1960年代に Lindhard, Scharff および Schiott によって所謂 LSS 理論としてまとめられている^{1,2)}。この LSS 理論では、注入されたイオンの深さ分布が、ターゲット表面からの平均投影飛程 R_p (average projected range) と投影飛程の標準偏差 σ_p (standard deviation in projected range) によって特徴づけられている。このとき、注入イオン分布 $n(x)$ はガウス分布近似を用いて次式で表わされる。

$$n(x) = \frac{1}{\sqrt{2\pi}} \frac{\phi}{\sigma_p} \exp\left\{-\frac{(x-R_p)^2}{2\sigma_p^2}\right\}, \quad (1-1)$$

ここで、 ϕ はイオン・ドーズ (ion dose) である。(1-1) 式から、注入イオン分布の形状に対応して決定される導電層の厚さは、平均投影飛程 R_p とその標準偏差 σ_p の組合せによって決定されるのに対して、不純物濃度はイオン・ドーズ ϕ に対して単純に比例して増加することが理解される。ここで、平均投影飛程 R_p と投影飛程標準偏差 σ_p は、注入不純物とターゲット材料が指定されれば、イオンの加速電圧 (あるいは加速エネルギー) によって一義的に定まる量である。図 1-1 (a) および (b) に、GaAs に対する代表的な n 型不純物の平均投影飛程 R_p と投影飛程標準偏差 σ_p の加速エネルギー依存性を示す。これに対して、イオン・ドーズ ϕ は、イオンの照射面積が一定の場合、イオン電流と注入時間の積に比例して増加する量である。このように、イオン注入技術においては、不純物分布を決定する基本量となる不純物の深さと濃度が、加速電圧とイオン電流という制御性に優れ、独立した2つの電気量によって制御されていることがわかる。

イオン注入技術における最大の問題点は、イオン注入過程で結晶に導入された結晶欠陥を除去し、打ち込んだ不純物を電気的に活性化させるための高温の熱処理 (anneal) 工程が必要なことである。GaAs へのイオン注入が Si へのイオン注入と比べて決定的に異なる点は、この熱処理工程において、結晶構成元素である As 原子が選択的に解離を起こして結晶欠陥を生成し易いことである。例えば、GaAs (100) 面においては、この As 原子の解離が 857 ± 10 °C 以上の温度で生じることが知られている³⁾。GaAs イオン注入層の活性化熱処理には通常 800 °C 以上の温度が必要であるため、熱処理時の As 原子の解離を防止する

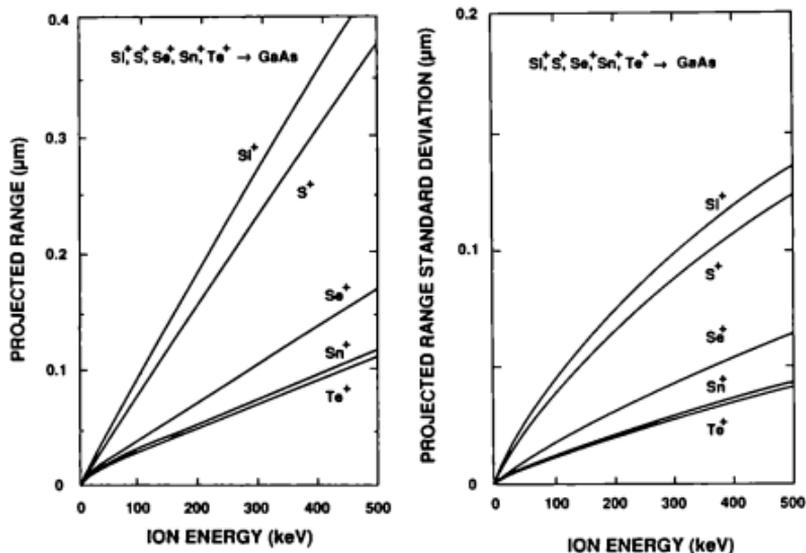


図1-1 GaAsに対するn型不純物の (a) 平均投影飛程と
(b) 投影飛程標準偏差

ための方法が従来からいくつか提案されてきた。

活性化熱処理時のAs原子の解離を抑える最も一般的な方法は、GaAs表面を絶縁保護膜などで覆って熱処理を行う保護膜付き熱処理（キャップ・アニール, capped anneal）法である⁴⁾。この方法においては、保護膜種の選択や保護膜の膜質および膜厚の制御が重要な要素となる。しかし、これらの条件の最適化は未だ確立されたとはいえず、研究機関によってそれぞれ異なる保護膜材料が使用されているのが現状である。また、近年では前述の保護膜付き熱処理法に代って、保護膜を用いない熱処理（キャップレス・アニール, capless anneal）法の研究も同時に進められている。保護膜無し熱処理法を実現する手段としては、大別して2通りの方法が検討されている。ひとつは、熱処理雰囲気を直接制御する方法で、AsH₃（アルシン, arsine）ガスなどを用いてGaAs表面からのAs原子の解離を防止する方法である⁵⁾。この方法は簡便である反面、猛毒ガスAsH₃の安全管理上の問題が生じる。保護膜無し熱処理法を実現するもうひとつの方法は、熱処理時間を秒単位に短縮する方法で、これは一般に短時間熱処理（rapid thermal anneal または transient anneal）法と呼ばれている。この短時間熱処理法は、As原子の解離の抑止ばかりでなく注入不純物や基板

結晶中の不純物の熱拡散をも同時に低減できる特長をもっており、浅く急峻な導電層の形成法として将来有望視されている熱処理法である。

以上に述べたいずれの熱処理法を用いる場合においても、GaAs集積回路の製造技術として活性化熱処理に要求される条件には、①高活性化率が得られること、②不純物の再分布が少ないこと、③結晶欠陥が少なく高品質であること、④均一性、再現性に優れていること、などが挙げられる。特に、今日、研究開発が盛んに進められているGaAsデバイスの大規模集積化（large scale integration；LSI）を実現するためには、素子の微細化とともに寄生抵抗成分の一層の低減が不可欠であり、数10nm厚の極薄動作層の実現⁹⁾や高不純物濃度をもつ低抵抗層の形成が将来的に重要な研究課題となってきている。

1-2 本研究の目的と意義

GaAs集積回路の研究の歴史の中で、最近の数年間の研究成果の進歩はめざましく、例えば論理素子では 16×16 ビット並列乗算器⁷⁾が、記憶素子では16KビットSRAM（static random access memory）⁸⁾などのGaAsLSIが試作されるに至っている。このGaAs集積回路の大規模化の流れは、Si集積回路が10数年前にたどった大規模化の歴史に類似したものであり、その進展の勢いから、近い将来にGaAsVLSI（very large scale integration）の時代が到来するであろうことが予測される。しかしながら、研究が進むにつれて新しい問題が提起されてくる場合も多い。そのひとつとして、デバイスの微細化に伴う寄生抵抗成分の増加やFET動作層の薄層化の問題を挙げなければならない。本研究の目的は、イオン注入によるn型GaAs導電層の形成技術に関する上記の問題の原因を解明し、従来技術にとらわれない新しい解決方法を開発することにある。

GaAsへのイオン注入技術の開発は1980年代後半に始まるが、Siへのイオン注入技術とは異なり、一般に100%の活性化率の実現が困難であることが指摘されてきた。特に、高濃度n型層の形成が難しく、本研究を開始した1981年の時点では、電子濃度として最高でも $2 \times 10^{19} \text{ cm}^{-3}$ 程度の値しか報告されていなかった⁹⁾。勿論、レーザ（laser）や電子ビーム（electron beam）を用いた新しい熱処理技術の応用により、 10^{19} cm^{-3} を超える高濃度n型層の形成が一部で試みられてはいたが^{10,11)}、これらの方法で得られた高濃度n型GaAs層では、移動度が極端に低かったり、あるいは電子濃度が熱的に不安定——250℃程度の熱処理を経ると電子濃度が急激に低下する——であることが後の研究により判明し、デバイスへの適用を図るまでには至らなかった。GaAsにおける高濃度n型層の形成は、GaAs集積回路の基本デバイスであるFETのソース（source）、ドレイン（drain）各電極部の接触抵抗や寄生抵抗の低減を図る上で重要な技術であり、特に、その重要性は回路の大規模化とともに一層大きくなることが予測されるものである。

上記の問題を解決するためのひとつの大きな検討項目として、熱処理用保護膜の最適化が挙げられる。GaAs用熱処理保護膜としては、従来から何種類もの材料が提案されその基礎特性が論じられてきたが、評価項目としては耐熱性や熱応力に関するものが多く、活性化率の優劣や活性化機構の観点からは十分な議論がなされていなかった。本研究では、Siイオン注入によるn型GaAs層の形成において、従来は積極的に検討されることのないSiO₂N_x（オキシ窒化シリコン、silicon oxy-nitride）膜を熱処理保護膜に用いることを

検討し、従来のSiO₂（二酸化シリコン、silicon dioxide）膜やSiN_x（窒化シリコン；silicon nitride）膜の場合に比べて活性化率を飛躍的に向上し得ることを初めて見出した。また、この膜は熱応力の観点からも優れた材料であることがその後の研究により明らかとなった。

FET動作層の薄層化に対処するための熱処理法としては、ハロゲン・ランプ（halogen lamp）を熱源とする短時間熱処理法を検討した。本研究を開始した1981年は、GaAsへの短時間熱処理法の適用が初めて報告された年にも当たり¹²⁾、本手法の使用によって得られる多くの基礎的事項や新しい可能性が本研究の遂行によって初めて明らかにされた。一例として、短時間熱処理法を用いたGaAsFETの作製が、本研究において世界に先駆けて行われ、残いFET動作層の形成法として、本手法が従来の電気炉熱処理法に比べて極めて優れた特性を示すことが明らかにされた。

また、GaAsイオン注入層の評価においては、半導体結晶の化学量論的組成（stoichiometry）の観点から不純物添加特性を議論することが重要である。化学量論的組成の変化を招く過程には、イオン注入工程と熱処理工程の両方を考える必要がある。イオン注入工程で生じる化学量論的組成の変化は、化合物半導体が2種類以上の異なる質量数をもつ元素から構成されることに基づくものである。この現象は、半導体の深さ方向に化学量論的組成の局所的な揺らぎが生じるもので、入射イオンとの核衝突後の各結晶構成元素の静止位置に差が生じることに基いて起こるものである。図1-2は、GaAsにSiイオンを注入したときの化学量論的組成の深さ方向分布の計算結果を示したものである¹³⁾。イオン注入に伴う化学量論的組成の変化は、しばしば活性化率の局所的な変化や注入不純物の異常拡散の原因となって現われる。一方、熱処理工程で発生する化学量論的組成の変化は、化合物半導体が2種類以上の異なる化学的性質をもつ元素から構成されることに基づくものである。GaAsの場合では、熱処理に伴うAs原子の解離や保護膜中へのGa原子の外部拡散、などの現象がこれに相当する。化合物半導体における化学量論的組成の直接的な評価については、いくつかの検討がなされているものの、結晶の微小領域において化学量論的組成が高感度で測定できるまでには至っていない¹⁴⁾。

本研究では、GaAsにイオン注入されたn型不純物の活性化の最適化に主眼を置いた。その結果、高濃度n型層の形成では世界最高水準の電子濃度の実現に成功した。また、本研究で提案されたいくつかの新しい技術については、不純物添加特性からの興味ばかりでなく、可能な限りデバイス応用に則した観点からの評価を加えるように努めた。また、本研究では、イオン注入や熱処理の各工程で生じる化学量論的組成の変化に伴って導入あるいは消滅する結晶欠陥をDLTS（deep level transient spectroscopy）法を用いて評価し、イオン注入されたn型不純物の電気的活性化を支配すると考えられるいくつかの興味ある現象を見出した。これらの成果は、近い将来に開発が予想されるGaAsVLSIの製造技術に関して重要な資料を提供できるものと考えられる。

1-3 本論文の内容

本論文は、GaAsにイオン注入されたn型不純物の活性化熱処理法に関して、高活性化率で不純物拡散の少ない活性化特性が実現できるGaAsの表面保護技術および熱処理技術の

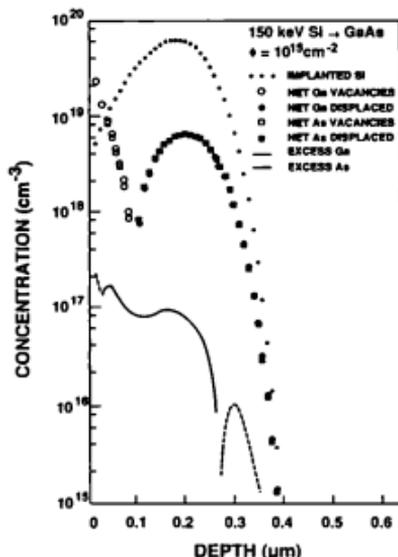


図1-2 Siイオン注入GaAsの化学量論的組成の深さ方向分布

確立をめざして行われた研究成果をまとめたものである。前節でも述べたとおり、GaAs集積回路の大規模高速化が急速に進みつつある今日では、動作層の薄層化およびソース・ドレイン抵抗層の高不純物濃度化、ならびにそれらの高精度な制御が緊急の課題であり、本研究を進めるに当たっては、特にこれらの問題の解決が図られるように努めた。

本章に続く第2章では、イオン注入GaAs層に対する種々の活性化熱処理法について概説している。特に、本論文の第6章以降で中心的に取り上げる短時間熱処理法については、他の方法との比較を交えながらその特徴や可能性を明らかにしている。また、活性化熱処理時に使用する表面保護膜については、従来から検討されてきたいくつかの材料についてその特徴をまとめると同時に、イオン注入GaAs層の熱処理保護膜材料として要求される必要条件について述べている。

第3章では、本研究において使用したSiO₂N_x保護膜の形成方法、および膜特性の評価結果について論じている。SiO₂N_x保護膜の形成では、ハロゲン・ランプ加熱の熱CVD法が有効であることを明らかにしている。形成したSiO₂N_x膜については、オージェ(Auger)分析や赤外吸収スペクトル測定を通して膜組成の評価を行い、膜組成の精密な制御が反応ガス系のO₂流量の変化のみによって可能であることを明らかにしている。さらに、

膜組成と屈折率の関係および膜応力と屈折率の関係などについても考察を加えている。

第4章では、電気炉熱処理を用いて活性化したSiイオン注入GaAs層の電気的特性について論じている。Siイオン注入GaAs層の電気炉熱処理においては、屈折率1.75をもつSiO₂N₂保護膜が、Siイオンの高い活性化率を達成する上で有用であることを明らかにしている。この活性化率の促進効果については、熱処理温度および熱処理時間の広い範囲に亘って有効なことが実験的に示されている。さらに、SiO₂N₂保護膜の使用は、従来のSiN₂保護膜に比べて熱処理時の保護膜/GaAs界面応力の低減の観点からも有利となることを明らかにしている。

第5章では、種々の保護膜を用いて電気炉熱処理を行ったときの保護膜とGaAsの界面反応に関する評価結果や、このときにGaAs結晶中に導入される深い準位の測定結果を示し、保護膜の違いに基づくSiイオン注入層における活性化率変化の原因について考察している。ここで、Siイオンの活性化率を決定する要素として、熱処理時に生じるGa原子の外部拡散が重要な役割を果たしていることを明らかにしている。すなわち、SiO₂N₂保護膜を用いた熱処理によりGa空孔生成の任意な制御が可能となり、Si不純物のGa格子位置への置換の最適化が可能となることを示している。さらに、Ga原子の外部拡散に関係してGaAs基板中に発生する深い準位の導入過程を検討し、Ga空孔に関与していると考えられる深い準位の正体について考察を加えている。

第6章では、短時間熱処理を用いて活性化したSiイオン注入GaAs層の電気的特性について論じている。保護膜の有無による熱処理特性の比較から、1000℃以上の高温の短時間熱処理を行ったSiイオン注入層の活性化率が、Siドナー(donor)がAs格子位置に移動することによるキャリア(carrier)補償効果に起因して低下することを明らかにしている。また、短時間熱処理を用いて形成したn型動作層上に試作したGaAsMESFETの評価を行い、高い相互コンダクタンスを持つ良好なFET特性が実現できることを実証している。ただし、活性化特性の基板面内均一性については、今後さらに改善が必要であることを最後に指摘している。

第7章では、短時間熱処理時にGaAs結晶中に導入される短時間熱処理に固有な深い準位の存在を指摘している。この準位は、活性化エネルギー0.20eVをもつ電子トラップ(trap)であり、短時間熱処理時の急速な昇温過程において生成されることを明らかにしている。さらに、この深い準位がGaAs基板中の主要トラップであるEL2と類似のトラップ濃度の変化を示し、これら2つの準位が共通の成因を持っている可能性について述べている。

第8章では、短時間熱処理法を用いて形成した高濃度n型GaAs層の電気的特性について論じている。注入不純物としてはSiの他にSおよびSnを検討している。Siイオンの高濃度注入層の活性化では、拡散性のS原子の熱処理時の再分布が短時間熱処理の使用により効果的に抑制できることを明らかにしている。一方、SiおよびSnの各IV族不純物については、SiO₂N₂保護膜の使用が高活性化率で高電子濃度の実現に有効であることを明らかにしている。特に、Siイオンの高濃度注入層では10¹⁹cm⁻³に迫る高い電子濃度が実現できることを示している。さらに、この高電子濃度層をノンアロイ抵抗性接触(nonalloyed ohmic contact)の形成に応用した時の基礎的実験結果についても論じている。

最後に第9章では、本研究を通して得られた結果を総括して述べると同時に今後に残された問題点を明らかにしている。

参考文献

- 1) J.Lindhard, M.Scharff, and H.E.Schiott, *Mat.Fys.Medd.Dan.Vid.Selsk.*, 33, No.14 (1983).
- 2) J.Lindhard and M.Scharff, *Phys.Lev.*, 124, 126 (1961).
- 3) C.T.Foxon, J.A.Harvey, and B.A.Joyce, *J.Phys.Chem.Solids*, 34, 1693 (1973).
- 4) P.E.Roughan and K.E.Manchester, *J.Electrochem.Soc.*, 116, 278 (1969).
- 5) J.Kawahara, M.Arai, and N.Watanabe, *J.Appl.Phys.*, 50, 541 (1979).
- 6) M.Kuzuhara, Y.Ogawa, S.Assi, T.Furutsuka, and T.Nozaki, 1986 IEDM Dig. Tech. Papers, p.763 (1986).
- 7) Y.Nakayama, K.Suyama, H.Shimizu, N.Yokoyama, H.Ohnishi, A.Shibatomi, and H.Ishikawa, *IEEE J.Solid-State Circuits*, SC-18, 599 (1983).
- 8) M.Ohmori, *Inst.Phys.Conf.Ser.*, No.74, p.647 (1984).
- 9) J.L.Tandon, M-A.Nicolet, and F.H.Elsen, *Appl.Phys.Lett.*, 34, 185 (1979).
- 10) R.L.Mozzi, W.Fabian, and F.J.Piekaraki, *Appl.Phys.Lett.*, 35, 337 (1979).
- 11) P.A.Pianetta, C.A.Stolte, and J.L.Hansen, *Laser and Electron Beam Processing of Materials*, p.328 (1980).
- 12) M.Arai, K.Nishiyama, and N.Watanabe, *Jpn.J.Appl.Phys.*, 20, L124 (1981).
- 13) L.A.Christel and J.F.Gibbons, *J.Appl.Phys.*, 52, 5050 (1981).
- 14) I.Fujimoto, *Jpn.J.Appl.Phys.*, 23, L287 (1984).

第2章 イオン注入GaAsの活性化熱処理法

2-1 序

イオン注入技術を用いたGaAsへの不純物添加は、1987年にMayer等によって最初に報告された¹⁾。しかし、当時は高温熱処理時に生じるAs原子の熱的解離を防止するための方法が明らかにされておらず、熱処理温度は800℃以下の低温に抑えられていた。しかしその後、イオン注入時に基板に導入された結晶欠陥を十分に回復させ注入イオンの活性化率を高めるためには、熱処理温度をさらに高くする必要があることが明らかにされた。650℃を超える高温では、As原子の解離によるGaAs基板の表面分解が顕著になるため、これを防ぐための方法として熱処理保護膜の検討が開始された。今日までに何種類かの熱処理保護膜が提案され、それぞれの材料について有用性が論じられてきたが、実用性の見地からは未だに統一的な結論が下されるに至っていない。

熱処理保護膜の検討と同時に熱処理方法についても、従来の電気炉熱処理法とは異なるいくつかの新しい方法が今日までに提案されてきた。最も一般化されている電気炉熱処理法における最大の欠点は、熱源の熱容量が比較的大きいことであり、このため、熱処理時間が数分から数10分程度の単位でしか制御することができなかった。長時間の熱処理は注入不純物の熱拡散による再分布を招く結果となるが、これは浅い導電層の形成や高濃度不純物添加の見地からは好ましくない。したがって、電気炉熱処理法に代わる新しい熱処理法として、より短い熱処理時間が実現できる方法が要望されてきた。これらの方法は、熱処理時間が電気炉熱処理法に比較して短いことから一般に短時間熱処理法と総称されるが、その熱処理時間は用いる熱源の種類によって 10^{-2} ~ 10^2 秒の広範囲に亘っている。熱処理時間1秒未満の熱処理は、熱源にレーザー(laser)や電子ビーム(electron beam)を用いることにより実現されるものであり、このため、これらの熱処理のことを特にビーム熱処理(beam annealing)と呼んで1秒以上の熱処理と区別することが多い。本論文においてもこの分類法に従い、短時間熱処理と言う用語は、熱処理時間が $1\sim 10^2$ 秒の熱処理に対してのみ適用することにする。

本章では、まずGaAsイオン注入層の熱処理法を熱処理時間の長さによって分類し、その特徴を概説する。次に、GaAsの熱処理保護膜として要求される条件を列挙し、これらの条件を考慮しながら今日までに提案されてきた熱処理保護膜の特徴や実際の応用例について述べる。

2-2 熱処理法の分類

電気炉熱処理法は、イオン注入GaAs層の活性化熱処理法として最も一般的に用いられてきた方法である。n型不純物に対する典型的な熱処理条件としては、800~850℃で10~30分の範囲がよく用いられる。このように、電気炉熱処理法においては熱処理時間が比較的長いので、①熱処理時のAs原子の解離、②熱処理時の不純物拡散、の各問題に注意する必要がある。①のAs解離の問題は、2-3節で後述するように、良質の熱処理保護膜を用いることにより回避することができるが、②の不純物拡散の問題は上記の熱処理条件を用

いる限り避けることができず、電気炉熱処理法の応用面での大きな制約となっている。例えば、今日のGaAsLSIのFET動作層の形成には、加速エネルギー30keV程度のSiイオンの低エネルギー注入が広く用いられているが、熱処理時の不純物拡散は、ピーク電子濃度の減少および動作層厚の増加、などの問題を招く(図2-1参照)。これらの現象は、FET特性の低下をもたらすばかりでなく均一性や再現性を悪化させる原因ともなり、熱処理時間を短縮する必要性が生じてくる。

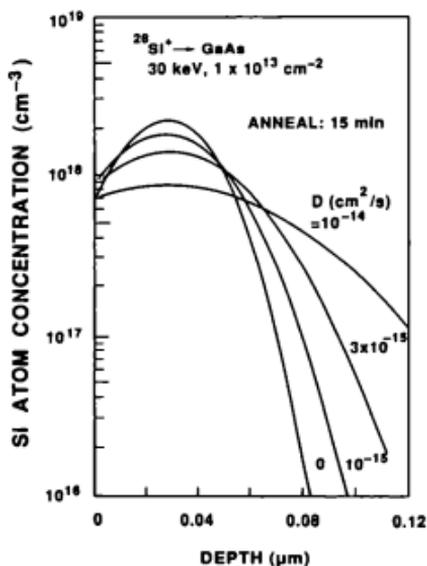


図2-1 30keV注入Si⁺の熱処理後の再分布の拡散係数依存性

電気炉熱処理より短い熱処理時間を実現できる熱処理法としては、レーザや電子ビームを熱源に用いたビーム熱処理法が、1970年代後半から1980年代前半にかけて盛んに研究された²⁻¹¹⁾。ビーム熱処理法は、熱処理時間の長さに応じて、パルス法(10⁻⁸~10⁻⁶秒)と連続(CW)法(10⁻⁴~10¹秒)とに分類される。このうち特に、パルス・ビーム熱処理法は、熱処理時の不純物拡散が少ないばかりでなく、熱処理保護膜を使用しなくてもAs原子の解離が抑えられる特長をもっているため、ビーム熱処理法の研究は、パルス法を中心として進められてきた。パルス法のGaAsイオン注入層への適用はn型高ドーズ注入層の活性化において数多く報告されており、10¹⁸cm⁻³を超える高電子濃度が実現されている²⁻⁴⁾。しかしながら、パルス法では、熱処理時のビーム照射により、基板表面に照射欠陥が

導入されるため、移動度が極端に低かったり、後の200~300℃の熱処理によって電子濃度の急激な低下が生じたりすることが知られている⁸⁻⁹⁾。また、上記の照射欠陥の存在は、パルス法による低ドース (<10¹² cm⁻²) 注入層の活性化を不可能にしており、このことはパルス法を用いてGaAsFETの動作層が形成できないことを示唆している。ビーム熱処理法を用いたこの低ドース注入層の活性化は、連続ビーム熱処理法の適用によりその後初めて実現された^{10,11)}。連続ビームの照射時間は10⁻⁴~10¹秒に互って変化することができるが、そのうちで低ドース注入層の活性化は1秒以上の時間範囲でのみ有効に生じることが明らかにされた。この熱処理時間は、次に述べる短時間熱処理法で広く用いられる熱処理時間領域(1~10²秒)に属していることから、この条件下における連続ビーム熱処理法の熱処理特性は、実質上、短時間熱処理法の熱処理特性と等価であると考えて差し支えない。

以上述べたように、電気炉熱処理法より短い熱処理時間の実現をめざして研究が進められてきたビーム熱処理法においては、広いイオン注入条件に互って良好な電気的活性化が得られる熱処理条件が、連続ビームを用いた1~10秒の熱処理時間範囲に限られることが明らかとなった。このため、これと同じ熱処理時間が得られ、しかも温度の均一性や生産性に優れた特長をもつ短時間熱処理法が1980年代に入って以来注目されるようになった¹²⁻¹⁴⁾。短時間熱処理法を実現するための熱源としては、各種のランプやグラファイト・ヒータ、などが一般的に用いられている。中でも、タングステン・ハロゲン・ランプは、熱源の寿命や安定性、昇降温特性の急峻性とその再現性、および熱処理雰囲気ガス選択の自由度、などの理由から最も一般的に使用されている。図2-2に、本研究で用いたタングステン・ハロゲン・ランプによる短時間熱処理装置の断面構造図を示す。試料を保持する角型の石英管を挟んで上

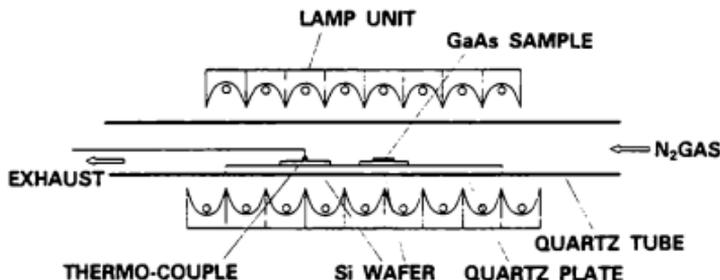


図2-2 本研究で用いた短時間熱処理装置の断面構造図

下2ヶ所にランプ列が配置されている。上下各ランプ列は、それぞれ8ヶと9ヶのタングステン・ハロゲン・ランプ(長さ127mm)を20mmピッチで配列したものを構成されている。上下各ランプの配列は、均熱性を改善するために、互いに逆位相になるように配置されている(図2-2参)。各ランプは金被覆(gold coating)された放射線状の反射板を

備えており、放射効率の改善と反射光の平行光線化が図られている。各ランプに供給できる最大電力は1.2 kWであり、上下ランプ列の間隔が80 mmのときの最大昇温速度は200 °C/秒を超える。温度測定にはクロメル・アルメル(chromel-alumel; CA)熱電対を用い、PID制御を用いて所望の温度サイクルを得ている。本装置において制御可能な最短熱処理時間は、昇温速度100 °C/秒の場合に約2秒である。このように、短時間熱処理法においては、電気炉熱処理法に比べて約2桁大きな昇温速度および2~3桁短い熱処理時間を実現することができる。

短時間熱処理法の下で進行する注入損傷の回復過程は、固相再結晶化(solid phase recrystallization)過程である。この再結晶化過程は、電気炉熱処理法においても同様に用いられるものであるが、一方ビーム熱処理法では液相再結晶化(liquid phase recrystallization)過程を中心に注入損傷の回復が図られる。すなわち、短時間熱処理法は、その応用上の性質として、本来ビーム熱処理法が主要目的とした①不純物拡散の低減、②高活性化率、③保護膜無し熱処理の実現、などの特長を有するものの、熱処理反応の原理上からは電気炉熱処理法の延長として分類することができる。

2-3 熱処理保護膜

2-3-1 熱処理保護膜の条件

GaAsイオン注入層の活性化熱処理における最大の問題は、既に述べた通り、As原子の解離である。1989年にRoughan等は、イオン注入したGaAs表面を蒸着法で形成したSiO₂保護膜で覆うことにより熱処理時のAs原子の解離が防止できることを初めて明らかにした¹⁶⁾。それ以来今日に至るまで、数多くの種類の熱処理保護膜が次々に提案され、それぞれの材料について熱処理特性が論じられてきた。

熱処理保護膜を用いて活性化したGaAsイオン注入層の特性は、使用した保護膜の種類やその膜質および膜厚に応じて変化することが知られている。これらの活性化特性の違いは、使用する熱処理保護膜の物理的あるいは化学的な性質の違いに起因するものと考えられている。

GaAsイオン注入層の理想的な熱処理保護膜としては、高温の熱処理過程において次に挙げるいくつかの条件を満足することが要求される。

- 1) 保護膜が基板と化学的に反応しない。
- 2) 基板構成元素が保護膜中に外部拡散しない。
- 3) 保護膜構成元素が基板内に外部拡散しない。
- 4) 保護膜/GaAs界面応力が小さい。
- 5) 保護膜の膜質が均質で構造欠陥を含まない。
- 6) 保護膜の基板に対する密着性が良く、膜割れ(cracking)や膜剥がれ(peeling off)が生じにくい。

活性化後のイオン注入層の電気的特性は、以上挙げた何れの条件に対しても影響を受けるが、特に条件2)、3)は、活性化率や移動度に微妙な変化を与える原因となる場合が多い。また、条件4)は、注入不純物や基板内残留不純物(例えば、Cr, Cu, Mn等)の再分布や

表面腐蝕の原因として影響を与えることが知られている。以上に挙げた高温熱処理時に要求される条件以外にも、例えば、低温膜形成の可能性や基板に対する選択エッチャントの存在などが、実用性および再現性の見地から重要となる条件として挙げられる。

2-3-2 熱処理保護膜の種類

本節では、イオン注入GaAsの熱処理保護膜として今日までに検討されてきたいくつかの材料について、前節に述べた各種の保護膜条件を考慮しながらその特徴を概説する。

a、SiO₂膜

数ある熱処理保護膜の中でも、SiO₂膜は最も歴史的に古く、今日においても広く使用されている材料である。膜形成方法としては、熱CVD (chemical vapor deposition) 法、プラズマCVD法、スパッタ法、蒸着法、回転塗布法、などが用いられている。SiO₂膜の最大の特徴は、熱処理時に前節の条件2) で挙げたGa原子の外部拡散が顕著に生じることである。この現象は、RBS (Rutherford backscattering spectroscopy) を用いてGylai等により初めて明らかにされたが¹⁸⁾、中性子動起法¹⁷⁾、AES (Auger electron spectroscopy)^{19,19)}、XPS (x-ray photoelectron spectroscopy)²⁰⁾、PL (photoluminescence)²¹⁾などの方法でも確認されている。

Ga原子の外部拡散は、GaAs基板の化学量論的組成をAs過剰側にずらせる作用をもつ。したがって、SiO₂膜をAs位置置換型の不純物 (Se, Te等) をイオン注入したGaAsの熱処理保護膜として用いると、多量のGa空孔の生成により不純物のAs位置への置換が妨げられるため活性化率が上がらず、良好な熱処理特性が得られないことが報告されている^{22,23)}。これに対して、Ga位置置換型の不純物であるSiをイオン注入したGaAsでは、SiO₂保護膜の使用によりSiのGa位置への置換が促進され、高い活性化率が実現できることが報告されている^{24,25)}。

b、SiN_x膜

SiO₂保護膜がGa原子の顕著な外部拡散を生じることが明らかにされて以来、この現象の発生を抑制できる熱処理保護膜としてSiN_x膜が広く検討されるようになった。SiN_x膜の膜形成方法としては、熱CVD法、プラズマCVD法、スパッタ法、などが用いられている。特に、700℃付近の比較的高温の膜堆積温度を用いる急速加熱方式の熱CVD法は、高品質で耐熱性に優れたSiN_x膜の形成法として有効であることが示されている²⁶⁾。

SiN_x膜の形成では、原料ガスや反応系の残留ガス中に含まれる酸素や水素が、膜形成時に不純物として膜中に取り込まれ易い問題がある。これらの汚染元素の混入はSiN_x膜の膜質を変化させ、結果的にはイオン注入GaAsの熱処理特性にも影響を与える。したがって、再現性ある熱処理特性を実現するためには、これらの汚染元素の混入量を最少限に抑えた上で膜組成を厳密に制御することが重要である。

SiN_x膜をGaAs熱処理保護膜として用いる場合の問題として、熱処理時にしばしば生じる膜の割れや剥がれに関する問題がある。膜割れや膜剥がれが生じ易い原因としては、

GaAsとSiN_x間における大きな熱膨張係数の差 (GaAs: $6.8 \times 10^{-6} \text{deg}^{-1}$, SiN_x: $3.2 \times 10^{-6} \text{deg}^{-1}$) が挙げられるが、同時にSiN_xの大きなヤング率 (Young's modulus; $E/(1-\nu) = 3.9 \times 10^{13} \text{dyn/cm}^2$) も大きく寄与していることが指摘されている²⁷⁾。上記の熱CVD SiN_xを用いた場合、950℃の高温まで膜の割れや剥がれを起こさずに安定に熱処理できることが確認されている^{23, 26, 28)}。また、Ga原子の外部拡散も、950℃の熱処理温度までオージェ分析の検出限界以下に抑えられることが示されている²⁸⁾。

c、AlN膜

AlN膜は、熱処理時のGa原子の外部拡散が少なくSiN_x膜に比べて高温まで密着性に優れた熱処理保護膜として、1975年にPashley等によって最初に導入された²⁹⁾。膜形成には、スパッタ法が主に用いられている。密着性の改善は、AlNとGaAsの熱膨張係数が互いに類似していることによるものである (AlN: $6.1 \times 10^{-6} \text{deg}^{-1}$, GaAs: $6.8 \times 10^{-6} \text{deg}^{-1}$)。AlNの膜形成においても、SiN_x膜の場合と同様に酸素が汚染元素として膜中に取り込まれ弱い欠点があるが、SiN_x膜の場合と異なりAlN膜の場合には、膜中に酸素が導入された場合においてもGa原子の外部拡散が生じないことが明らかにされている³⁰⁾。

AlN保護膜による熱処理は、VI族元素 (Se, Te など) のイオン注入層の活性化において特に有効であることが示されており、SiN_x保護膜を用いた場合に比べて高い活性化率と電子濃度が実現されている^{31, 32)}。Siイオン注入層については、AlN保護膜の使用により、熱処理後の電子濃度分布の制御性が向上できることが報告されている³³⁾。前述したように、AlN保護膜では膜/GaAs界面の熱応力を低減することができるため、熱応力に伴う①注入不純物の異常拡散、②活性化率の低下、③半絶縁性基板の熱変成、などの影響を最少限に抑えることができ、イオン注入層の電子濃度分布の制御性を向上させることができる。

d、Ga添加SiO₂膜

SiO₂膜にGaを添加することにより、熱処理時のGaの外部拡散を抑制する試みがなされている²⁴⁾。膜形成には、回転塗布法が用いられている。Ga添加SiO₂保護膜の使用により、通常のSiO₂保護膜を用いた場合に比べてGaの外部拡散が低減でき、Siイオン注入層の活性化率が改善されることが示されている。

e、As添加SiO₂/SiN_x二層膜

1000℃を越える高温熱処理においても安定な熱処理保護膜として、As添加SiO₂/SiN_x二層膜 (SiN_x膜上にAs添加したSiO₂膜を被着) が提案されている^{34, 35)}。この二層膜構造は、保護膜/GaAs界面応力の緩和にも寄与しており、最大1100℃の熱処理温度まで使用できることが示されている。この二層膜構造保護膜の使用により、Seイオン注入層において最高電子濃度 $1 \times 10^{19} \text{cm}^{-3}$ が得られている。

f、SiO_xN_y膜

SiO_xN_y膜は、SiO₂膜およびSiN_x膜の中間的な性質が期待できる三元保護膜であ

る。従来報告されている SiO_xN_y 保護膜の熱処理特性は、 SiN_x 膜形成の反応系への偶発的な酸素漏れにより形成された SiO_xN_y 膜を使用したものである。したがって、 SiO_xN_y 保護膜中の酸素あるいは窒素組成を制御しつつ系統的に変化させて、イオン注入GaAsの熱処理特性を調べた報告例はない(本研究において初めて明らかにする)。イオン注入層への SiO_xN_y 膜の応用としては、Seイオン注入層に対して報告されているが⁽²³⁾、膜組成は不明であり、活性化率は SiN_x 保護膜の場合より低くなることが指摘されている。

2-3-3 最適熱処理保護膜の検討

今日のGaAs集積回路のn型導電層形成においては、殆どの場合、注入イオンとしてシリコン(Si)が用いられる。このように、両性不純物であるIV族元素Siが積極的に用いられる理由としては、次のような事項が考えられる。

- 1) 拡散係数が比較的小さい。
 - 2) 質量数が小さいため、注入損傷が少ない。
 - 3) 比較的低温(750~850℃)の熱処理により良好な電気的活性化が得られる。
- したがって、GaAs集積回路への応用を前提としてイオン注入技術考えた場合には、特にSiイオン注入について活性化熱処理条件の最適化を図っていくことが重要となる。

2-3-2節で述べたように、従来からSiイオン注入GaAs層の熱処理保護膜として SiO_2 、 SiN_x 、 AlN 、などの材料が検討されてきた。しかし、実用性の観点から考えた場合に何れの保護膜材料が最適であるのかについては未だに統一された結論が導かれるには至っていない。最適熱処理保護膜の一つの判定基準としては、Siイオンの活性化率を挙げることができる。特に、高電子濃度で低抵抗が要求される高濃度n型低抵抗性接触層の形成においては、活性化率の増加がFET特性の改善に直接つながる重要な要素となる。Siイオン注入層の活性化率を高める目的からは、Gaの外部拡散を起さない窒化物系の保護膜(例えば、 SiN_x 、 AlN)よりGaの外部拡散が生じる SiO_2 保護膜の方が優れていると言う報告がなされているが⁽²⁴⁾、この関係の一般性については未だ明らかにされていない。したがって、まず熱処理時のGaの外部拡散とSiイオンの活性化率の関係を詳細に調べ、最高の活性化率が得られる熱処理保護膜の条件を明らかにしていく必要がある。Gaの外部拡散の程度を連続的に制御し得る方法としては、前述した SiO_xN_y 保護膜の膜組成を制御する方法が考えられる。この SiO_xN_y 膜の組成を最適化することにより、従来に比べてSiイオンの活性化率を大幅に改善できる可能性がある(SiO_xN_y 保護膜のイオン注入層への応用については第4章において述べる)。

2-4 まとめ

イオン注入GaAs層に対する活性化熱処理法を熱処理時間の長さによって分類し、その特徴をまとめた。特に、短時間熱処理法の位置付けを明確にした。また、GaAsの熱処理保護膜として、従来から検討されてきたいくつかの材料についてそれぞれの特徴を整理した。

最後に、GaAsに対する最も一般的なイオン種であるSiイオンについて、熱処理用保護膜が満たすべき条件について検討を加えた。

参考文献

- 1) J.W.Mayer, O.J.Marsh, R.Mankarious, and R.Bower, *J.Appl.Phys.*, 38, 1975 (1967).
- 2) R.L.Mozzi, W.Fabian, and F.J.Piekarski, *Appl.Phys.Lett.*, 35, 337 (1979).
- 3) P.A.Pianetta, C.A.Stolte, and J.L.Hansen, *Laser and Electron Beam Processing of Materials*, p.328 (1980).
- 4) S.G.Liu, C.P.Wu, and C.W.Magee, *Laser and Electron Beam Processing of Materials*, p.341 (1980).
- 5) P.A.Pianetta, C.A.Stolte, and J.L.Hansen, *Appl.Phys.Lett.*, 36, 597 (1980).
- 6) P.A.Pianetta, J.Amano, G.Woodhouse, and C.A.Stolte, *Laser and Electron Beam Solid Interactions and Material Processing*, p.239 (1981).
- 7) D.E.Davies, T.G.Ryan, J.P.Lorenzo, and E.F.Kennedy, *Laser and Electron Beam Solid Interactions and Material Processing*, p.247 (1981).
- 8) D.E.Davies, J.P.Lorenzo, and T.G.Ryan, *Appl.Phys.Lett.*, 37, 812 (1980).
- 9) J.Amano, P.A.Pianetta, and C.A.Stolte, *Appl.Phys.Lett.*, 37, 948 (1980).
- 10) N.J.Shah, H.Ahmed, I.R.Sanders, and J.F.Singleton, *Electronics Lett.*, 18, 433 (1980).
- 11) N.J.Shah, H.Ahmed, and P.A.Leigh, *Appl.Phys.Lett.*, 39, 322 (1981).
- 12) M.Arai, K.Nishiyama, and N.Watanabe, *Jpn.J.Appl.Phys.*, 20, L124 (1981).
- 13) D.E.Davies, P.J.McNally, J.P.Lorenzo, and M.Julian, *IEEE Electron Device Lett.*, EDL-3, 102 (1982).
- 14) M.Kuzuhara, H.Kohzu, and Y.Takayama, *Appl.Phys.Lett.*, 41, 755 (1982).
- 15) P.E.Roughan and K.E.Manchester, *J.Electrochem.Soc.*, 116, 278 (1969).
- 16) J.Gyulai, J.W.Mayer, I.V.Mitchell and V.Rodriguez, *Appl.Phys.Lett.*, 17, 332 (1970).
- 17) I.Ohdomeri, S.Mizutani, H.Kume, M.Mori, I.Kimura, and K.Yoneda, *Appl.Phys.Lett.*, 32, 218 (1978).
- 18) K.V.Valdyanathan, M.J.Helix, D.J.Wolford, B.G.Streetman, R.J.Blattner, and C.A.Evans, Jr., *J.Electrochem.Soc.*, 124, 1781 (1977).
- 19) M.Kuzuhara and H.Kohzu, *Appl.Phys.Lett.*, 44, 527 (1984).
- 20) U.Konig and E.Sasse, *J.Electrochem.Soc.*, 130, 950 (1983).
- 21) P.K.Chatterjee, K.V.Valdyanathan, M.S.Durschlag, and B.G.Streetman, *Solid State Commun.*, 17, 1421 (1975).
- 22) J.S.Harris, F.H.Eisen, B.W.Weich, J.D.Haskell, R.D.Pashley, and J.W.Mayer, *Appl.Phys.Lett.*, 21, 601 (1972).
- 23) T.Inada, H.Miwa, S.Kato, E.Kobayashi, T.Hara, and N.Mihara, *J.Appl.Phys.*, 49,

4571 (1978).

- 24) D.E.Davies, J.K.Kennedy, and C.E.Ludington, J.Electrochem.Soc.,122, 1374 (1975).
- 25) G.R.Antell, Appl.Phys.Lett.,30, 432 (1977).
- 26) J.P.Donnely, W.T.Lindley, and C.E.Hurwitz, Appl.Phys.Lett.,27, 41 (1975).
- 27) T.Tokuyama, Y.Fujii, Y.Sugita, and S.Kishino, Jpn.J.Appl.Phys.,6, 1253 (1967).
- 28) P.A.Leigh, Int.J.Electronics,52, 23 (1982).
- 29) R.D.Pashley and B.W.Welch, Solid State Electron.,18, 977 (1975).
- 30) W.K.Chu, B.L.Crowder, J.W.Mayer, and J.F.Ziegler, Proc. 3rd Int. Ion Implantation Conf. Plenum Press, New York (1973).
- 31) K.Gamo, T.Inada, S.Krekeler, J.W.Mayer, F.H.Eisen, and B.W.Welch, Solid State Electron.,20, 213 (1977).
- 32) F.H.Eisen, B.W.Welch, H.Muller, K.Gamo, T.Inada, and J.W.Mayer, Solid State Electron.,20, 219 (1977).
- 33) S.Okamura, H.Nishi, T.Inada, and H.Hashimoto, Appl.Phys.Lett.,40, 689 (1982).
- 34) A.Lidow, J.F.Gibbons, and T.Magee, Appl.Phys.Lett.,31, 158 (1977).
- 35) A.Lidow, J.F.Gibbons, T.Magee, and J.Peng, J.Appl.Phys.,49, 5213 (1978).

第3章 熱処理保護膜の形成と評価

3-1 序

SiO_xN_y は、 SiO_2 と Si_3N_4 の両方の利点を兼ね備えた新しい絶縁膜材料として、従来は主として、 Si デバイス・プロセスにおいて応用が検討されてきた。膜形成には、膜堆積温度が高温(800~1000℃)である熱CVD法が広く使用されてきた。これに対して、 SiO_xN_y 膜の GaAs デバイス・プロセスへの積極的な応用は、本研究において熱処理保護膜の検討を開始した時点(1983~1984)ではまだ報告されていなかった。

GaAs デバイス・プロセスにおいて SiO_xN_y 膜を用いるためには、膜堆積時の As 原子の熱的解離の防止が不可欠である。このためには、膜堆積温度を Si デバイス・プロセスの場合より低くする必要がある。 SiO_xN_y 膜の形成においては、シリコンに対する酸素の結合確率が窒素の結合確率に比較して数桁大きいこと、反応雰囲気中に存在する酸素は窒素の存在に拘らず優先的に膜中に取り込まれ易いことが知られている。この結果は、従来の Si_3N_4 膜の形成装置に微量の酸素を混入できる機能を付加することにより、 SiO_xN_y 膜の形成が可能となることを示唆している。本研究では、 GaAs 熱処理用 SiO_xN_y 保護膜の形成法として、従来から Si_3N_4 膜の形成法として用いられてきた急速加熱方式の熱CVD法(膜堆積温度:700℃)を検討した。本手法を用いることにより、 SiO_2 (屈折率:1.45)から Si_3N_4 (屈折率:2.0)までの任意の屈折率(あるいは膜組成)をもつ良質な SiO_xN_y 膜が制御性良く GaAs 基板上に形成できることが明らかとなった。

本章では、 GaAs 熱処理用 SiO_xN_y 保護膜の形成方法及び形成した膜の評価結果について述べる。まず、エリプソメトリ(ellipsometry)を用いて、種々の膜堆積条件下で形成した SiO_xN_y 膜の屈折率と膜堆積速度の関係を明らかにする。次に、オーグジュ分析(Auger electron spectroscopy)を用いて膜組成を、また赤外吸収(infrared absorption)測定から膜構成元素間の原子結合状態をそれぞれ評価する。最後に、ニュートン・リング干渉法(interference fringe technique)を用いて、 $\text{SiO}_x\text{N}_y/\text{GaAs}$ 構造における膜応力を評価し、膜応力と膜割れの関係について議論する。

3-2 膜形成装置と膜形成手順

本研究では、原料ガスとして $\text{SiH}_4-\text{NH}_3-\text{O}_2$ 系を用いた常圧熱CVD法(膜堆積温度:700℃)により、 SiO_xN_y 膜を GaAs 基板上に堆積した。膜堆積温度700℃は NH_3 の十分な熱分解を得るために必要となる温度であるが、同時にこの温度は GaAs の熱分解を起こす温度でもあるため、実際の膜堆積に際してはこの GaAs 基板の熱分解を防止するための対策が必要となる。本研究では、 GaAs 基板上への Si_3N_4 膜の形成方法として従来から用いられてきた急速加熱方式の熱CVD法¹⁾——すなわち、700℃まで急速に昇温後ただちに膜堆積を開始することにより GaAs 基板表面からの As 原子の蒸発を防止できるCVD法——を用いて、種々の膜組成をもつ SiO_xN_y 膜を GaAs 基板上に堆積させた。急速加熱を可能にする熱源には、タングステン・ハロゲン・ランプ列から成る赤外線炉

を用いた。

図3-1は、本研究で使用した赤外線炉の断面構造を示したものである。長さ42cmの6本のランプ（各ランプの後方には放物線状の反射板が設けられており、反射光線がそれぞれ平行光線になるように設計されている）が図に示すように円周状に配置されており、石英反

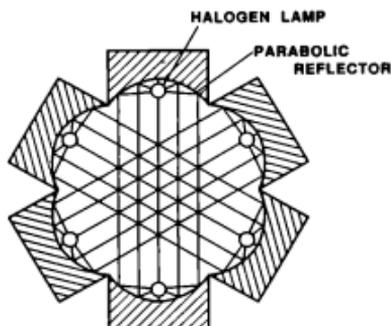


図3-1 赤外線炉の断面構造図

応管内に置いたグラファイト製の試料台を集中的に加熱する構造となっている。図3-2に膜形成装置の全体図を示す。ガス系は、全4系統—— SiH_4 （4% in Ar）、 NH_3 （100%）、 O_2 （1% in N_2 ）、 N_2 キャリア・ガス——から構成され、各ガス系はそれぞれ流量計と電磁弁を経由して、反応管の入口付近で合流するように設計されている。反応管は、内側断面が $25 \times 90 \text{ mm}^2$ 、長さ700mm、厚さ5mmの角形石英管で構成され、その内部に $80 \times 300 \text{ mm}^2$ 、厚さ5mmのグラファイト製試料台を設置する。グラファイト製

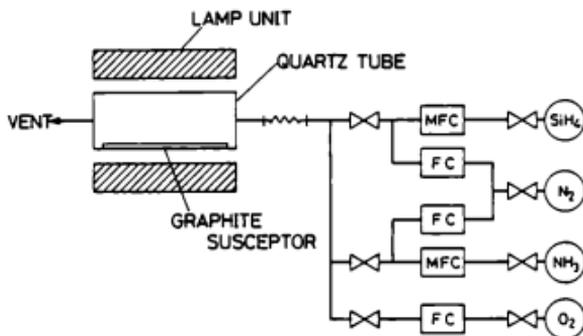


図3-2 SiO_xN_x 膜形成装置の全体図

試料台の表面は、加熱時の炭素による汚染や炭素と O_2 ガスとの反応を避けるためにSiC被覆を施してあり、グラファイトが直接反応ガスに触れることを防止している。反応系の温度測定は、試料台上に置いた予備のSi基板表面にCA熱電対(chromel-alumel thermocouple)を接触させることにより行い、その出力はPID温度調節計に送られて反応系の温度が制御される。

図3-3は、実際の SiO_xN_y 膜の形成に用いた温度プログラムの一例を示したものである。この温度プログラムでは、700℃への昇温に先立って150℃で1分間の予備加熱工程が設けてあり、原料ガス導入と各種原料ガスの混合をこの工程において行っている。1分間の予備加熱終了後、反応系の温度は150℃から700℃まで数秒間で(最大昇温速度~200℃/秒)昇温される。昇温過程を急速に行うことにより、昇温過程で生じるGaAs基板表面からのAs原子の解離を抑えることができる。また、この急速昇温は、昇温時に酸素過剰で組成が十分に制御されない膜が界面層として形成されることをも同時に防止する効果も持っている。一方、原料ガス供給の停止は降温開始の30秒前に行い、降温時に酸素過剰な組成遷移層が膜表面に堆積するのを防止している。本研究では、反応系が700℃に昇温されてから原料ガスの供給を停止するまでの時間を膜堆積時間と定義する。

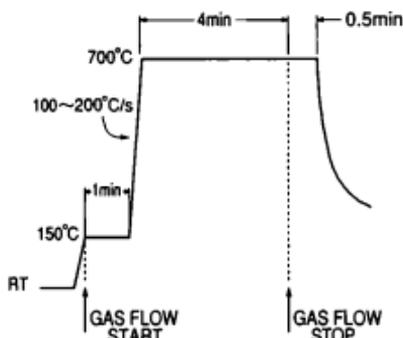


図3-3 温度プログラムの一例

3-3 SiO_xN_y膜の評価

3-3-1 膜屈折率と膜堆積速度

SiO_xN_y膜の形成において、形成された膜の膜質を直接的に変化させ得る成膜パラメータとしては、①膜堆積温度、②SiH₄流量、③NH₃流量、④O₂流量、⑤キャリアガス(N₂)流量、などが挙げられる。とりわけ、O₂流量はSiO_xN_y膜の膜質を最も顕著に変化させ得る成膜パラメータである。図3-4は、SiH₄およびNH₃の各流量をそれぞれ8ml

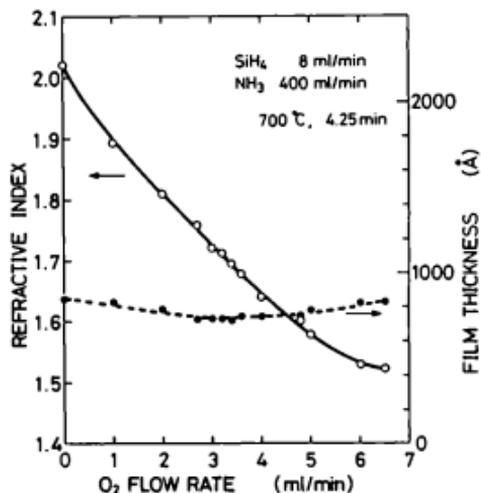


図3-4 膜屈折率および膜厚のO₂流量依存性

／分、400 ml／分に固定し、このSiH₄-NH₃ガス系にO₂を混入させたときの膜屈折率および膜厚のO₂流量依存性を示したものである。キャリアガス流量、膜堆積温度、膜堆積時間はそれぞれ10 ml／分、700℃、4.25分に固定した。O₂を混入しないときの膜屈折率は2.03であり、この値はほぼ化学量論比 $x = 4/3$ を満足するSi₃N₄膜の屈折率に対応する。一方、このガス系にO₂を混入すると、O₂流量の増加とともに膜屈折率はほぼ直線的に減少する。さらにO₂流量を増加して10 ml／分以上にすると、膜屈折率は1.46付近で飽和する。これは、反応ガス中にNH₃が存在するにも拘らず多量のO₂ガスが導入された場合には、膜中への窒素原子の取り込み量が極端に少なくなり、実質的にはSiO₂膜が形成されてしまうことを示している。屈折率の大きな変化に比べて、膜堆積速度のO₂流量依存性は比較的少なく、SiO_xN_y膜の堆積速度が殆ど膜屈折率（膜組成）には依存しないことがわかる。

図3-5は、膜厚および膜屈折率のN₂キャリア・ガス流量依存性を示したものである。SiH₄、NH₃、O₂各流量はそれぞれ8、400、3 ml／分であり、膜堆積時間は4.5分である。N₂流量8 ml／分以下ではN₂流量の増加に伴い膜堆積速度は急激に減少するが、N₂流量8 ml／分以上では膜堆積速度の減少は緩やかになる。例えば、N₂流量1 ml／分の変動に対する膜堆積速度の減少率は、N₂流量8 ml／分以下では~1.3 nm／分であるのに対し、N₂流量8 ml／分以上では~0.2 nm／分に減少する。これに対して、N₂流量の変化に対する膜屈折率の変化は小さく、N₂流量2~20 ml／分に互って膜屈折率は1.75±0.0

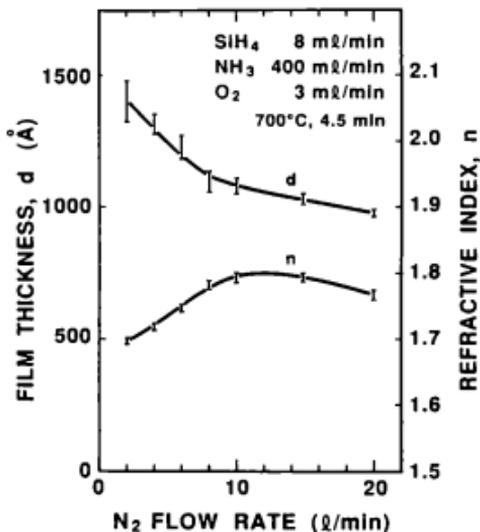


図3-5 膜厚および屈折率のN₂流量依存性

5の範囲内に分布している。

図3-6は、膜厚および屈折率の膜堆積時間依存性を示したものである。SiH₄、NH₃、O₂各流量はそれぞれ8、400、3ml/分とし、N₂キャリアーガス流量は10l/分に固定した。膜厚は膜堆積時間の増加とともに直線的に増加し、その傾きから膜堆積速度は~27nm/分と求められる。一方、屈折率の膜堆積時間依存性は小さく、膜厚50~500nmの間で、屈折率は1.74~1.80の間を緩やかに変化する。これは、SiO_xN_y/GaAs界面近傍の膜が堆積する初期段階においては、残留酸素あるいは表面に吸着した酸素の影響で酸素過剰な膜が形成されるが、膜厚の増加に伴ってこの酸素過剰な界面領域——すなわち屈折率が小さい領域——が全膜厚に対して占める割合が小さくなるため、結果として膜厚の増加に伴って屈折率が僅かに増加したものと考えられる。

3-3-2 膜組成

図3-7は、オージェ分析から求めた膜中の酸素と窒素の原子濃度比(O/N)と屈折率の関係を示したものである。オージェ・スペクトルは、入射電子エネルギー10keV、電子電流0.1μAの下で、Arイオン・スパッタ(2keV、2mA)を行いながら測定した。

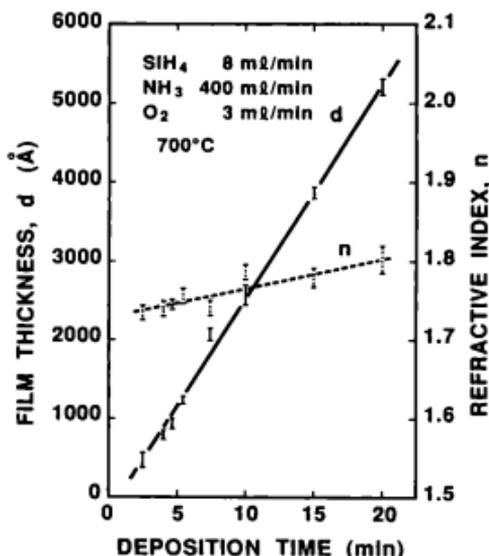


図3-6 膜厚および膜屈折率の膜堆積時間依存性

酸素原子については O_{KLL} (~ 500 eV)を、窒素原子については N_{KLL} (~ 380 eV)の各オージェ微分信号強度 (peak-to-peak)を測定した。測定に使用した SiO_xN_y 膜の膜厚は ~ 90 nmであり、膜表面および膜/GaAs界面付近を除く膜厚内での O/N 比のバラツキをエラー・バーで表示した。なお、オージェ信号強度比から酸素および窒素の原子濃度比 (O/N)を算出する際の各原子の感度補正係数には、酸素および窒素についてそれぞれ0.35および0.16を使用した²⁾。

図3-7より、 O/N 比の対数値が膜屈折率の増加に対してほぼ直線的に減少することがわかる。この関係は、Kulper等が $SiH_2Cl_2-NH_3-N_2O$ 系で報告している O/N 比と膜屈折率の関係と良い一致を示している³⁾。

いま、 SiO_xN_y が SiO_2 と Si_3N_4 の混合体から構成されていると仮定し、 SiO_2 のモル比を z として SiO_xN_y を $(z \cdot SiO_2 + (1-z) \cdot Si_3N_4)$ で表わすと、 O/N 比は z に関して次式で表わされる。

$$\frac{O}{N} = \frac{2z}{4(1-z)} \quad (3-1)$$

Lorentz-Lorenz 理論⁴⁾によれば、 SiO_xN_y 膜の屈折率 n_{ox} は SiO_xN_y における SiO_2 の重量比 w_0 、 SiO_2 と Si_3N_4 各膜の屈折率 n_0 と n_N 、および SiO_2 と Si_3N_4 各膜の密

度 ρ_0 と ρ_N を用いて次式のように表わされる。

$$n_{ON}^2 = \frac{\frac{n_0^2 w_0}{\rho_0 (n_0^2 + 2)} + \frac{n_N^2 (1 - w_0)}{\rho_N (n_N^2 + 2)}}{\frac{w_0}{\rho_0 (n_0^2 + 2)} + \frac{1 - w_0}{\rho_N (n_N^2 + 2)}} \quad (3-2)$$

一方、 SiO_xN_y における SiO_2 のモル比 z と重量比 w_0 との間には、次の関係が成り立つ。

$$z = \frac{140 w_0}{60 + 80 w_0} \quad (3-3)$$

(3-1)、(3-2)、(3-3) 式から z 、 w_0 を消去して O/N について解くと次式が得られる。

$$\frac{O}{N} = \frac{7}{6} \frac{\rho_0 (n_0^2 + 2) (n_N^2 - n_{ON}^2)}{\rho_N (n_N^2 + 2) (n_{ON}^2 - n_0^2)} \quad (3-4)$$

(3-4) 式に、 $n_0 = 1.45$ 、 $n_N = 2.03$ 、 $\rho_0 = 2.2$ 、 $\rho_N = 3.0$ を代入することにより求めた O/N と n_{ON} の関係を図 3-7 中に破線で示した。オージェ分析から求めた膜組成の実測値が、Lorentz-Lorenz 理論から求めた理論値に極めて良く一致することが理解できる。

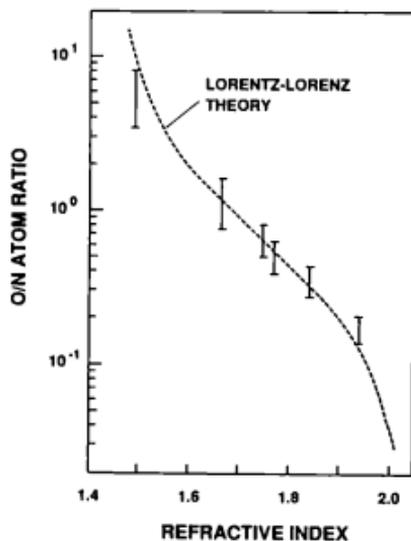


図 3-7 O/N 原子濃度比と膜屈折率の関係

3-3-3 赤外吸収

図3-8は、不純物無添加Si基板上に形成した各種 SiO_xN_y 膜の赤外吸収スペクトルを示したものである。スペクトル1、2、3、4、5は、それぞれ屈折率2.03、1.89、1.85、1.70、1.49をもつ SiO_xN_y 膜の測定結果に相当する。試料の膜厚は400~500nmとし、赤外吸収測定には、膜が未被着のSi基板における吸収を参照する2ビーム法を用いた。測定した SiO_xN_y 膜では、850~1100 cm^{-1} に大きな吸収帯が表われる。この大きな吸収帯は、Si-N($\sim 850\text{cm}^{-1}$)とSi-O($\sim 1085\text{cm}^{-1}$)の2つの吸収が重なってできたものであり、この850~1100 cm^{-1} 波数域に広がる大きな吸収帯のピーク波数は、 SiO_xN_y 膜の屈折率の減少に伴い高波数側に移動している。これは膜屈折率の減少に伴い膜中のSi-N($\sim 850\text{cm}^{-1}$)結合が減少し、代ってSi-O($\sim 1085\text{cm}^{-1}$)結合が増加してくることに対応する。850 cm^{-1} (Si-N結合)および1085 cm^{-1} (Si-O結合)における各吸収係数の膜屈折率依存性を図3-9に示す。膜屈折率の増加とともに、Si-N結合による吸収が直線的に急増するのに対して、Si-O結合による吸収は次第に減少する様子が理解できる。

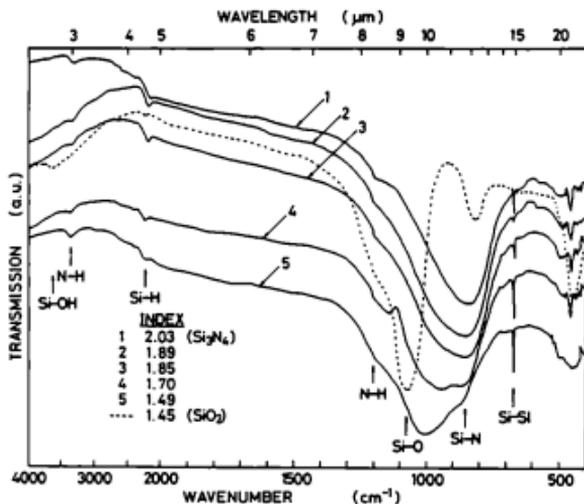


図3-8 SiO_xN_y 膜の赤外吸収スペクトル

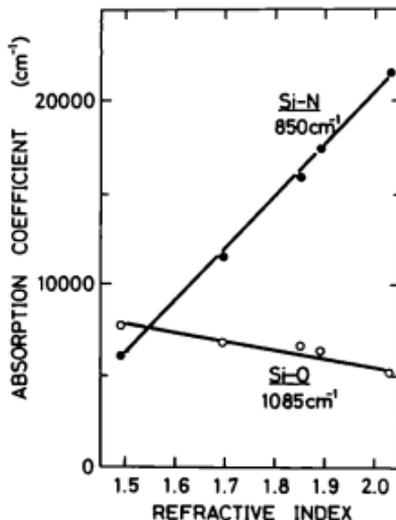


図3-9 Si-O結合とSi-N結合の各吸収係数の膜屈折率依存性

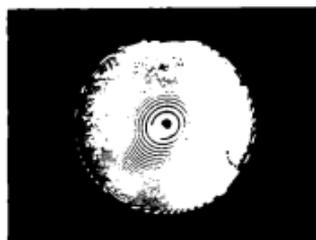
図3-8においては、 $850 \sim 1100 \text{ cm}^{-1}$ 波数域以外にもいくつかの吸収帯が観察される。この内、 670 cm^{-1} 付近の鋭い吸収は、Si基板からのSi-Si結合による吸収である。一方、 2200 cm^{-1} 付近の吸収はSi-H結合に、また、 1200 cm^{-1} および 3300 cm^{-1} 付近の吸収はN-H結合にそれぞれ起因する吸収帯である。これから、いずれの膜においても微量ではあるが、膜中に水素が不純物として取り込まれていることが理解できる。

3-3-4 膜応力

2インチ径GaAs基板上に堆積した各種 SiO_xN_y 膜について膜応力を測定した。膜応力の測定には、トリウム・ランプ光($\lambda = 0.546 \mu\text{m}$)によるニュートン・リング干渉法⁵⁾を用いた。図3-10に、 SiO_xN_y 膜被着前後のGaAs試料の干渉縞の様子を示す。図において、1本の干渉縞は $0.273 \mu\text{m}$ の歪みに相当する。干渉縞の本数を試料径に対してプロットすると図3-11が得られる。図に示すように、GaAs基板は膜応力により放射線状に曲げられる。この曲線を円周の一部と仮定すると、歪曲部の曲率半径Rは次式のように表わされる。



(a) BEFORE DEPOSITION



(b) AFTER DEPOSITION

図3-10 膜堆積前 (a) と膜堆積後 (b) のニュートン・リング干渉縞の変化

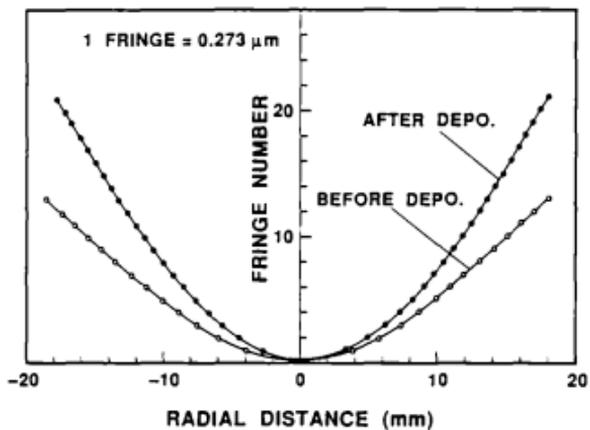


図3-11 ニュートン・リング干渉縞数の径方向依存性

$$R = \frac{a^2}{2\delta}, \quad (3-5)$$

ここで、 a は試料の径方向距離、 δ は a における反り量である。このとき膜応力 σ は、膜被着前後における試料の曲率半径をそれぞれ R_0 、 R_f として、次式で与えられる⁵⁾。

$$\sigma = \frac{E_s}{6(1-\nu_s)} \frac{t_s^2}{t_f} \left(\frac{1}{R_f} - \frac{1}{R_0} \right), \quad (3-6)$$

ここで、 t_s 、 t_f はそれぞれ基板および膜の厚さ、 E_s 、 ν_s はそれぞれ基板のヤング率とポアソン比である。GaAs(100)面の $E_s/(1-\nu_s)$ 値としては 1.23×10^{12} dyn/cm²を用いた⁵⁾。(3-6)式に(3-5)式を代入すると、膜応力 σ は次のように表わされる。

$$\sigma = \frac{E_s}{3(1-\nu_s)} \frac{t_s^2}{t_f} \frac{\delta_f - \delta_0}{a^2}, \quad (3-7)$$

ここで、 δ_f 、 δ_0 はそれぞれ膜被着後および被着前の基板の反り量である。

図3-12は、(3-7)式から求めた膜応力の膜屈折率依存性を示したものである。試料の膜厚はすべて ~ 90 nmとし、膜応力の測定は室温で行った。室温での膜応力は、すべて引張り応力(膜被着面が凹状に曲がる)を示す。膜応力の大きさは、SiO₂付近の組成(低屈折率側)では殆ど無視できる(測定限界である 5×10^8 dyn/cm²以下)が、膜

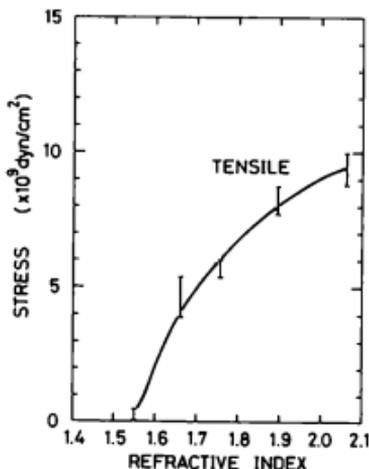


図3-12 膜応力の膜屈折率依存性

屈折率の増加とともに増加し、最も大きな屈折率をもつ Si_3N_4 膜では最大 $\sim 1 \times 10^{10} \text{ dyn/cm}^2$ に達した。

膜応力は、一般に、内部応力（膜形成時の応力）と熱応力（熱膨張係数の違いに基づく応力）の2つの成分の和で与えられる。したがって、膜応力の影響を厳密に議論するためには、測定した膜応力をこの2つの応力成分に分離する必要がある。このためには、膜応力の温度特性を測定し、熱応力成分のみを変化させる必要がある。さらに、膜応力が GaAs の熱処理特性に与える影響を議論するためには、室温における膜応力ではなく、熱処理温度（ $800 \sim 900^\circ\text{C}$ ）における膜応力の値が重要となる。本研究では、用いた膜応力測定系が試料温度の可変機能を備えていなかったため、直接的に膜応力の温度依存性を測定することができなかった。しかし、熱処理温度における膜応力の膜組成依存性については、以下のように考察することができる。図3-13は、種々の膜屈折率（膜組成）をもつ SiO_2N_x 膜を GaAs 基板上に堆積した後 850°C で15分間の熱処理を行い、膜表面の光学顕微鏡観察から、膜の割れや割れが顕著となり始める臨界膜厚を膜屈折率に対してプロットしたものである。

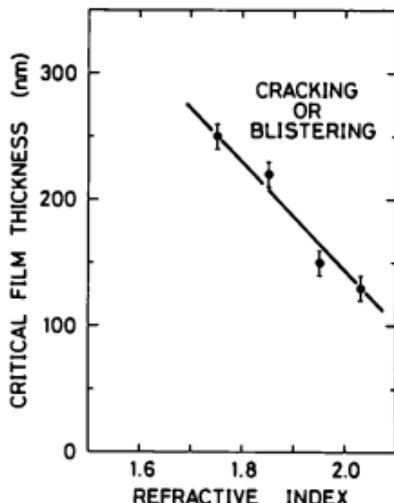


図3-13 臨界膜厚の膜屈折率依存性

Si_3N_4 (屈折率: 2.03) 膜では、 $\sim 130 \text{ nm}$ 以上の膜厚で膜の割れや割れが顕著となり始めるのに対して、膜屈折率の減少とともにこの臨界膜厚は増加し、例えば、 SiO_2N_x (屈折率: 1.75) 膜では、膜厚 $\sim 250 \text{ nm}$ まで膜の割れや割れが顕著の発生が抑えられている。この結果は、図3-12に示した膜屈折率の増加と同時に膜応力が増加する関係が、室温ばかりでなく、 850°C の高温においても成り立つことを示している。Blasau は GaAs 基板

上に堆積した SiO_2 膜および SiN_x 膜について膜応力の温度依存性(室温 $\sim 300^\circ\text{C}$)を測定し、いずれの膜においても温度上昇に伴って膜応力は引張り応力側にほぼ同じ傾き($1\sim 2 \times 10^7 \text{ dyn/cm}^2 \cdot \text{deg}$)で直線的に増加することを報告している⁷⁾。この結果は、 GaAs の熱膨張係数の方が SiO_2 や SiN_x の熱膨張係数に比べて大きいとする実験データから予測される膜応力の変化に一致するものである。

以上の結果から、 SiO_2N_y 膜についても SiO_2 膜や SiN_x 膜と同様に温度上昇とともに膜応力が引張り応力側に増加することが予測され、 $\text{SiO}_2\text{N}_y/\text{GaAs}$ 系における膜応力の性質について次のように結論を整理することができる。

- 1) 室温での膜応力は引張り応力である。
- 2) 室温での膜応力は膜屈折率の増加とともに大きくなる。
- 3) 熱処理温度での膜応力は引張り応力であり、温度の上昇とともに大きくなる。
- 4) 熱処理温度での膜応力は膜屈折率の増加とともに大きくなる。すなわち、熱処理時の膜応力は、 SiO_2N_y 膜の方が SiN_x 膜より小さい。

特に、4)に挙げた熱処理温度における膜応力の低減効果は、イオン注入層の熱処理時に生じる注入不純物の異常拡散や活性化率異常、などの悪影響を避ける上で重要な長所となるものである。実際のイオン注入層の熱処理特性に与える膜応力の影響については、第4章において改めて議論する。

3-4 まとめ

本章では、イオン注入 GaAs 用熱処理保護膜として本研究において用いる SiO_2N_y 膜の形成方法とその評価結果について述べた。膜形成では、ハロゲン・ランプ急速加熱方式による常圧の熱CVD法を用いることにより、任意の膜組成(膜屈折率)をもつ SiO_2N_y 膜が GaAs 基板上に堆積できることを明らかにした。膜組成は、 $\text{SiH}_4\text{-NH}_3\text{-O}_2$ 原料ガス系において O_2 流量のみを変化させることにより精度良く制御できることがわかった。オージェ分析から求めた SiO_2N_y 膜中の酸素と窒素の原子濃度比(O/N)は、膜屈折率の増加とともに減少し、この関係はLorentz-Lorenz理論から求めた理論曲線とよく一致することを確認した。また、この O/N 比の変化は、 SiO_2N_y 膜中の Si-O および Si-N 各結合の濃度変化に対応していることを赤外吸収スペクトル測定から明らかにした。最後に、ニュートン・リング干渉法を用いて、 $\text{SiO}_2\text{N}_y/\text{GaAs}$ における膜応力を評価した結果、室温での膜応力は引張り応力であり、その大きさが膜屈折率の増加とともに増加することを明らかにした。この膜応力の大きさは、膜割れや膜剝がれを発生せずに熱処理できる最大の膜厚を決定しており、この臨界膜厚が、膜応力の大きな SiN_x 膜では約 130 nm であるのに対して、 SiO_2N_y (屈折率: 1.75)膜では約 250 nm まで増加できることを明らかにした。

参考文献

- 1) J.P.Donnelly, W.T.Lindley, and C.E.Hurwitz, Appl.Phys.Lett., 27, 41 (1975).
- 2) L.E.Davis, H.C.MacDonald, P.W.Palmsberg, G.E.Riach, and R.E.Weber, Handbook of Auger Electron Spectroscopy (Physical Electronics, Eden Prairie, 1976).
- 3) A.E.T.Kuiper, S.W.Koo, F.H.P.M.Habraken, and Y.Tammings, J.Vac.Sci.Technol., B1, 82 (1983).
- 4) A.K.Gaind and E.W.Hearn, J.Electrochem.Soc., 125, 139 (1978).
- 5) R.J.Jaccodine and W.A.Schlegel, J.Appl.Phys., 37, 2429 (1966).
- 6) P.A.Kirkby, P.R.Seuray, and L.D.Westbrook, J.Appl.Phys., 50, 4567 (1979).
- 7) C.Blaauw, J.Appl.Phys., 54, 5084 (1983).

第4章 電気炉熱処理によるイオン注入GaAsの活性化

4-1 序

GaAsイオン注入層の活性化熱処理の研究は、歴史的に電気炉熱処理法を中心に展開されてきた。そして今日においても、この電気炉熱処理法は各種のGaAsデバイスの製造プロセスとして幅広く使用されている。これは電気炉熱処理法が、顕著な不純物拡散や低生産性などのいくつかの問題点をもっているにも拘らず、デバイス製造上で重要視されるプロセスの安定性に優れた特長をもっていることに基づくものである。

第2章において既に述べたように、GaAsイオン注入層の活性化熱処理では、高温熱処理時のAs原子の解離を防ぐ必要性から種々の材料を用いた熱処理保護膜が検討されてきた。イオン注入技術をGaAsデバイスの製造プロセスとして有効に用いるためには、これらの熱処理保護膜の物理的および化学的な性質を理解すると同時に、注入不純物の種類や注入条件に応じた最適保護膜材料の選定ならびに熱処理条件の最適化を図ることが重要となる。

本章では、以上の点を考慮して熱処理保護膜、熱処理温度、熱処理時間の3つの観点から、Siイオン注入GaAs層の電気炉熱処理による活性化特性について議論する。まず、熱処理保護膜として今日最も一般的に使用されているSiO₂とSiN_xを代表例として、種々の条件で注入したSiイオンの活性化特性の特徴を明らかにする。次に、この両保護膜材料が持つ長所を生かしつつ尚一層の活性化特性の最適化を図る方法として、両材料の中間的性質を持つSiO_xN_y膜を新しく導入し、SiO_xN_y膜組成とSiイオンの活性化率の関係を明らかにする。さらに、各種保護膜材料について、保護膜の膜厚や熱処理時間などの各パラメータが熱処理後の活性化率に与える影響について議論する。本章において議論される熱処理保護膜に関する主要な結論は、その議論の範囲が電気炉熱処理法ばかりに限定されるものではなく、その多くは短時間熱処理法に対しても同様に適用し得る性質のものであり、これについては第8章において詳しく述べる。

4-2 熱処理保護膜組成と活性化率

4-2-1 SiO₂膜とSiN_x膜

GaAs熱処理保護膜として、従来から今日に至るまで広範囲に使用されてきた代表的な保護膜材料はSiO₂とSiN_xである。本節では、この2種類の保護膜材料を用いて電気炉熱処理したSiイオン注入GaAs層の電気的特性の比較検討を行い、両熱処理保護膜の特徴について議論する。

使用した基板は、低濃度Cr添加(0.1~0.2wt. ppm)あるいは不純物無添加の(100)半絶縁性LEC(Liquid Encapsulated Czochralski)GaAs単結晶基板である。イオン注入に先立ち、鏡面研磨されたGaAs基板表面をH₂SO₄系のエッチング液(H₂SO₄:H₂O₂:H₂O=3:1:1(体積比))を用いて約10μmエッチングし、鏡面研磨時に導入された表面損傷層を除去した。イオン注入は日新電機社製400keV注入装置

置 (RD-400M) を用いて、 10^{13}cm^{-2} 以上の注入量に対しては $^{28}\text{Si}^+$ を、 10^{13}cm^{-2} 未満の注入量に対しては $^{29}\text{Si}^+$ をそれぞれ室温で注入した。注入時の軸チャンネルング (axial channeling) および面チャンネルング (planar channeling) の影響を最低限に抑えるために、イオン・ビームの入射方向に対してGaAs基板の法線方向を約 7° 傾斜させ、さらに入射ビームの走査方向に対してGaAs基板の $\langle 110 \rangle$ 方向を約 20° 回転させて注入した。イオン注入後、GaAs基板を分割し、熱処理保護膜として SiO_2 あるいは Si_3N_4 をそれぞれ ~ 100 および $\sim 70 \text{nm}$ の厚さで被着した。 SiO_2 膜の堆積には、Applied Materials社製の常圧熱CVD装置 (AMS-2800) を使用し、膜堆積温度は 440°C とした。一方、 Si_3N_4 膜の堆積には、第3章において評述した赤外線加熱炉による 700°C の熱CVD法 (以降、赤外線CVD法と呼ぶ) を用いた。なお、 SiO_2 膜については、 700°C の赤外線CVD法を用いて堆積した膜についても検討したが、熱処理特性および注入層の電気的特性において、 440°C で堆積した SiO_2 膜との間に有意な差が認められなかったため、以降は全て 440°C で堆積した SiO_2 膜を用いて得られた実験結果について議論する。熱処理保護膜を被着した試料は、TELTHERMCO社製の抵抗加熱式電気炉 (XL-7-373) を用いて N_2 雰囲気中で 850°C 、15分間熱処理した。

図4-1は、前述の SiO_2 あるいは Si_3N_4 を熱処理保護膜として電気炉熱処理した 150keV の Si イオン注入GaAs層のシート電子濃度とシートHall移動度の注入ドーズ量依存性を示したものである。測定には、vander Pauw法によるHall測定を

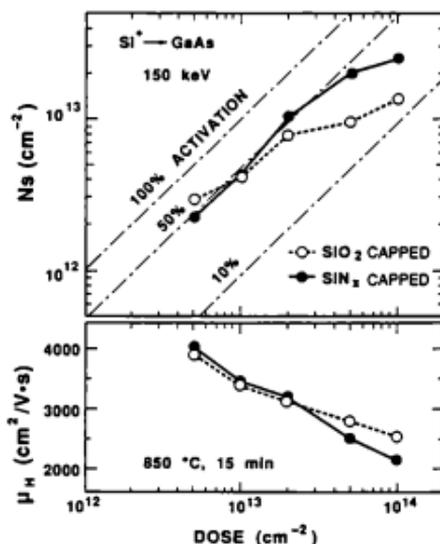


図4-1 シート電子濃度とシートHall移動度のドーズ量依存性

用い¹⁾、印加磁界は6000 Gauss、試料電流は0.1 mAとした。図4-1から、Siイオンの注入量が比較的低ドーズ ($5 \times 10^{12} \text{ cm}^{-2}$) 注入領域では、熱処理保護膜としてSiO₂を用いた場合において、SiN_xを用いた場合に比べてより高い活性化率 (シート電子濃度のドーズ量に対する割合) が得られていることがわかる。一方、 $1 \times 10^{13} \text{ cm}^{-2}$ 以上の高ドーズ注入領域では、逆にSiN_x保護膜の方がより高い活性化率を与えることがわかる。例えば、注入量 $1 \times 10^{14} \text{ cm}^{-2}$ におけるSiO₂およびSiN_x各熱処理保護膜によるSiイオンの活性化率はそれぞれ13.5%および25%であり、SiN_x保護膜の使用により約2倍の改善が得られている。次に、これらの活性化特性の違いが生じる原因を調べるために各試料の電子濃度分布を測定した。

図4-2 (a) ~ (d) は、それぞれ注入量 5×10^{12} 、 1×10^{13} 、 5×10^{13} 、 $1 \times 10^{14} \text{ cm}^{-2}$ の各試料に対する電子濃度およびHall移動度の深さ方向分布を示したものである。測定には、試料表面の化学エッチングとHall測定を交互に繰り返す、所謂、微分Hall測定法²⁾を用いた。エッチング液にはH₃PO₄:H₂O₂:H₂O=4:1:90 (体積比) を20℃で用いた。このときのGaAsのエッチング速度は40 nm/分である。i回目のエッチングにより除去された層における平均電子濃度 n_i と平均Hall移動度 μ_i は次式を用いて計算できる。

$$n_i = \frac{(1/\rho_s)_{i-1} - (1/\rho_s)_i}{q d_i \mu_i} \quad (4-1)$$

$$\mu_i = \frac{(R_s/\rho_s^2)_{i-1} - (R_s/\rho_s^2)_i}{(1/\rho_s)_{i-1} - (1/\rho_s)_i} \quad (4-2)$$

ここで、 ρ_s 、 R_s 、 d 、 q はそれぞれ、シート抵抗、シートHall係数、除去層の厚さ、電子素電荷である。注入量 5×10^{12} 、 $1 \times 10^{13} \text{ cm}^{-2}$ の比較的低ドーズ注入の試料では、SiO₂保護膜を用いた場合に、基板表面側で高い活性化が得られる傾向がみられる (図4-2 (a), (b) 参)。これに対して、注入量が 5×10^{13} 、 $1 \times 10^{14} \text{ cm}^{-2}$ に増加した試料においては、逆にSiO₂保護膜の使用により基板表面側の活性化が抑制される傾向にあることがわかる (図4-2 (c), (d) 参)。

図4-3は電子濃度が最大となる深さと注入ドーズ量の関係を示したものである。図中には、加速電圧150 keVの場合のLSS理論から求めたSiイオンの平均投影射程 (129.1 nm)³⁾ を一点鎖線で表示した。保護膜にSiN_xを用いた試料では、電子濃度が最大となる深さがいずれの注入ドーズ量に対してもLSS理論から予測される深さ付近に存在するのに対して、SiO₂を保護膜に用いたものでは、最大電子濃度を与える深さが注入ドーズ量の増加にほぼ比例して増加する様子がわかる。

高ドーズ注入層の熱処理時にSiO₂保護膜を用いたときにみられる基板表面側の顕著な活性化の抑制現象は、SiO₂保護膜の膜厚を1 μm程度まで増加させたり、SiO₂保護膜表面をさらに別のGaAs基板に接触させて試料表面のAs分圧を増加させた場合においても同様に認められた。したがって、この現象はSiO₂保護膜を通したイオン注入試料表面からのAs原子の蒸発が主要因ではないことがわかる。また、別の理由として、膜応力に起因し

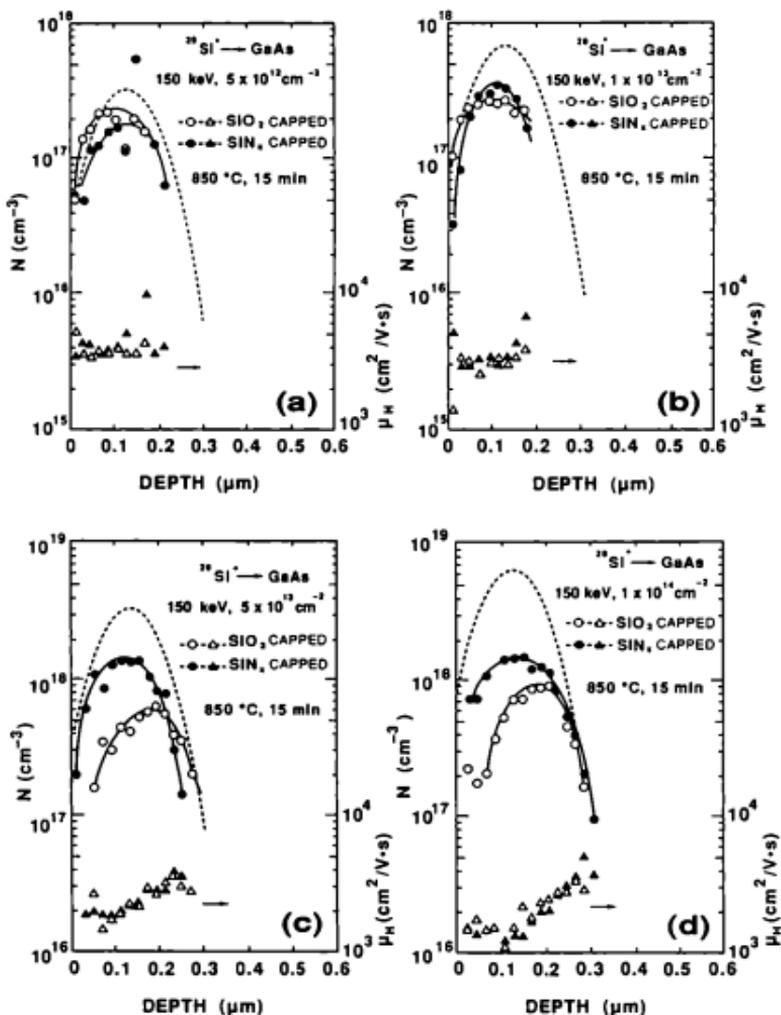


図4-2 電子濃度および移動度の深さ方向分布、
 (a) $5 \times 10^{12} \text{ cm}^{-2}$ 、(b) $1 \times 10^{13} \text{ cm}^{-2}$ 、
 (c) $5 \times 10^{13} \text{ cm}^{-2}$ 、(d) $1 \times 10^{14} \text{ cm}^{-2}$

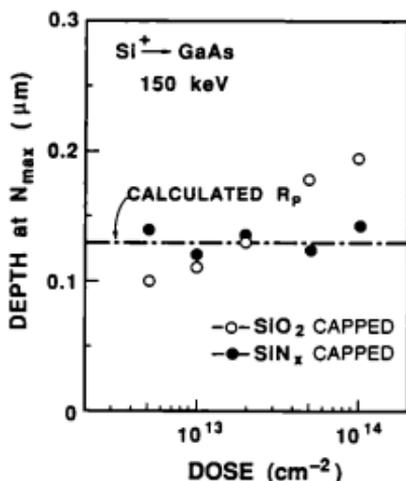


図4-3 最大電子濃度を与える深さのドーズ量依存性

て基板表面側の活性化率に異常が生じた可能性も考えられる。しかし、第3章3-3節で述べたように、室温および熱処理温度のいずれにおいても、SiO₂膜に比べてSiN_x膜の方が大きな膜応力を生じることから、SiO₂による膜応力に起因して基板表面側での活性化率の低下が生じた可能性も少ないものと考えられる。SiO₂保護膜には、第2章2-3節で述べたように、熱処理時にGa原子の外部拡散が生じ易い特徴がある。高ドーズ注入層のSiO₂保護膜熱処理時に顕著にみられた基板表面側の活性化率抑制現象は、注入損傷量に比例して促進されたこのGa原子の外部拡散の結果生じたキャリア補償効果によって次のように説明することができる。

SiO₂膜を通して生じるGa原子の外部拡散の程度は、大別して、①SiO₂膜中のGaの拡散と、②SiO₂/GaAs界面に向かって生じるGaAs基板中のGaの拡散、の2つの過程に律連されるものと考えられる。このうち、注入ドーズ量の増加に伴う注入損傷量の増加は、②に挙げたGaAs基板中のGaの拡散係数を実効的に大きくする効果をもち、このため、注入ドーズ量の増加に従ってGaAs基板表面近傍に導入されるGa空孔濃度が増加する。Ga空孔の生成は、その濃度が低い内は、注入されたSi不純物のGa格子位置への活性化を促進して活性化率の増加をもたらす。これは、図4-2(a)に示した低ドーズ注入試料(注入量 $5 \times 10^{12} \text{ cm}^{-2}$)に対する結果に対応する。これに対して、Ga空孔の生成量が顕著になると、注入されたSi不純物のGa格子位置への置換が促進されるばかりでなく、余分に残ったGa空孔(V_{Ga}と記す)がV_{Ga}アクセプタを形成して、Ga格子位置に置換したSiドナー(Si_{As}と記す)を補償してキャリア発生を逆に抑止する可能性が増える。また、SiドナーがGa空孔と対をなして電氣的に中性な(Si_{As}⁺-V_{Ga}⁻)複合体を形成する可能

性も大きくなるものと考えられる。SiO₂保護膜を用いて熱処理した高ドーズ注入層の表面近傍にみられた未活性化領域は、このアクセプタ単位形成に基づくキャリア補償領域あるいは中性複合体形成領域に対応するものと考えられる。

4-2-2 SiO_xN_y膜による熱処理

4-2-1節において、Siイオン注入層の活性化率が、用いる熱処理保護膜材料の種類によって変化し、その原因が熱処理時のGa原子の外部拡散に関係している可能性を指摘した。Ga原子の外部拡散によるGaAs基板中のGa空孔の生成は、前述したように、注入されたSi不純物のGa格子位置への置換を促進する作用をもつ一方で、中性複合体やアクセプタ単位を形成して逆にSiイオンの活性化率を減少させる原因ともなる。このことから、Siイオンの活性化率が最大となるGa空孔の生成量には最適値が存在するであろうことが容易に推測できる。

熱処理時のGa原子の外部拡散量（すなわち、Ga空孔の生成量）を決定する要因としては、第一に、熱処理温度と熱処理時間を挙げることができるが、これらのパラメータは、イオン注入に伴う結晶損傷の回復量や不純物の拡散量をも同時に支配する。したがって、これらのパラメータを変化させることによって、Gaの外部拡散量の変化に伴うイオン注入層の活性化特性の変化を厳密に議論することは難しい。熱処理温度や熱処理時間を一定に保ったままGaの外部拡散量を連続的に変化させ得る方法としては、Gaの外部拡散が顕著に生じるSiO₂と、逆にGaの外部拡散が抑制できるSiN_xの両者の中間的性質を示すと考えられる三元絶縁膜SiO_xN_yを熱処理保護膜材料として導入し、その組成を連続的に変化させる方法が考えられる。SiO_xN_y保護膜の使用によりGaの外部拡散量がどのように制御されるかについての議論は第5章に譲ることにして、本節では、種々の組成をもつSiO_xN_y膜を用いて熱処理したイオン注入GaAs層の電気的特性について述べる。

図4-4は、100keV、5×10¹²cm⁻²の条件でSiイオンを注入した低濃度Cr添加半絶縁性GaAs基板の表面に種々の屈折率をもつSiO_xN_y膜（膜厚70～100nm）を被着した後、850℃で15分間の熱処理を行ったときのSiイオンの活性化率およびシートHall移動度の保護膜屈折率依存性を示したものである。屈折率1.46はSiO₂膜に対応するが、このときの活性化率は58%である。保護膜がSiO_xN_yとなって膜屈折率が1.46以上に増加すると活性化率は増加し始め、膜屈折率1.75（O/N比：～0.6）において活性化率は最大の87%に達する。一方、膜屈折率がさらに大きくなってSiO₂N₃膜中の窒素組成がさらに大きくなると、活性化率は逆に急激に減少し始め、最大屈折率2.03をもつSiN₃膜において活性化率は31%まで低下する。

活性化率が顕著な保護膜屈折率依存性を示すのに対して、シート移動度の保護膜屈折率依存性は少ない。しかし、膜屈折率1.9以上でみられる移動度の僅かな増加は、活性化率低下に伴うイオン化不純物散乱の減少に対応するものと考えられる。

次に、SiO_xN_y膜熱処理により得られた高活性化率が、注入されたSiイオンの電気的活性化により生じたものであることを確認する目的で、図4-4に示した試料のキャリア濃度分布を容量-電圧測定から求めた。容量測定用試料としては、400μmφのA1ショット

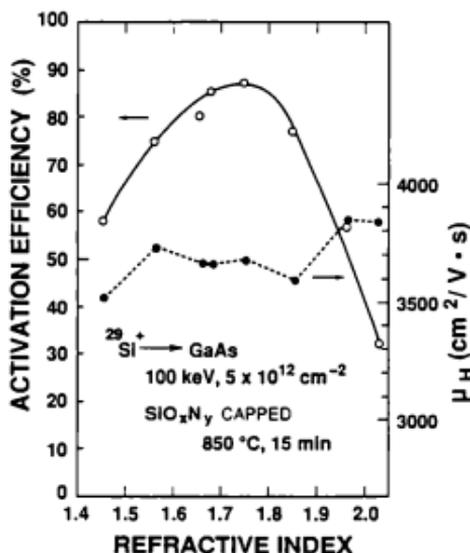


図4-4 活性化率とシート移動度の保護膜屈折率依存性

キ・ダイオードを用いた。キャリア濃度分布 $n(x)$ は、接合容量 C を用いて次式のように与えられる。

$$n(x) = \frac{C^3}{q \epsilon A^2 (dC/dV)}, \quad x = \frac{\epsilon A}{C}, \quad (4-3)$$

ここで、 ϵ は GaAs の誘電率、 A は接合面積である。

図4-5は、以上の方法を用いて求めたキャリア濃度分布の測定結果を示したものである。測定は、屈折率1.76をもつ SiO_xN_y 膜と屈折率1.46をもつ SiO_2 膜を用いてそれぞれ熱処理した2通りの試料について行った。 SiO_xN_y 保護膜を用いて熱処理した試料では、極めて SS 理論分布に近い濃度分布とともに、最大電子濃度 $\sim 3.5 \times 10^{17} cm^{-3}$ が得られており、同時に示した SiO_2 保護膜熱処理の場合の電子濃度分布と比較しても分布の形状に特に異常は認められない。これは、 SiO_xN_y 保護膜熱処理によって実現される高い活性化率が、イオン注入された Si 不純物の正常な活性化によって生じたことを示すものであり、基板の熱変成、あるいは保護膜材料から GaAs 基板内への Si 原子の拡散によって生じた異常なキャリアの発生機構によるものではないことを示している。キャリア濃度分布の深さ方向への広がりや両保護膜について比較すると、 SiO_xN_y 保護膜に比べて SiO_2 保護膜

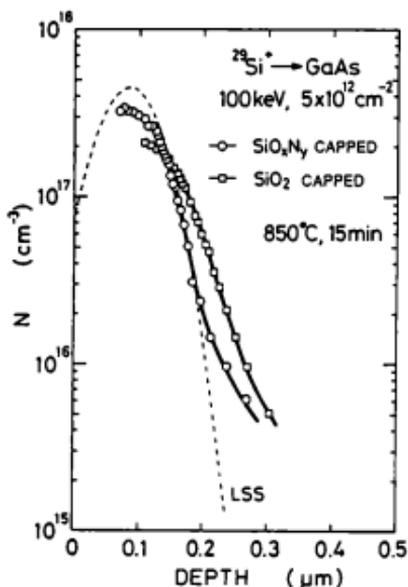


図4-5 C-V法から求めたキャリア濃度分布

を用いて熱処理を行った場合の方が基板内により深くキャリア濃度分布が侵入している。これは、低ドースSiイオン注入GaAsの熱処理に SiO_2 保護膜を用いたときにしばしばみられる特徴であり、おそらく顕著なGaの外部拡散に起因して、注入されたSi原子が異常拡散を起こしたためと考えられる。

4-3 熱処理保護膜厚と活性化率

GaAsイオン注入層の活性化特性は、熱処理時に保護膜/GaAs界面に存在する界面応力により、顕著な影響を受けることが従来から指摘されてきた^{4,6)}。Okamura等は、AlN保護膜の使用により熱処理時の保護膜/GaAs界面応力を低減することができ、例えば、AlN保護膜の膜厚を最大1.2 μm まで増加させた場合にも、低ドースSiイオン注入GaAs層における活性化率やキャリア濃度分布が殆ど変化を受けないことを報告している⁶⁾。本節では、熱処理保護膜として SiO_2 、 SiO_2N_x 、 SiN_x 各膜を用いたときの保護膜厚が活性化特性に与える影響について議論する。

使用した試料は、低濃度Cr添加半絶縁性GaAs基板に ^{29}Si イオンを100 keVで

$5 \times 10^{12} \text{ cm}^{-2}$ 注入したものである。この試料表面に SiO_2 、 SiO_xN_y (屈折率: 1.75)、 SiN_x 各保護膜を被着し、それぞれの保護膜について熱処理 (850°C、15分) 後におけるイオン注入層の電気的特性の保護膜厚依存性を比較した。結果を図4-6 (a) および (b) に示す。第3章において述べたように、 SiO_xN_y 、 SiN_x 各保護膜では膜

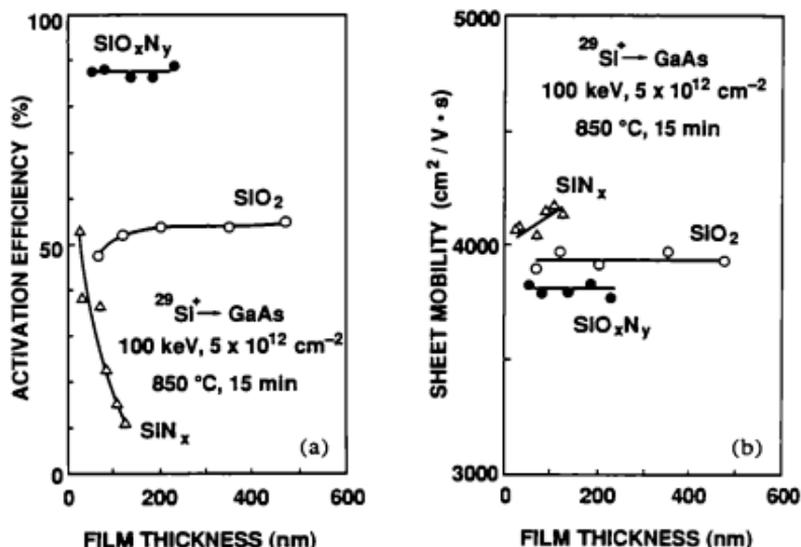


図4-6 活性化率 (a) およびシート移動度 (b) の保護膜厚依存性

の割れや剝がれを発生せずに熱処理できる臨界膜厚が存在するため、実験はこの臨界膜厚 (SiN_x : $\sim 130 \text{ nm}$ 、 SiO_xN_y : $\sim 250 \text{ nm}$) を越えない範囲内で行った。これに対して SiO_2 膜の場合には、最大 $1 \mu\text{m}$ を越える膜厚に対しても熱処理によって膜の割れや剝がれが発生しないことが確認されているため、ここでは 70 から 470 nm の間で膜厚を変化させた。

SiO_2 保護膜による熱処理では、膜厚 100 nm 以下の領域で活性化率の低下が認められるものの、 100 nm 以上の膜厚では活性化率が膜厚に依存せずほぼ一定値を示すことがわかる。 100 nm 以下の膜厚でみられる活性化率の低下は、 SiO_2 膜が3種の保護膜中で最も低密度でありピンホールなどの欠陥が多く存在する保護膜であることから、熱処理時のAs原子の解離が十分に防止できなかったことによるものと考えられる。一方、 SiO_xN_y (屈折率: 1.75) 保護膜による熱処理では、膜厚 $50 \sim 230 \text{ nm}$ に互ってほぼ一定の高い活性化率が実現されている。これは、熱処理保護膜に SiO_xN_y を用いた場合においては、

膜厚を50nmまで薄くしても熱処理時のAs原子の解離が十分に防止でき、しかも膜厚を230nmまで増加しても膜応力の影響で活性化率に異常が生じないことを示すものである。活性化率が膜厚に依存しない性質は、GaAsデバイスの製造上の観点からみると特性の均一性や再現性の向上に大いに役立つものであり、高い活性化率が得られる性質と並んでSiO₂N_x保護膜による熱処理の特長のひとつである。

SiO₂、SiO₂N_x各保護膜と比較してSiN_x保護膜による熱処理では、活性化率が保護膜の膜厚に依存して大きく変化する。活性化率はSiN_x膜の膜厚が25nmから125nmに増加するにつれて53%から11%まで減少する。最小膜厚25nmにおいて最大活性化率が得られていることより、SiN_x保護膜の場合には膜厚を25nmまで薄くしても熱処理に伴うAs原子の解離が抑制できていることがわかる。膜厚の増加に伴う急激な活性化率の減少に比較して移動度の変化は僅かであり(図4-6(b)参)、顕著な活性化率の変化は、主として両性不純物であるSiのキャリア補償——すなわち、Ga格子位置に置換したSi(Si_{1a}ドナー)とAs格子位置に置換したSi(Si_{2a}アクセプタ)の同時形成——により支配されていることがわかる。SiN_x保護膜の特徴は、3-3-4節において既に述べたようにその大きな膜応力にある。したがって、SiN_x保護膜の膜厚の増加に伴う顕著な活性化率の減少は、保護膜/GaAs界面応力の増加が注入Si原子のAs格子位置への置換を促進し、この結果キャリアの補償比(compensation ratio)が増加したことによって説明できるものと考えられる。

4-4 熱処理温度依存性

図4-7(a)および(b)は、低濃度Cr添加半絶縁性GaAs基板に²⁸Siイオンを100keVで5×10¹²cm⁻²注入した試料をSiO₂、SiO₂N_x(屈折率:1.75)、SiN_x各保護膜を用いてそれぞれ熱処理したときの活性化率とシートHall移動度の熱処理温度依存性を示したものである。保護膜の膜厚は、SiO₂とSiO₂N_xはそれぞれ~100nm、SiN_xは~60nmとした。熱処理時間は、いずれも15分に固定した。

SiO₂保護膜熱処理では、活性化率が最大となる温度が775~800℃の間に存在し、800℃以上になると活性化率が逆に減少し始めることがわかる。同様に、SiN_x保護膜熱処理においても、熱処理温度825℃を境にして活性化率は減少し始める。これに対してSiO₂N_x保護膜熱処理では、本実験で調べた750~875℃に互る熱処理温度範囲において、活性化率は熱処理温度とともに常に増加傾向を示している。特に、熱処理温度775℃以上においては、SiO₂N_x保護膜熱処理によって得られる活性化率の値が、SiO₂およびSiN_x保護膜熱処理を用いて得られる最大の活性化率の値よりも大きくなることがわかる。

熱処理温度の変化は、①注入損傷の回復量、②熱処理に伴う格子欠陥(例えばAs空孔)の生成量、③保護膜中のGa原子の拡散量、④不純物原子の拡散量、⑤保護膜/GaAsの界面応力、などのパラメータ変化を通じて注入イオンの活性化特性に影響を与える。750~800℃の熱処理温度領域においていずれの保護膜についてもみられる活性化率の増加傾向は①に挙げた注入損傷の回復過程に対応し、この領域では通常、移動度の増加を伴って活性化率が増加する(図4-7(b)参)。しかし、熱処理温度が800℃を越えると、用いた

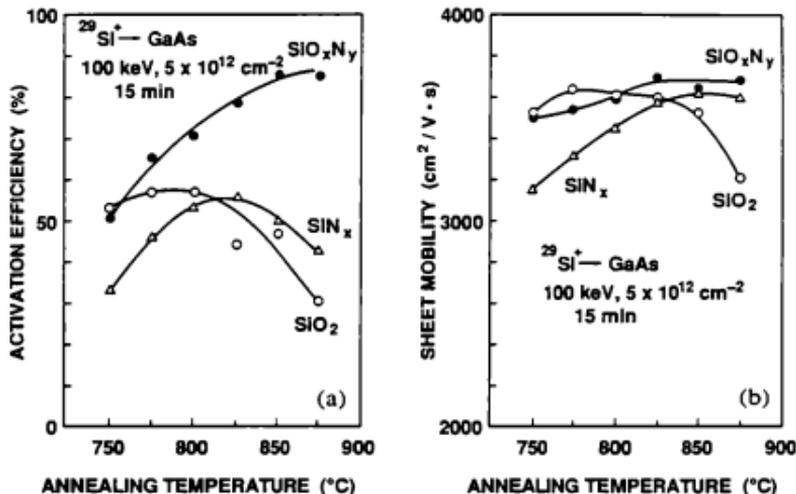


図4-7 活性化率 (a) およびシート移動度 (b) の熱処理温度依存性

保護膜の種類に応じて、活性化率および移動度は異なる変化を示し始める。まず、 SiO_2 および SiN_x 各保護膜熱処理における熱処理温度依存性を比較すると、いずれの場合においても活性化率は高温側で減少し始めるが、この場合 SiO_2 保護膜熱処理では活性化率低下が移動度の低下を伴うのに対して、 SiN_x 保護膜熱処理における活性化率低下は移動度の低下を伴わない。これは、高温熱処理時に生じる Si イオンの活性化率低下の原因が、両保護膜材料の間で異なっていることを示している。移動度低下を伴う活性化率の減少は、過剰なアクセプタ単位の生成を伴う Si ドナーのキャリア補償を示唆しており、 SiO_2 保護膜を用いた高温熱処理時の活性化率低下の原因は、 Ga の外部拡散によって GaAs 基板表面に導入された多量の Ga 空孔(V_{Ga})アクセプタの生成に関係しているものと考えられる。これに対して、移動度低下を伴わない活性化率の減少は、イオン化不純物散乱に寄与するイオン化不純物濃度の合計値が変化しないキャリア補償機構を示唆している。したがって、 SiN_x 保護膜を用いた高温熱処理時の活性化率低下の原因は、 Ga 格子位置の Si ドナーが As 格子位置に移動することによる Si_{As} アクセプタの生成に関係しているものと考えるのが妥当である。この場合の Si 原子の格子位置変換は、 SiN_x/GaAs 界面に働く大きな熱応力を駆動力として引き起こされるものと考えられる。

一方、 SiO_2N_y 保護膜を用いた熱処理では、800°C以上の熱処理温度領域においても活性化率は増加し続け、しかも移動度にはこの温度領域内で大きな変化が認められない。したがって、少なくとも熱処理温度875°Cまでの SiO_2N_y 保護膜熱処理においては、①に挙

げた注入損傷の回復による基板結晶性の改善と③に挙げたGaの外部拡散が適度に生じたことによるSi不純物のGa格子位置への置換促進効果により活性化率が高められたものと考えられる。

4-5 熱処理時間依存性

熱処理温度の変化が4-4節で述べたいくつかの活性化パラメータに変化を与えるのに対して、熱処理時間の変化に伴って変化する主要な活性化パラメータは、保護膜中へのGa原子の拡散量と不純物原子の拡散量の2つである。したがって、各種の保護膜について活性化特性の熱処理時間依存性を調べることにより、Gaの外部拡散に起因した活性化特性の変化を議論することができる。

図4-8(a)および(b)は、 ^{29}Si イオンを100keVで $5 \times 10^{12} \text{ cm}^{-2}$ 注入した不純物無添加半導体GaAs基板の表面に、それぞれ SiO_2 、 SiO_xN_y (屈折率: 1.75)、および SiN_x 各保護膜を被着し、850°Cで熱処理した後の活性化率およびシートHall移動度の熱処理時間依存性を示したものである。 SiO_2 、 SiO_xN_y 、 SiN_x 各保護膜の膜厚は、それぞれ ~ 100 、 ~ 100 、 $\sim 60 \text{ nm}$ とした。

SiO_2 保護膜熱処理では熱処理時間の増加とともに活性化率の急激な減少がみられ、熱処理時間が100分を越えると移動度も急激に減少し始める。すなわち、 SiO_2 保護膜熱

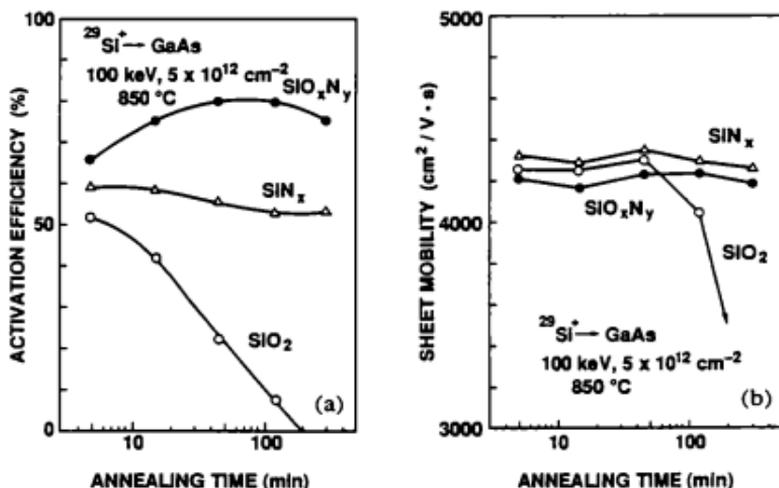


図4-8 活性化率(a)およびシート移動度(b)の熱処理時間依存性

処理においては、高温熱処理領域においてみられた活性化特性と同様に、長時間の熱処理によっても活性化率の低下が移動度の低下とともに生じることがわかる。これから、 SiO_2 保護膜を用いた長時間熱処理により活性化率が減少する原因についても、 Ga の外部拡散により GaAs 基板表面に多量に導入された V_{Ga} アクセプタが Si ドナーを補償するためであるものと考えられる。

この SiO_2 保護膜熱処理における顕著な熱処理時間依存性に比較して、 SiN_x 保護膜熱処理では、熱処理時間5~300分に亘って活性化率および移動度の熱処理時間依存性が殆ど認められず、 SiN_x 保護膜を用いた場合には長時間に亘って Ga の外部拡散が抑制できることが改めて確認できる。

一方、 SiO_xN_y 保護膜を用いた熱処理では、熱処理時間の増加とともに~50分までは活性化率が増加するが、その後飽和し、最後に減少し始める傾向がみられる。しかし、この場合の活性化率は、熱処理時間5~300分に亘って65~80%の間で変化するだけであり、熱処理温度を変化させたときの活性化率の大きな変化(図4-7(a)参)に比べると、活性化率の熱処理時間依存性は比較的小さいと言える。また、熱処理時間5~300分に亘って移動度は殆ど変化しておらず、熱処理時間~50分までにみられる活性化率の緩やかな増加は、 SiO_xN_y 保護膜への Ga の外部拡散により生成した V_{Ga} が Si 不純物の Ga 格子位置への置換を促進した結果によるものと考えられる。 SiO_2 保護膜に比べて SiO_xN_y 保護膜を用いた場合における Ga の外部拡散の特徴は、 SiO_2 保護膜の場合には Ga の拡散係数が大きいために V_{Ga} の生成が顕著に生じるのに対して、 SiO_xN_y 保護膜の場合には Ga の拡散係数が小さくなるために V_{Ga} の生成率が少し緩やかになることである。前述したように、 V_{Ga} の生成は、その生成量が少ない場合には Si 不純物の Ga 格子位置への置換を促進して活性化率の増加をもたらすが、その生成量が過剰になると多量の残留 V_{Ga} アクセプタが Si ドナーを逆に補償して活性化率の低下を引き起こす。図4-8の結果は、 SiO_2 保護膜では V_{Ga} が過度に生成され過ぎたために活性化率の促進に必要な V_{Ga} 濃度を適量に制御することができなかったのに対して、 SiO_xN_y 保護膜を使用した場合には、 Si 不純物の Ga 格子位置への置換が有効に起こるように V_{Ga} の生成量を制御することができたことを示している。

4-6 高濃度注入層への応用

SiO_xN_y 保護膜熱処理によって Si イオン注入層の活性化が促進される効果が、 n^+ コンタクト層の形成に対しても同様に有効であるかどうかを調べる目的で、高ドーズ Si イオン注入層についても SiO_xN_y 保護膜を用いた熱処理を検討した。

表4-1は、 SiO_2 、 SiO_xN_y (屈折率:1.75)、 SiN_x 各保護膜を用いて、850℃で15分の熱処理を行った後のHall測定結果を示したものである。 Si^+ 注入条件は、加速電圧150keVで、注入量は $7 \times 10^{13} \text{cm}^{-2}$ と $1.4 \times 10^{14} \text{cm}^{-2}$ の2通りについて検討した。 SiO_xN_y 膜熱処理時の活性化率は、それぞれ70および44%に達しており、 SiO_2 および SiN_x 各保護膜熱処理に比べて1.8~2.5倍にも及ぶ高活性化率が得られている。これより、 SiO_xN_y 保護膜熱処理による活性化率の促進効果が高ドーズ注入層に対しても有効であることが確認された。図4-8は、注入量 $7 \times 10^{13} \text{cm}^{-2}$

表4-1 Hall測定結果のまとめ

保護膜	D-ソース量 (cm^{-2})	シート電子濃度 (cm^{-2})	シート移動度 (cm^2/Vs)	シート抵抗 (Ω)
SiO_2	7×10^{13}	1.9×10^{13}	2350	137
SiO_xN_y	//	5.0×10^{13}	2090	60
SiN_x	//	2.7×10^{13}	2230	105
SiO_2	1.4×10^{14}	2.4×10^{13}	2290	115
SiO_xN_y	//	6.1×10^{13}	2010	51
SiN_x	//	2.8×10^{13}	2190	101

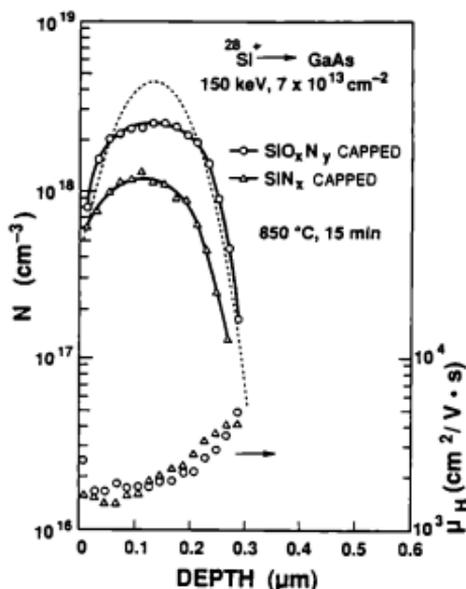


図4-9 電子濃度と移動度の深さ方向分布

の試料について、 SiN_x および SiO_xN_y 各保護膜熱処理により得られた電子濃度分布を比較して示したものである。 SiO_xN_y 保護膜熱処理の結果、最高電子濃度 $2.5 \times 10^{18} \text{ cm}^{-3}$ がLSS理論分布に極めて近い分布形状とともに得られている。さらに、注入量 $1.4 \times 10^{14} \text{ cm}^{-2}$ の SiO_xN_y 膜熱処理した試料においては、最高 $3 \times 10^{18} \text{ cm}^{-3}$ に及ぶ高電

子濃度が得られた。これらの最高電子濃度の値は、Banwell等⁷⁾が電気炉熱処理で報告している最高電子濃度の飽和値($2 \times 10^{18} \text{ cm}^{-2}$)を凌ぐものであり、 SiO_2N_x 保護膜熱処理が n^+ コンタクト層の形成に対しても極めて有用であることが明らかとなった。

4-7 まとめ

本章では、熱処理保護膜、熱処理温度、および熱処理時間などの種々のパラメータが、Si イオン注入GaAs層の電気炉熱処理時の活性化特性に与える影響について議論した。特に、熱処理保護膜については、従来から用いられてきた SiO_2 膜や SiN_x 膜に加えて、両者の中間的な性質を備えた SiO_2N_x 膜を新たに検討し、 SiO_2N_x の膜組成とSiイオン注入GaAs層の活性化特性との関係について詳細な実験を行った。その結果、Siイオン注入GaAs層の活性化においては、従来から用いられてきた SiO_2 や SiN_x 各保護膜に比べて、屈折率 ~ 1.75 をもつ SiO_2N_x 保護膜を用いた熱処理が、遙かに高い活性化率を与えることが明らかとなった。また、活性化特性の熱処理温度依存性や熱処理時間依存性に関する系統的な実験を各種の保護膜材料に対して行った結果から、この SiO_2N_x 保護膜熱処理による活性化率の促進効果が、かなりの広い熱処理条件に亘って同様に成り立つことが確認された。さらに、 SiO_2N_x 保護膜熱処理では、 $\text{SiO}_2\text{N}_x/\text{GaAs}$ 界面の応力が SiN_x 膜の場合に比べて大幅に緩和されることが明らかとなった。この結果、保護膜厚の変化に対する活性化率の変化が SiO_2N_x 保護膜の場合に非常に小さく、基板面内での活性化特性の均一化を図る上で大きな長所となることが示された。Siイオン注入層の活性化率は、熱処理時の保護膜中へのGaの外部拡散現象と密接な関係にあることが示され、活性化率の最適化にはGaの外部拡散量の制御が重要となることが指摘された。最後に、 SiO_2N_x 保護膜による活性化率の促進効果は高ドーズSiイオン注入GaAs層の熱処理においても有効であることが明らかにされ、最高電子濃度として $3 \times 10^{18} \text{ cm}^{-2}$ が実現できることが示された。

参考文献

- 1) L.J. van der Pauw, Philips Res. Rep., 13, 1 (1958).
- 2) R.L. Petritz, Phys. Rev., 110, 1254 (1958).
- 3) J.F. Gibbons, W.S. Johnson, and S.W. Myloie, Projected Range Statistics, (Dowden, Hutchinson and Ross, Stroudsburg, Pennsylvania, 1975).
- 4) C.A. Evans, Jr., V.R. Deline, T.W. Sigmon, and A. Lidow, Appl. Phys. Lett., 35, 291 (1979).
- 5) J. Kasahara, Y. Kato, M. Arai, and N. Watanabe, J. Electrochem. Soc., 130, 2275 (1983).
- 6) S. Okamura, H. Nishi, T. Inada, and H. Hashimoto, Appl. Phys. Lett., 40, 889 (1982).
- 7) T.C. Banwell, M. Maenpas, M.-A. Nicolet, and J.L. Tandon, J. Phys. Chem. Solids, 44, 507 (1983).

第5章 電気炉熱処理GaAsの評価

5-1 序

第4章において、熱処理保護膜の種類や熱処理温度および熱処理時間の違いに対応して、Siイオン注入GaAs層の熱処理後の活性化率や移動度に大きな変化が生じることを明らかにした。また、このように活性化率や移動度に変化が生じる原因としては、熱処理時のGa原子の外部拡散に伴うGa空孔の生成が重要な役割を果たしていることを指摘した。

従来から、Gaの保護膜中への拡散が実験的に検証されてきたことは第2章において述べた。しかし、殆どの従来報告は、SiO₂保護膜を用いた熱処理に対して調べられた結果であり、SiO₂N_y保護膜について詳しく調べられた報告例はない。また、イオン注入層の活性化特性の議論においては、保護膜中に外部拡散したGa原子の評価よりむしろGaAs基板中に導入される欠陥の評価の方が重要となるにも拘らず、従来報告においては、ホトルミネセンス (photoluminescence) 法を除いてGaの外部拡散に関係して発生する結晶欠陥について、直接的な情報は得られていなかった。

本章では、まず、熱処理保護膜の種類とGaの外部拡散との関係を明らかにする目的で、種々のSiO₂N_y (SiO₂およびSiN_xを含む) 膜について、熱処理後のGaの外部拡散の程度をオージェ電子分光分析 (Auger electron spectroscopy) 法、および二次イオン質量分析 (secondary ion mass spectrometry) 法を用いて評価した結果について述べる。次に、種々の熱処理条件で熱処理したGaAs基板に導入される深い単位を、容量DLTS (deep level transient spectroscopy) 法¹⁾を用いて評価した結果について述べる。種々の組成をもつSiO₂N_y保護膜を用いて熱処理したn型GaAs基板中に発生する深い単位の熱処理温度依存性や熱処理時間依存性を考察することにより、Gaの外部拡散により導入される欠陥に関与していると考えられる深い単位を同定し、さらにその単位と活性化特性との関係について考察する。

5-2 オージェ電子分光分析による評価

オージェ電子分光分析 (AES) の測定には、ANELVA製 EMAS-IIを用い、一次電子エネルギー10keV、試料吸収電流10⁻⁸Aの条件のもとで行った。AES深さ分布測定には、Arイオン (2keV、2mA) による同時スパッタを用いた。N、O、Ga、As、Si各原子の測定には、それぞれ、N_{KLL} (315~385eV)、O_{KLL} (440~520eV)、Ga_{LNN} (1005~1085eV)、As_{LNN} (1185~1245eV)、Si_{KLL} (1500~1580eV)を用いた。試料には、半絶縁性GaAs基板上に種々のSiO₂N_y保護膜を~80nm被着し、その後、850℃で15分間の熱処理を行ったものを使用した。

図5-1は、SiO₂ (屈折率: 1.46) / GaAs構造について、各元素のオージェ信号の深さ方向分布を示したものである。SiO₂膜中に互ってGa原子が検出されており、SiO₂膜表面近傍ではGa原子の蓄積も観察される。同様の傾向は、保護膜として酸素が

過剰な SiO_2N_y (屈折率: 1.49) 膜を用いた場合においても観察され (図5-2 参)、この場合においても、Ga 原子が膜中および膜表面で明らかに検出されている。次に、N濃

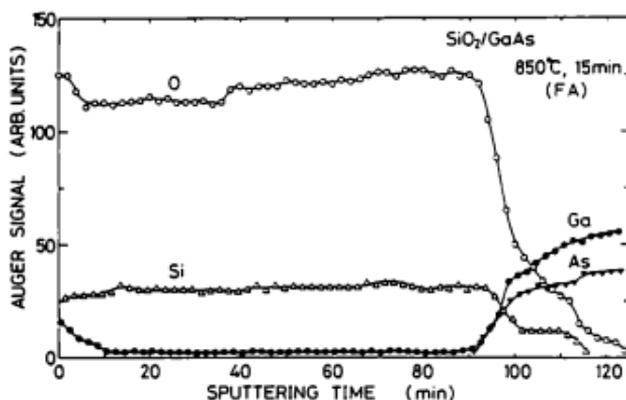


図5-1 オージェ信号深さ方向分布 [SiO_2/GaAs]

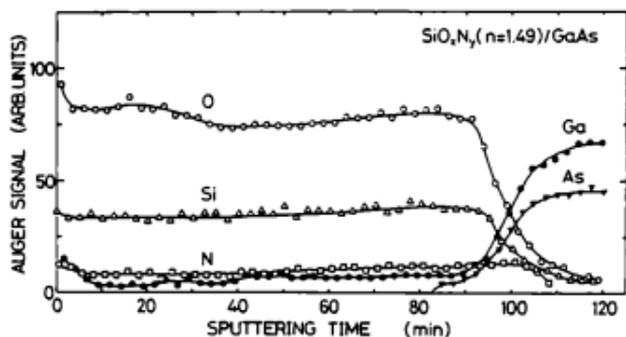


図5-2 オージェ信号深さ方向分布 [SiO_2N_y ($n=1.49$)/ GaAs]

度が少し増加して、 SiO_2N_y 保護膜の屈折率が 1.53 となった場合の測定結果を図5-3 に示す。 SiO_2N_y (屈折率: 1.53) / GaAs 構造においても、Ga 原子の外部拡散が膜中において検出されている。しかし、 SiO_2N_y (屈折率: 1.53) 膜においては、膜表面近傍から Ga は検出されておらず、Ga の外部拡散係数が膜屈折率の増加とともに実効的に減少してくることがわかる。この事実は、膜屈折率が 1.59 以上になると、もはや A

ESの検出限界内(～0.5%)でGaが膜中および膜表面のいずれからも検出されなくなる
ことからも裏付けられる。

図5-4に、屈折率1.75をもつ SiO_xN_y 膜の場合の測定結果を示す。この屈折率はSiイオン注入層の活性化率を最大にする膜組成に対応するが、膜中からGaは全く検出されない。膜屈折率がさらに大きくなって1.83および2.03となった場合についても、図5-4と同様にGaは全く検出されなかった。以上に述べた各種の $\text{SiO}_x\text{N}_y/\text{GaAs}$ 構造についての熱処理後のAES分析結果を、表5-1にまとめる。表中には、オージェ信号強度から求めた膜中の酸素と窒素の原子濃度比(O/N比)も併せて示した。

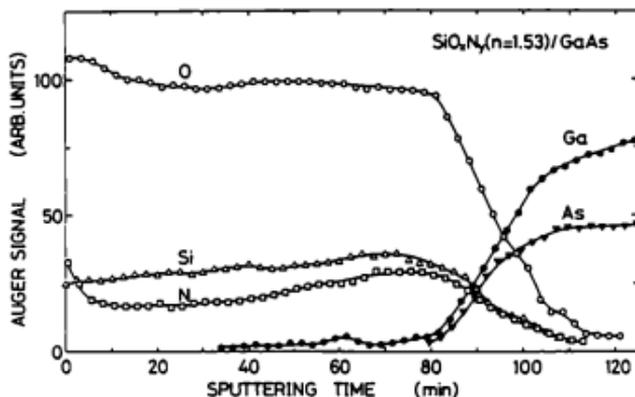


図5-3 オージェ信号深さ方向分布 [SiO_xN_y ($n=1.53$)/GaAs]

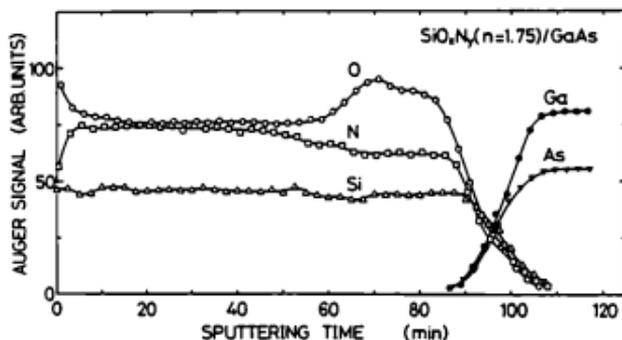


図5-4 オージェ信号深さ方向分布 [SiO_xN_y ($n=1.75$)/GaAs]

表5-1 オージェ分析によるGaの外部拡散の検出結果のまとめ

屈折率	O/N比	AES Ga信号
1.46	∞	A, B
1.49	4	A, B
1.53	3	B only
1.59	2	未検出
1.66	1.2	未検出
1.75	0.6	未検出
1.83	0.35	未検出
2.03	~ 0	未検出

A ---- 保護膜表面で検出
B ---- 保護膜内部で検出

AES測定では、検出感度による制限のため、外部拡散したGa原子を広い濃度範囲に互って評価することが困難である。しかし、表5-1の結果は、使用した SiO_xN_y 保護膜のO/N比によってGaの外部拡散が制御され、その量が膜中のN濃度の増加とともに単調に減少する傾向にあることを示している。すなわち、今回のAES測定では、屈折率1.75をもつ SiO_xN_y 膜中からはGa原子の存在が確認されなかったが、以上の考察から、屈折率1.75をもつ SiO_xN_y 膜においても、屈折率1.83や2.03をもつ SiO_xN_y 膜に比べれば微量ではあるものの、Gaの外部拡散が生じていることが予測される。

5-3 二次イオン質量分析による評価

Ga原子の外部拡散の様子は、二次イオン質量分析(SIMS)を用いることによりさらに高感度に測定することが可能となる。SIMS測定には、CAMECA製IMS-300を使用した。一次イオンには Ar^+ を使用し、Si、Ga、N各原子の検出には、それぞれ $^{28}\text{Si}^+$ 、 $^{69}\text{Ga}^+$ 、 $^{78}\text{Si}_2\text{N}^+$ (あるいは、 $^{78}\text{SiN}_2^+$)を用いて行った。図5-5および5-6に、 SiO_2/GaAs 、および SiN_x/GaAs 各構造について、850℃で15分間の熱処理後のSIMS深さ方向測定結果を示す。 SiO_2/GaAs 構造においては、顕著なGaの外部拡散が生じていることがわかる。

SIMS測定は、ほぼ全元素に互って極微量分析(検出限界は、GaAs中の不純物分析の場合、通常 $10^{13}\sim 10^{16}\text{cm}^{-3}$)が可能であることが特長である反面、定量分析法が十分に確立されていない問題点を残している。特に、異なる試料中に含まれる同一の不純物の分

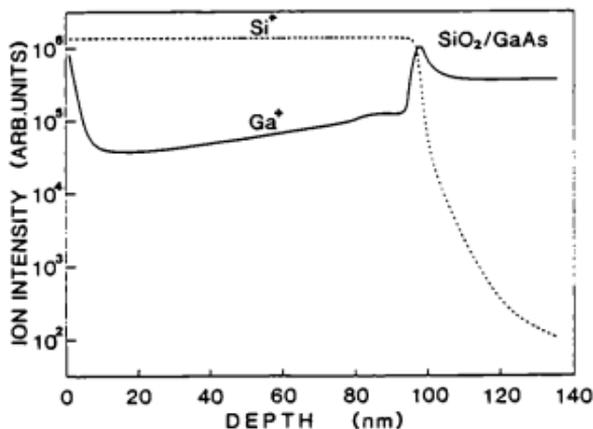


図5-5 SIMS深さ方向分布 [SiO₂/GaAs]

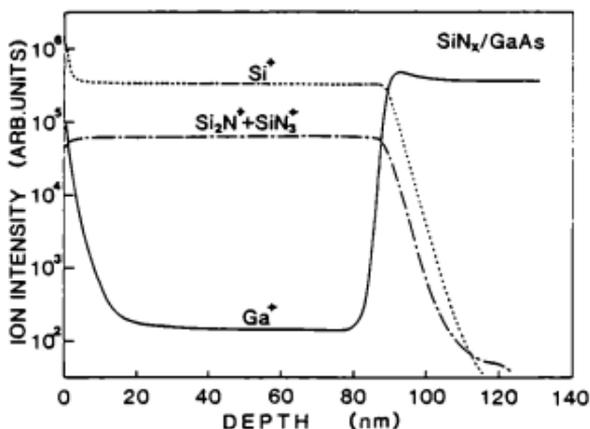


図5-6 SIMS深さ方向分布 [SiN_x/GaAs]

析では、試料により二次イオンの放出率が異なるため、単純に二次イオンの強度から不純物濃度の大小を議論することができない。二次イオン放出率が試料により異なる原因としては、①スパッタリング収率、および②イオン化率の試料依存性が考えられる²⁾。しかしここでは、二次イオン放出率のSiO₂N_y膜組成依存性が一次近似として無視できるものと仮定して、各

種の $\text{SiO}_2\text{N}_x/\text{GaAs}$ 構造に対して、 SiO_2N_x 保護膜中に外部拡散した Ga の二次イオン強度と保護膜組成の関係を調べた。なお、②のイオン化率依存性による二次イオン放出率の変動を少なく抑えるために、試料表面に酸素イオン (O^+) を同時に照射し、二次イオン放出率を促進した状態で測定を行った (Oxygen bombardment enhancement technique)²⁾。図 5-7 は、 SiO_2N_x 保護膜中から得られた Ga 二次イオン強度 ($G_{\text{SiO}_2\text{N}_x}$) を GaAs 基板中から得られた Ga 二次イオン強度 (G_{GaAs}) で規格化した量 ($G_{\text{SiO}_2\text{N}_x}/G_{\text{GaAs}}$) を保護膜屈折率に対して示したものである。SIMS 測定の高感度性を反映して、Ga 原子は Si

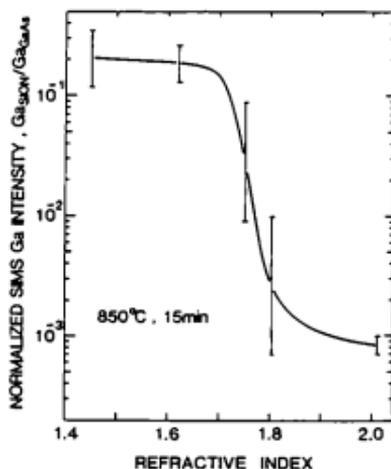


図 5-7 規格化した SIMS Ga 強度の保護膜屈折率依存性

N_x 膜を含む全ての SiO_2N_x 保護膜から検出されている。しかし、 SiN_x/GaAs 構造における Ga の外部拡散量は、 SiO_2/GaAs 構造の場合に比べて約 3 桁減少していることがわかる。 $G_{\text{SiO}_2\text{N}_x}/G_{\text{GaAs}}$ 比は、 SiO_2N_x 保護膜の屈折率の減少とともに増加しており、この傾向は前節の AES 測定結果に一致するものである。また、Ga の外部拡散量は、 SiO_2N_x 保護膜の屈折率 1.75 付近を境として、この値より以下では急激に拡散量が増加することがわかる。この屈折率 (1.75) の値は、注入された Si イオンの活性化率が最大となる屈折率に対応していることより (第 4 章参)、Si イオンの活性化率を最大にする Ga の外部拡散量には確かに最適量が存在していることがわかる。

5-4 DLTS による深い単位の評価

5-4-1 容量 DLTS 法

GaAs基板に注入された不純物の活性化率は、不純物が基板結晶内の格子位置を占める置換率、およびこれらの置換した不純物原子がⅢ族およびⅤ族の内のいずれの格子位置を占めるかを決定する占有分配率の2つの要素に依存して変化するものと考えられる。これら2つの要素は、いずれも熱処理に伴う基板結晶の化学量論的組成の変化、あるいはこれに伴う結晶の構造欠陥の生成と深い関係がある。例えば、熱処理時のGaの外部拡散は、結晶の化学量論的組成をAs過剰側にずらすると同時に、Ga空孔に代表される多くの構造欠陥を生成する作用をもっている。これらの構造欠陥は、半導体の禁制帯内に深い準位を形成する可能性がある。半導体中に形成された深い準位の評価方法としては、Langによって最初に開発された(容量)DLTS法がよく知られている¹⁾。容量DLTS法は、pn接合あるいはショットキ接合における空乏層容量のパルス過渡応答の時定数($\tau = 1/e_n^1$)と容量変化量(ΔC)から、トラップ準位の活性化エネルギー(ΔE_T)およびその濃度(N_T)をスペクトロスコピックに求める方法である。

いま、空乏層内の電子トラップに捕らえられた電子が伝導帯に熱的に放出される場合を考える。このときの電子の放出割合(e_n^1)は、電子の捕獲断面積(σ_n)、電子の熱速度(V_{th})、伝導帯有効状態密度(N_0)、伝導帯の底のエネルギー(E_0)、トラップ準位のエネルギー(E_T)を用いて次式で与えられる。

$$e_n^1 = \sigma_n V_{th} N_0 g^{-1} \exp\left[-(E_0 - E_T)/kT\right]. \quad (5-1)$$

(5-1)式に $V_{th} = (3kT/m^*)^{1/2}$ 、 $N_0 = 2(2\pi m^* kT/h^2)^{3/2}$ を代入して整理すると

$$T^2/e_n^1 = A \cdot \exp(\Delta E_T/kT), \quad (5-2)$$

が得られる。ここで、Aは比例定数である。したがって、 $\ln(T^2/e_n^1)$ を $1/T$ に対してプロットすると、その傾きから ΔE_T が求められる。

トラップ濃度(N_T)の算出に当たっては、空乏層内の非イオン化領域における補正(λ効果)²⁾を考慮した次式を用いた。

$$N_T = N_D \frac{(1/C_0)^2 - (1/C_\infty)^2}{(1/C_\infty - 1/C_\lambda)^2 - (1/C_p - 1/C_\lambda)^2}, \quad (5-3)$$

ここで、 C_∞ は逆バイアス定常容量、 C_0 はパルス印加直後($t=0$)の容量、 C_p はパルス印加時の容量、 C_λ は厚さ λ をもつ仮想容量で $C_\lambda = \{\epsilon q^2 N_D / 2(E_F - E_T)\}^{1/2}$ で与えられる。(5-3)式は、 $\Delta C = C_\infty - C_0 \ll C_\infty$ 、 $C_\lambda \gg C_\infty$ 、および $C_p \gg C_\infty$ の条件下でよく知られた次のLangの式¹⁾に一致する。

$$N_T = 2(\Delta C/C_0) N_D. \quad (5-4)$$

本研究で用いたDLTS測定系の構成を図5-8に示す。容量測定には1MHzの容量計(Boonton製, model72B)を、信号のサンプリングにはボックスカバ分器(EG&G Princeton Applied Research製, model182)を、また試料へのパルス印加にはパルス発生器(Systron Donner製, model110D)をそれぞれ用いた。試料の温度スキャンは、通常0.05~0.1℃/秒の速さで行った。

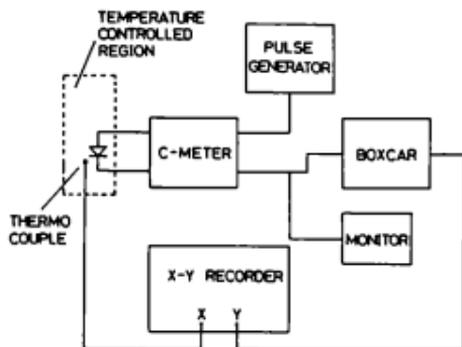


図5-8 DLTS測定系の構成図

5-4-2 熱処理保護膜依存性

まず、熱処理保護膜の種類がGaAs中の深い準位の生成消滅に与える影響について調べた。基板には、n型LEC(Si添加、 $5 \times 10^{18} \text{ cm}^{-2}$)、n型HB(Si添加、 $3 \times 10^{18} \text{ cm}^{-2}$)、およびSiイオン注入した不純物無添加半導体LEC(200keV、 $1.6 \times 10^{12} \text{ cm}^{-2}$)の3通りを用いた。各基板とも、種々の組成の熱処理保護膜(80~100nm厚)で表面を覆った後に N_2 雰囲気中で電気炉熱処理を行い、さらに保護膜をHF溶液で除去した後、Alの真空蒸着により直径400 μm のショットキ・ダイオードを作製した。DLTS測定条件は以下に示す通りである。

逆バイアス : -1V
 パルス・バイアス : +0.3V, 100 μs
 サンプリング時間(t_1/t_2) : 5m/50ms

図5-8に、n型LEC基板に対する850℃、15分間の熱処理を行った後のDLTSスペクトルの保護膜依存性を示す。図中の破線は、未熱処理試料のスペクトルに対応する。未熱処理試料においては典型的なLECGaAs基板(未熱処理)のDLTSスペクトルが得られており、3つのピークは低温側からそれぞれEL6(~170K)、EL3(~

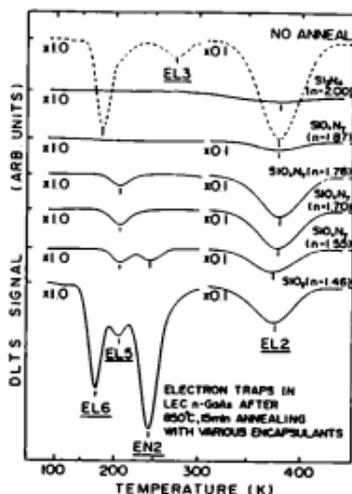


図5-9 DLTSスペクトルの保護膜屈折率依存性 (n型LEC基板)

270K)、EL2 (~375K)に対応する。なお、それぞれの深い単位の名称としては、Martin等⁴⁾が最初に用いた一般的な名称(EL2、EL3、EL5、EL6など)に従うものとする。熱処理に伴うDLTSスペクトルの変化は、使用した保護膜の種類に大きく依存し、保護膜屈折率の増加に伴って、熱処理後に検出される深い単位の種類とその濃度はともに減少することがわかる。特に、SiO₂保護膜を用いた場合には、EL2を含む殆ど全ての単位が消失してしまうことがわかる。図5-9の結果において注目すべきことは、屈折率≦1.76でEL5 (~203K)が、屈折率≦1.55でEN2 (~245K; 従来、同様の単位の報告例なし)がそれぞれ新たに検出されることである。これら2つの単位は、ともにGaの外部拡散が顕著に生じていると考えられる屈折率領域で主に検出されることから、その成因がGa空孔に関係していることが予想される。各トラップ単位のアレニウス・プロットから求めた活性化エネルギーと捕獲断面積の値を表5-2にまとめて示す。図5-10は、Siを

表5-2 アレニウス・プロットのまとめ

	EL6	EL5	EN2	EL2
捕獲断面積 (cm ²)	1×10 ⁻¹⁴	4×10 ⁻¹⁴	2×10 ⁻¹¹	1×10 ⁻¹³
活性化エネルギー (eV)	0.35	0.37	0.63	0.80

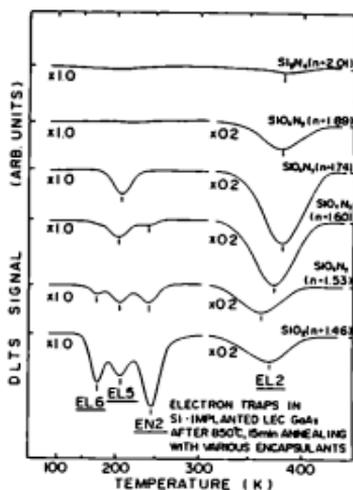


図5-10 DLTsスペクトルの保護膜屈折率依存性
(Si^+ 注入LEC基板)

イオン注入した不純物無添加半絶縁性LEC基板に対するDLTsスペクトルの保護膜屈折率依存性を示したものである。保護膜屈折率に対する各スペクトルの変化の傾向は、図5-9に示したn型LEC基板の場合と同様である。これから、図5-9、5-10において見られた深い単位の生成あるいは消滅の過程が、熱処理前の基板の導電型——すなわち、n型か半絶縁性かの区別——あるいはイオン注入の有無には依存しないことが結論できる。

図5-11は、n型HB基板に対する同様のDLTsスペクトルの変化の様子を示したものである。未熱処理試料のスペクトル(破線で表示)には、LEC基板の場合と同様に、低電位側からEL6、EL3、EL2の3つの単位が検出されている。しかし、HB基板の場合には、EL2を除くと熱処理後も検出される深い単位はEL5のみであり、3つの単位(EL6、EL5、EN2)が検出されたLEC基板の場合の結果とは異なっている。しかし、EL5が現れる保護膜屈折率の範囲は1.79以下であり、EL5に関する限りは、LEC基板およびHB基板の区別を問わず共通の出現傾向がみられる。

図5-12は、n型LECおよびn型HB各基板から算出したEL5トラップ濃度の保護膜屈折率依存性を示したものである。EL5は1.8未満の屈折率領域においてのみ検出されており、その濃度は屈折率の減少とともに 10^{14} から 10^{15} cm^{-3} の間で緩やかに増加する。このEL5が検出される保護膜屈折率の範囲は、SIMS測定によって保護膜中に外部拡散したGaが多量に検出される屈折率領域にほぼ対応している(図5-7参)。 SiO_xN_y 保護膜熱処理によるSiイオン注入層の活性化率の改善効果、および SiO_2 保護膜や酸素過剰な SiO_xN_y 保護膜を用いて熱処理したときにみられるGaの外部拡散現象が、ともにLECお

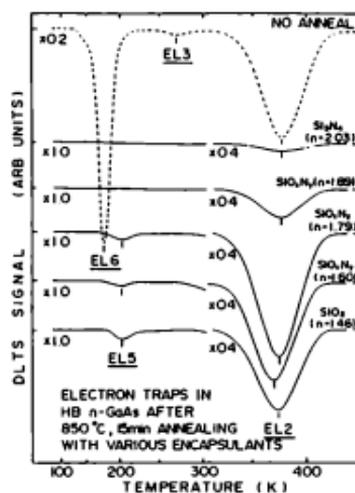


図5-11 DLTSスペクトルの保護膜屈折率依存性 (n型HB基板)

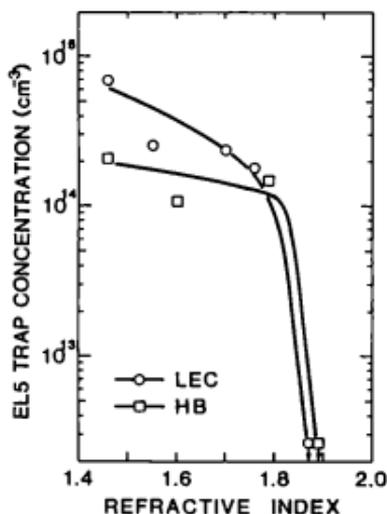


図5-12 EL5トラップ濃度の保護膜屈折率依存性

よびHB両基板に共通にみられる以上の実験事実を考え合わせると、この活性化率の促進効果やGaの外部拡散現象と最も密接に関係している深い準位はEL5であろうと推測される。

5-4-3 熱処理温度および熱処理時間依存性

前節において、EL5がGaの外部拡散に関係して導入された欠陥に基づく準位である可能性を指摘した。もし、Gaの外部拡散により発生したGa空孔がEL5の成因に関係するならば、EL5の生成はGaの拡散係数および拡散時間に大きく支配されるものと考えられる。Gaの拡散係数は熱処理保護膜が同一であれば熱処理温度の関数となる。一方、Gaの拡散時間は、今回の場合は熱処理時間に等しいと考えてよい。したがって、ここでは、Gaの拡散係数と拡散時間のそれぞれがEL5の生成に与える影響を独立に調べる目的で、EL5濃度の熱処理温度および熱処理時間依存性を測定した。

図5-13は、SiO₂保護膜を用いて800、850、900℃でそれぞれ15分間熱処理したn型LEC基板に対するDLTSスペクトルを示したものである。熱処理温度の増

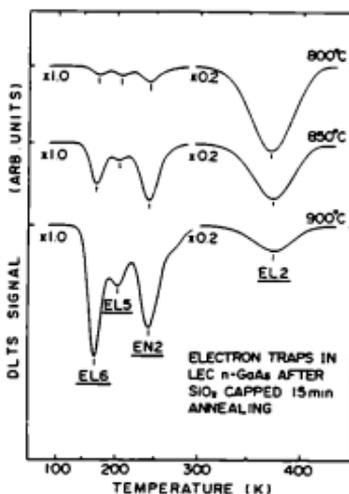


図5-13 DLTSスペクトルの熱処理温度依存性 (SiO₂保護膜熱処理)

加とともに、EL5強度が増加する様子がよくわかる。図5-14に、EL5濃度の熱処理温度依存性を示す。同様のEL5濃度の増加は、n型HB基板に対する同様の実験においても認められることから、EL5の生成はSiO₂保護膜熱処理に固有な現象で基板の種類には依存せず、その生成機構は拡散過程に律速されているものと考えられる。また、n型HB基

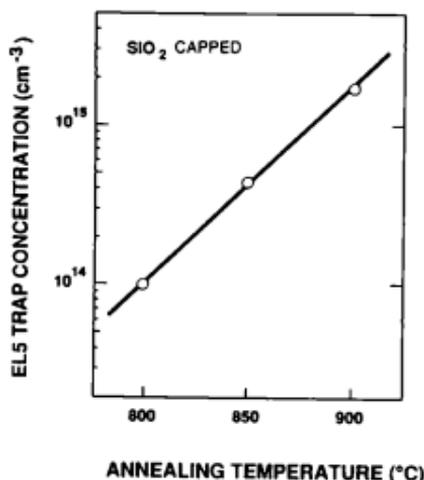


図5-14 EL5トラップ濃度の熱処理温度依存性

板に対する実験では、800℃のSiO₂保護膜熱処理においてもEL6やEN2の生成が認められず、これからn型LEC基板でみられたEL6やEN2各単位の生成とGa空孔の生成との間には直接的な相関がないことがわかる。

図5-15は、SiO₂保護膜を用いて850℃でそれぞれ5、15、45、120、300分間熱処理したn型LEC基板に対するDLTSスペクトルを示したものである。熱処理時間の増加に対してもEL5強度は増加することがわかる。図5-16に、EL5濃度の熱処理時間依存性を示す。EL5濃度が熱処理時間とともに増加する事実は、図5-14に示した熱処理温度依存性の結果と並んで、EL5の生成が拡散過程によって支配されていることを強く示唆するものである。図5-18には、EL2、EL6、EN2各トラップ濃度、および300Kでの基板のキャリア濃度の熱処理時間依存性も同時に示してある。熱処理時間の増加に伴って、EL5とEL6では濃度が増加するのに対してEL2では逆に減少し、EN2では最初増加した後次第に減少する複雑な濃度変化がみられている。図5-16において、短い熱処理時間（5分）では他の単位に比べて最も低濃度で存在していたEL5が、長い熱処理時間（300分）の経過後に基板内トラップ中で最大濃度を有する主要トラップとなっている事実は注目すべきである。これは、EL2以外のトラップが、GaAs基板中の主要電子トラップと成る得ることを示した最初の報告である。

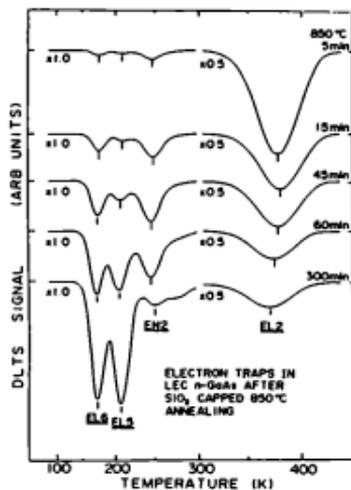


図5-15 DLTSスペクトルの熱処理時間依存性 (SiO₂保護膜熱処理)

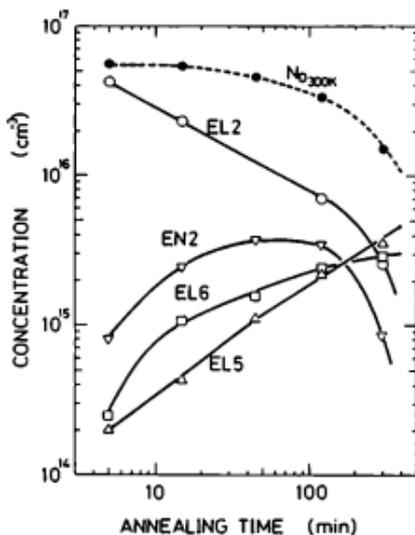


図5-16 トラップおよび電子濃度の熱処理時間依存性 (SiO₂保護膜熱処理)

熱処理保護膜依存性、熱処理温度依存性、および熱処理時間依存性の各観点から、EL5単位が発生する条件を調べてきたが、いずれの結果もEL5の生成とGa原子の外部拡散によるGa空孔の生成との間に密接な関係があることを示唆するものであった。ここでは、EL5の成因についてさらに詳細に検討してみたい。

熱処理時間の増加とともにEL5濃度が増加するのに対応して、キャリア濃度が逆に減少することは、図5-16において既に指摘した。このキャリア濃度の減少分(未熱処理時のドナー濃度から熱処理後のドナー濃度を差し引いた分)を熱処理時間に対してプロットし直すと図5-17が得られる。EL5濃度の熱処理時間依存性ととの間にきれいな相関関係が

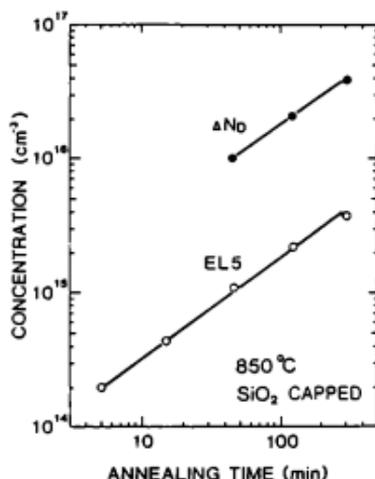


図5-17 EL5濃度とドナー濃度の変化分(ΔN_D)の熱処理時間依存性

得られている。n型バルク基板のキャリア濃度が長時間のSiO₂保護膜熱処理によって減少する原因が、4-5節で述べたSiイオン注入層の場合と同様に、Ga空孔(V_{Ga})アクセプタによるSi_{0.5}ドナーの補償機構により説明されるとすれば、図5-17に示したキャリア濃度の減少分は熱処理により生成したV_{Ga}アクセプタの濃度に対応するものと考えることができる。すなわち、V_{Ga}アクセプタの濃度をC_{VGa}、EL5の濃度をC_{EL5}とすれば、図5-17の関係からC_{VGa}とC_{EL5}の間に、C_{VGa} = 10 · C_{EL5}なる関係が成り立つことがわかる。ここでは、生成したV_{Ga}アクセプタが300Kにおいて100%イオン化していることを仮定したが、もしこの仮定が成り立たなければ、C_{VGa} > 10 · C_{EL5}となる。いずれにしても、EL5の成因としてVGaを直接的に対応させることは、両者の濃度が大きくかけ離れている事実から考えて無理があることがわかる。しかし、依然として、図5-17の結果がEL5の

成因として V_{Ga} が重要な役割を果たしていることを示唆していることに疑いはない。

さらにEL5と V_{Ga} との対応関係の密接さを確認するために、EL5濃度の深さ方向分布の測定を行い、 V_{Ga} が全てGaの外部拡散によって生成されたと仮定して計算した V_{Ga} の理論濃度分布と実測EL5濃度分布との比較を試みた。外部拡散するGa原子の濃度分布 $C_{Ga}(x, t)$ は、GaAsバルク中のGa濃度 $C_{Ga,b}(=2.21 \times 10^{22} \text{ cm}^{-3})$ 、表面Ga濃度 $C_{Ga,s}$ 、GaAsバルク中のGaの拡散係数 D 、深さ x 、および無処理時間 t を用いて次式のように表わされる。

$$C_{Ga}(x, t) = C_{Ga,s} + (C_{Ga,b} - C_{Ga,s}) \operatorname{erf} \left(\frac{x}{\sqrt{4Dt}} \right), \quad (5-5)$$

ここで、 $\operatorname{erf}(x)$ はガウスの誤差関数で次式のように定義される。

$$\operatorname{erf}(x) = (2/\sqrt{\pi}) \int_0^x \exp(-t^2) dt. \quad (5-6)$$

(5-5)式は、例えば、Si基板からの酸素原子の外部拡散の解析にしばしば使用されるものである⁵⁾。正味の V_{Ga} 濃度 $C_{V_{Ga}}(x, t)$ は、 $C_{Ga,b}$ から $C_{Ga}(x, t)$ を差し引いた残り量と考えることができ、次式のように表わされる。

$$\begin{aligned} C_{V_{Ga}}(x, t) &= C_{Ga,b} - C_{Ga}(x, t) \\ &= (C_{Ga,b} - C_{Ga,s}) \operatorname{erfc} \left(\frac{x}{\sqrt{4Dt}} \right), \end{aligned} \quad (5-7)$$

但し、 $\operatorname{erfc}(x) = 1 - \operatorname{erf}(x)$ を用いた。

いま、EL5濃度 $C_{EL5}(x, t)$ とGa空孔濃度 $C_{V_{Ga}}(x, t)$ との間に比例関係が成り立つと仮定すれば、 $C_{EL5}(x, t)$ は次式のように表わすことができる。

$$\begin{aligned} C_{EL5}(x, t) &= k C_{V_{Ga}}(x, t) \\ &= k (C_{Ga,b} - C_{Ga,s}) \operatorname{erfc} \left(\frac{x}{\sqrt{4Dt}} \right). \end{aligned} \quad (5-8)$$

(5-8)式の比例定数 k の値として、 $k \leq 1/10$ が成り立つことは既に考察した通りである。

図5-18に、EL5濃度の深さ方向分布の実測値と(5-8)式を用いて計算した理論濃度分布(実線)を比較して示す。実験に用いた試料は、n型LEC基板にSiO₂保護膜を用いて850℃でそれぞれ60および120分間無処理したものであり、深さ方向分布の測定のために試料表面をそれぞれ0、0.3、0.6、0.9、1.2μmエッチング除去した後DLTS測定を行った。また、850℃におけるGaの拡散係数としては、Gaと V_{Ga} の拡散係数が等しいとして、Chiang and Pearsonが報告している850℃における V_{Ga} の拡散係数の実測値($8 \times 10^{-13} \text{ cm}^2/\text{s}$)⁶⁾を使用した。図5-18から明らかなように、EL5の実測濃度分布から得られるEL5の拡散係数は、Gaの外部拡散係数あるいはGa空孔の拡散係数と良い一致を示すことがわかる。この結果は、EL5単位の生成が拡散機構によって支配されていることを証明する大きな証拠であり、その成因がGa空孔に関係しているこ

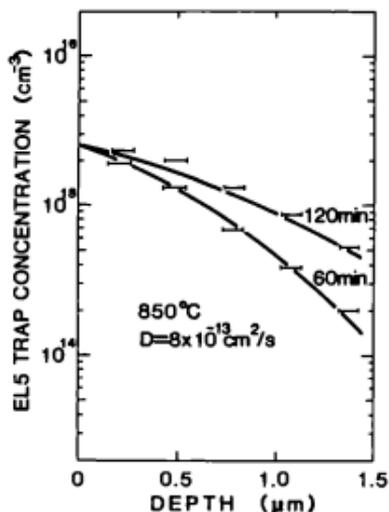


図5-18 EL5濃度の深さ方向分布

とを強く裏付けている。

現状では、EL5の成因としてGa空孔が関与しているという結論をさらに進めた最終的結論を下すには至っていない。 $C_{Ga} \geq 10 \cdot C_{EL5}$ であることを考慮すると、EL5の成因としてGa空孔を含む複合体とするのが最も妥当であろうと考えられる。その候補としては、例えば、 $V_{Ga}-As_{Ga}$ 、 $V_{Ga}-As_{Si}$ 、 $V_{Ga}-Si_{Ga}$ などを挙げることができよう。

以上の結果から、Gaの外部拡散に関連して保護膜中に外部拡散したGa原子の存在がAES分析やSIMS分析を用いて評価できるばかりでなく、Gaの外部拡散の結果GaAs基板中に生成されるGa空孔の存在についてもDLTS法を駆使することによって評価し得ることが明らかとなった。DLTS法による評価は高感度で定量性にも優れているため、Ga空孔の存在の評価法として幅広い応用が期待できるものと考えられる。

5-5 まとめ

本章では、Siイオン注入GaAs層の熱処理後の活性化特性に重大な影響を与えたと考えられるGaの外部拡散現象とそれに伴うGaAs基板内でのGa空孔の生成について、熱処理保護膜の種類、熱処理温度、熱処理時間をそれぞれパラメータとした議論を行った。保護膜中に外部拡散したGa原子に対するオーグジュ電子分光分析および二次イオン質量分析を用い

た評価の結果、Gaの外部拡散には保護膜組成依存性が存在し、 SiO_2N_y 保護膜の屈折率が小さく膜中の酸素組成が大きくなるにつれて、その拡散量が顕著になることが明らかとなった。この結果は、 SiO_2N_y 保護膜熱処理の適用によりGa空孔生成量の任意な制御が可能となることを示しており、この応用によってイオン注入されたSi不純物のGa格子位置への置換（すなわちSiイオンの活性化）の最適化が可能となることが明らかとなった。

種々の条件で熱処理を行ったGaAs基板に対して、DLTS法を用いて深い単位の系統的な評価を行った。検出されたそれぞれの単位に対してその導入過程を検討した結果、従来からその存在だけは知られていた電子トラップEL5がGa空孔の存在と密接な関係にあることが明らかとなった。EL5濃度について定量的な考察を行った結果、EL5の正体が複合欠陥に関係している可能性が高いことが示され、その候補としては、Ga空孔とAsアンチサイト欠陥との複合体 ($V_{Ga}-As_{Ga}$)、割り込みAsとの複合体 ($V_{Ga}-As_i$)、あるいはSiドナーとの複合体 ($V_{Ga}-Si_{Ga}$) などの可能性が示された。

参考文献

- 1) D.V.Lang, J.Appl.Phys., 45, 3023 (1974).
- 2) A.Benninghoven, F.G.Rudenaer, and H.W.Werner, Secondary Ion Mass Spectrometry (John Wiley & Sons, 1987) p.825.
- 3) Y.Zohta and M.O.Watanabe, J.Appl.Phys., 53, 1809 (1982).
- 4) G.M.Martin, A.Mitonneu, and A.Mircea, Electronics Lett., 13, 191 (1977).
- 5) D.Heck, R.E.Tressler, and J.Monkowski, J.Appl.Phys., 54, 5739 (1983).
- 6) S.Y.Chiang and G.L.Pearson, J.Appl.Phys., 46, 2986 (1975).

第6章 短時間熱処理によるn型GaAs動作層の形成

6-1 序

短時間ランプ照射を用いたイオン注入層の熱処理技術は、1980年代に入ってSiデバイスおよびGaAsデバイスの両分野に亘ってほぼ同時に基礎的検討が開始され、以来その応用範囲を広げつつ研究が活発に進められてきた。本技術の最大の特長は、その短時間性に由来して、熱処理時における注入不純物、基板内不純物、および基板構成原子の各々の再分布が最少限に抑えられるところにある。これらの特長によって、従来の電気炉熱処理法では対処するのが次第に困難に成りつつあるサブミクロン極微細デバイス構造の実現手段として、短時間熱処理法に極めて大きな期待が寄せられている。例えば、今日のGaAs集積回路の研究開発においては、その高性能化を図る目的から、大きな電流駆動能力を有するMESFETの開発が急務とされており、この目的のために、FET動作層はますます高キャリア濃度化の方向に進みつつある。高キャリア濃度動作層に対してもFETのしきい値電圧はある一定の設計値に保たれる必要があるため、動作層の厚さに関しては薄層化が重要な課題となり、実際、20～30nmの極薄動作層を有する高性能MESFETの試作が既に報告されている^{1,2)}。このような状況下では、元来、注入不純物の再分布の制御に問題をもつ電気炉熱処理法には必然的に適用限界が生じてくることは明らかであり、短時間熱処理技術への期待が高くなる。

短時間ランプ熱処理以外にも、レーザ・ビームや電子ビームを用いたピコ秒あるいはナノ秒の極短時間の熱処理法が1970年代後半から1980年代前半にかけて盛んに検討されてきた。しかし、これらの方法においては、ビーム照射による結晶欠陥の生成やプロセスの制御性、再現性の諸問題を解決できる十分な見通しが得られなかったために、実用化されるには至らなかった。ランプ照射による短時間熱処理法の熱処理時間領域(～数秒)は、従来の電気炉熱処理法とビーム熱処理法がそれぞれカバーする熱処理時間領域の中間に位置している。これより、過去にビーム熱処理法が直面した諸問題の発生を回避しつつ電気炉熱処理法が現在直面している前述の諸問題を克服することのできる新しい熱処理技術として、短時間熱処理法が大きな可能性を有していることが理解される。

本章では、まず、短時間熱処理に用いる熱処理装置について記述した後、短時間熱処理法を用いてGaAsMESFETのn型動作層を形成するための最適熱処理条件について記述する。得られたn型動作層の電気的特性については、従来の電気炉熱処理法による結果も交えて議論する。短時間熱処理法の熱処理工程上の特徴としては、保護膜無し熱処理の可能性について議論し、併せて保護膜を用いた場合の結果についても言及する。最後に、実際にMESFETを作製し、FET特性を通して本手法の特長を明らかにしていく。

6-2 短時間熱処理装置

短時間熱処理を実現するための熱源としては、大別して、ランプとグラファイト・ヒータの2種類が最も広く使用されている。このうち、後者は面状発光源であるため原理的に均熱特性を確保し易い長所を有するが、裸状態のヒータの使用により半導体基板表面が汚染された

り、熱源の大きな熱容量により降温特性に十分な制御性が得られないなどの欠点をもっている。したがって、実際の熱処理装置の構成では、前者のランプ光源の方が好んで使用されているのが現状である。

ランプ光源としては、タングステン・ハロゲン・ランプが最も一般的に用いられているが、これらの光源は通常、線状の発熱源として供給されるため、実際の使用においては均熱特性の確保のために、多数のランプ・ユニットを並列に配置して発熱領域を面状に拡大する工夫がなされている。本研究で用いたランプ熱処理装置の断面構造は、第2章の図2-2において既に示した通りである。図にも示されているように、本装置では、尚一層の均熱特性の改善を図るために、ランプを面状に並べた2つの発熱源を試料面の両側に上下各ランプの配列が互いに逆位相になるように配置して、上下各ランプからの直射光が試料表面で集中しないように配慮してある。

イオン注入されたGaAs基板は、保護膜を用いる場合にも用いない場合にも、本研究では、Si基板裏のサセプタの上にイオン注入面を下向きに置いて両者が密着した状態——すなわち、face-to-face 状態——で熱処理を行った。しかし、保護膜を用いる場合には、イオン注入面が上になるような状態で熱処理しても勿論問題はない。クロメル・アルメル (CA) 熱電対を用いて実測した基板表面の温度サイクルの一例を図6-1に示す。本加熱工程の前

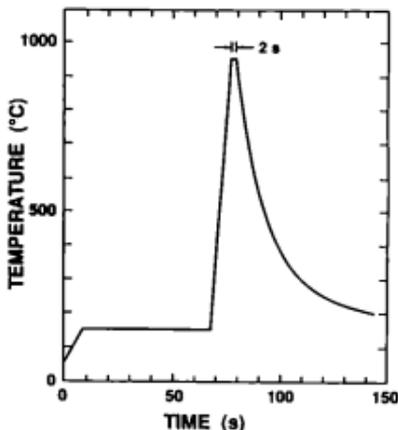


図6-1 短時間熱処理における基板温度実測例 (950℃、2秒)

の1分間 (150℃) の予備加熱工程は、急速昇温の開始温度を各熱処理毎に一定に保つ作用をもっており、温度サイクルの再現性を確保する上で重要な役割を果たしている。本装置における熱処理温度の再現性は、950℃の場合で±10℃以内である。短時間熱処理では熱処理時間が短いため、熱処理時間および熱処理温度の定義の仕方が研究者間でまちまちになり

がちであるが、本研究では、図6-1に示すように、最高到達温度を熱処理温度、そしてその保持時間を熱処理時間と定義した。本装置を用いて制御し得る最高熱処理温度は $\sim 1150^{\circ}\text{C}$ であり、最短熱処理時間は昇温速度が $100^{\circ}\text{C}/\text{秒}$ の場合で約2秒である。昇温速度は最大 $200^{\circ}\text{C}/\text{秒}$ 程度まで速くすることができるが、通常は $100^{\circ}\text{C}/\text{秒}$ に固定して使用した。

一方、降温速度は、標準的な雰囲気ガス流量 (N_2 ガス流速： $\sim 200\text{cm}/\text{分}$) のもとでは最大でも $-50^{\circ}\text{C}/\text{秒}$ 程度に抑えられてしまうが、降温時の雰囲気ガス流量を大きくすることにより、容易に $-100^{\circ}\text{C}/\text{秒}$ 程度まで大きくすることが可能である。

6-3 短時間保護膜無し熱処理の可能性

熱処理時間が \sim 数秒のオーダーになると、 800°C 以上の高温熱処理においてもGaAs基板表面からAs原子が解離する可能性が減少するため、外部からAs圧を印加しなくても保護膜無し熱処理が実現できる可能性がある。例えば、Si基板サセブタにGaAs試料表面を密着させて 950°C で熱処理する場合、図6-2に示すように、熱処理時間5秒ではAsの蒸発によるビットが発生するが、熱処理時間2秒ではビットの発生は認められず保護膜無し熱処理が可能となることがわかる。 950°C 以外の温度に対しても、熱処理時間を種々に変化

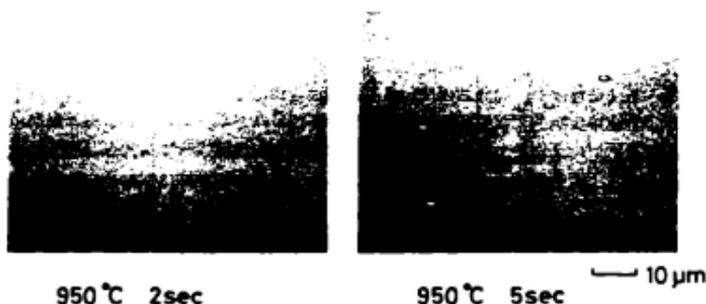


図6-2 短時間熱処理後のGaAs基板表面の光学顕微鏡写真

させてAs原子の解離が顕著になり始める時間をプロットしたのが図6-3である。図に示した直線より下側部分の熱処理条件が、保護膜無し熱処理が可能となる範囲に対応する。GaAs試料表面を密着させるサセブタとしては、Si基板(実線)の他にGaAs基板(破線)を用いた場合の結果についても示した。サセブタとしてGaAs基板を用いることにより、保護膜無し熱処理の可能範囲を若干広げることができるが、両サセブタの差は熱処理温度の増加とともに小さくなることからわかる。特に、 950°C 以上の温度領域では両者の間に殆ど差がなく、どちらのサセブタを用いてもほぼ同様の結果を与えることがわかる。次節以下で示

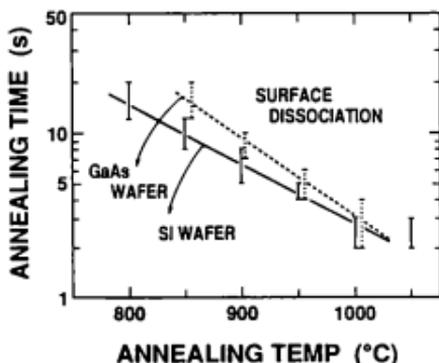


図6-3 Asの解離が顕著となる熱処理時間の熱処理温度依存性

すように、短時間熱処理によるn型GaAs層の形成では、900℃以上の熱処理温度が特に重要となるため、以降の短時間熱処理では原則的にSi基板サセプタを用いることとする。

6-4 Siイオン注入GaAsの短時間熱処理

6-4-1 熱処理温度依存性

Siイオン注入GaAsの短時間熱処理において、活性化が生じる最低の熱処理温度および活性化率が最大となる熱処理温度を調べる目的で、700~1100℃の広い熱処理温度範囲に亘って短時間熱処理を行った試料の電気的特性を、Hall測定および容量-電圧(C-V)測定を用いて評価した。熱処理は全て保護膜無しの状態で行い、熱処理時間は2秒に固定した。昇温速度は通常100℃/秒に固定した。基板には、Cr添加($N_{Cr}=1 \times 10^{16} \text{ cm}^{-2}$)半絶縁性(100)HB基板および不純物無添加半絶縁性(100)LEC基板の2通りを用いた。

HB基板に ^{29}Si イオンを150keVで $5 \times 10^{12} \text{ cm}^{-2}$ 注入した試料について、Hall測定から求めたシート・キャリア濃度とシートHall移動度の熱処理温度依存性を図6-4に示す。熱処理温度700℃では活性化が認められなかったが、750℃になると約50%の活性化率が得られ、熱処理温度の増加とともにこの活性化率は増加する。最大の活性化率は950~1000℃の間で約75%が得られた。しかし、熱処理温度が1000℃以上になると活性化率は急激に減少し始める。同様の実験を150keVの ^{29}Si イオン注入層についても行ったが、図6-5に示すように、Siイオン注入層では熱処理温度が1000℃を越えても活性化率の低下は認められなかった。したがって、短時間熱処理したSiイオン注入層の活性化率が1000℃以上で急激に低下したのは、Asの熱分解による結晶性の劣化だ

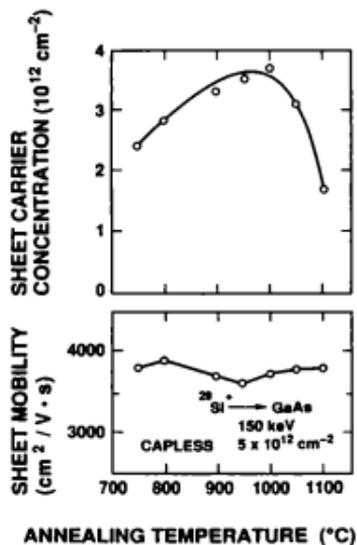


図6-4 シート電子濃度とシート移動度の熱処理温度依存性（保護膜無し）

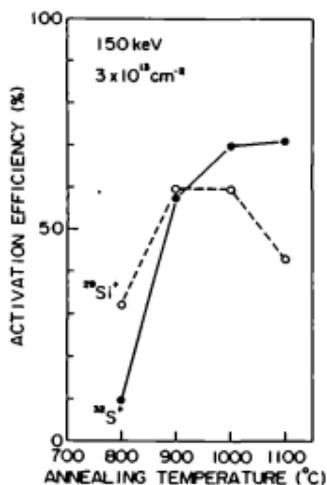


図6-5 活性化率の熱処理温度依存性 (^{32}S と ^{29}Si の比較)

けでは説明することができない。GaAs中のSiは両極性不純物であるため、1000℃以上の熱処理温度では、Ga格子位置SiがAs格子位置に移動してキャリア補償が生じる可能性が考えられる。実際、1000℃を越えても移動度には殆ど変化が認められておらず、この事実は、Siアクセプタの生成による自己キャリア補償効果が生じていることを裏付けている。高温熱処理時のSi不純物の自己キャリア補償については、6-4-3節においてさらに詳しく検討する。

図6-6は、活性化率の熱処理温度依存性を3種類の注入エネルギー(50、100、150 keV)について示したものである。ドーズ量はいずれも $5 \times 10^{12} \text{ cm}^{-2}$ である。活

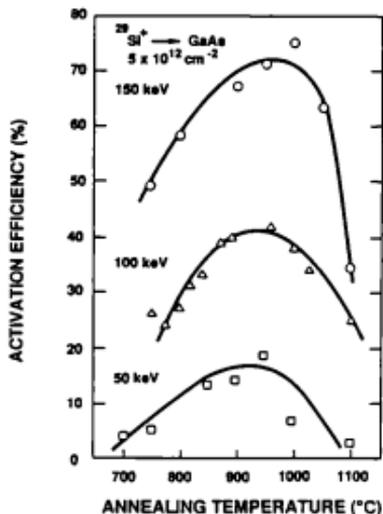


図6-6 活性化率の熱処理温度依存性

性化率の絶対値は注入エネルギーの減少とともに低下する傾向がみられる。この原因としては、注入エネルギーの減少に伴って単位体積当りに打ち込まれるSi原子濃度が増加して注入損傷が増加したために活性化が起こりにくくなったこと、およびHall測定において表面空乏層の影響を受け易くなったことの2通りが考えられる。しかし、活性化率を最大にする最適熱処理温度は、いずれの注入エネルギーに対しても950~1000℃の間に存在することがわかる。このことから、活性化率が最大となる最適熱処理温度を支配するのは、高温における両極性不純物Siの占有格子位置の移動——すなわち、Si不純物の自己補償効果——である可能性が大きく、Asの熱分解による結晶性の劣化だけでは説明しきれないことがわかる。なぜなら、Asの熱分解が最適熱処理温度を支配するのであれば、Asの熱分解による結晶性の劣化が基板表面付近のみ顕著に生じることを反映して高エネルギー注入ほど最適熱処理温度が高温側に

移動するものと予測され、実測データとは矛盾するからである。以上はCr添加のHB基板を用いた場合の結果であるが、不純物無添加LEC基板を用いた場合についても同様の結果が得られており、前述の議論において熱処理時のCrの外部拡散が活性化特性に与える影響は少ないものと考えられる。

950°Cで熱処理した試料(100 keV、 $5 \times 10^{12} \text{ cm}^{-2}$)のC-V測定から求めたキャリア濃度分布を、Cr添加HB基板および無添加LEC基板について、それぞれ図6-7および図6-8に示す。図中には、SiO₂あるいはSiN_xを保護膜に用いた電気炉熱処理(850°C、15分)の結果も比較のために同時に示してある。短時間熱処理の特徴は、電

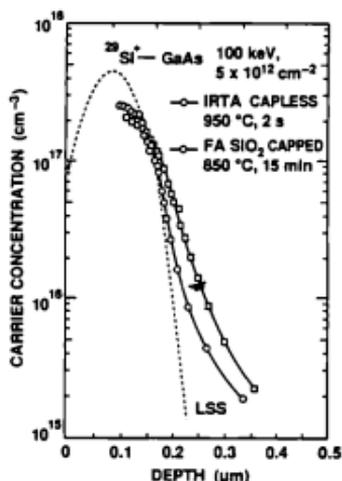


図6-7 キャリア濃度分布(HB基板)

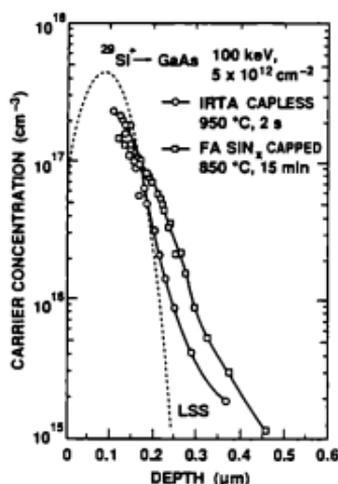


図6-8 キャリア濃度分布(LEC基板)

気炉熱処理の場合に比べて高濃度で急峻なキャリア濃度分布が得られることである。急峻なキャリア濃度分布が得られるのは、短時間熱処理により不純物の拡散が抑えられたことによるものである。また、高いキャリア濃度が得られるのは、短時間熱処理では電気炉熱処理に比べて熱処理温度が高くてできるため高活性化率が得られる効果と、前述の不純物の拡散が抑制される両方の効果によるものと考えられる。

6-4-2 熱処理時間依存性

図6-9にシート・キャリア濃度とシートHall移動度の熱処理時間依存性を示す。試料は、図6-4の熱処理温度依存性の実験で用いたものと同じものであり(HB基板、15

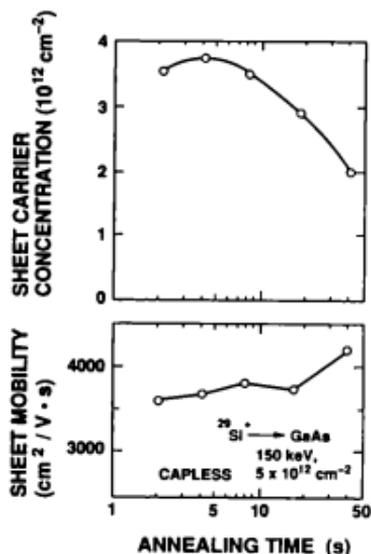


図6-9 シート電子濃度とシート移動度の熱処理時間依存性（保護膜無し）

0 keV、 $5 \times 10^{12} \text{ Si}^+ \text{ cm}^{-2}$ ）、熱処理温度は950℃である。熱処理時間～4秒において活性化率は最大75%となり、さらに熱処理時間が長くなると活性化率は逆に減少し始める。長時間の熱処理により活性化率が減少した試料では、顕著なAsの解離が生じており、また移動度の若干の増加も認められることから、活性化率の減少は結晶性の劣化に伴ってSi不純物の格子位置への置換が困難になったことが主要因であろうと考えられる。

活性化率が減少し始める熱処理時間は、勿論、熱処理温度に依存して変化する。図6-10は、熱処理温度が850および950℃の各場合について、活性化率の熱処理時間依存性を示したものである。試料は、HB基板に $^{29}\text{Si}^+$ イオンを100 keVで $5 \times 10^{12} \text{ cm}^{-2}$ 注入したものである。活性化率が最大値をとる熱処理時間は、熱処理温度950℃では2～3秒であるのに対して、850℃では～10秒に増加している。これらの熱処理温度と熱処理時間の最適な組合せは、図6-3に示した保護膜無し短時間熱処理が可能となる臨界の熱処理条件に対応しており、Asの熱分解との関係が深いことがわかる。さらに、次節で示されるように、保護膜付き短時間熱処理では長時間の熱処理に対しても活性化率があまり低下しないことから（図6-12参）、長時間の保護膜無し熱処理における活性化率の減少はAsの熱分解に主に関係したものであると結論することができる。

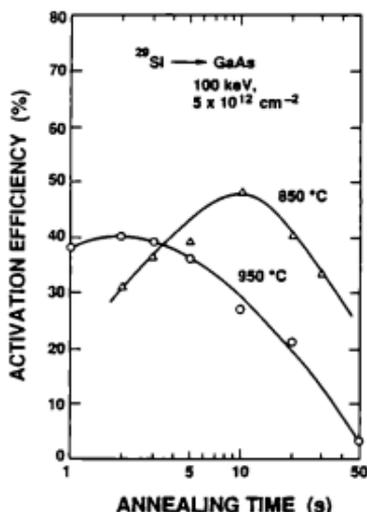


図6-10 活性化率の熱処理時間依存性(850℃と950℃の比較)

6-4-3 保護膜無しと保護膜付き短時間熱処理の比較

保護膜無し短時間熱処理では、高い熱処理温度あるいは長い熱処理時間領域において活性化率の低下がみられた。この原因として、①Asの熱分解による結晶性の劣化、および、②As格子位置Siの生成による自己キャリア補償、の2通りが考えられることは前節において指摘した。これらのうち、①に挙げたAsの熱分解は適切な熱処理保護膜を用いることにより防止することができる。したがって、保護膜を用いた短時間熱処理を検討することにより、①および②の各効果を分離して考察することが可能となる。ここでは、Siイオン注入GaAsの短時間熱処理において、保護膜を用いた場合の活性化特性の特徴を明らかにし、これらの結果と前節の結果を用いて、保護膜を用いない場合における高温あるいは長時間熱処理時の活性化率低下の原因についてさらに考察する。

図6-11は、SiO₂保護膜(～100nm厚)を用いて短時間熱処理したときのシート・キャリア濃度とシートHall移動度の熱処理温度依存性を示したものである。熱処理時間は2秒に固定した。基板(Cr添加HB)およびイオン注入条件(150keV、5×10¹²cm⁻²)は、保護膜無し熱処理の場合(図6-4参)に使用したものと同様のものを用いた。図6-11から、保護膜を使用した場合においても、熱処理温度が1000℃以上になるとSiイオンの活性化率が減少し始めることがわかる。保護膜を用いた試料では、10

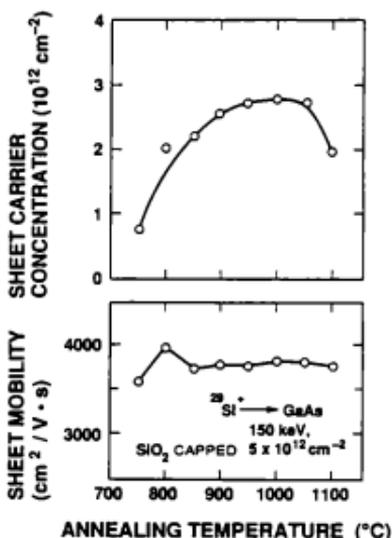


図6-11 シート電子濃度とシート移動度の熱処理温度依存性 (SiO₂保護膜)

00°C以上の温度で熱処理した後においても試料表面にはAsの熱分解によるピットの発生は認められなかった。したがって、保護膜付き短時間熱処理の場合の活性化率の低下は、Asの熱分解による結晶性の劣化とは関係がなく、6-4-1節において考察したように、高温におけるSiアクセプタの生成促進に伴うSiドナーの補償効果に強く関係しているものと考えられる。

いま、活性化率が最大となる熱処理温度を T_{max} とし、この T_{max} および1100°Cにおける各活性化率の値 $\eta(T_{max})$ および $\eta(1100)$ を用いて1100°Cにおける活性化率の低下率 r を次式で定義する。

$$r = \frac{\eta(T_{max}) - \eta(1100)}{\eta(T_{max})} \frac{1}{1100 - T_{max}} \quad (6-1)$$

(6-1)式で与えられる活性化率の低下率 r を保護膜無し(図6-4)および保護膜付き(図6-11)のそれぞれの場合について計算すると、0.0045(保護膜無し)、および、0.0029(保護膜付き)となり、保護膜を用いないときの方が約1.5倍活性化率の低下率が大きいことがわかる。この両者の違いは、保護膜を用いなかったことにより生じたAsの熱分解による正味の活性化率の低下分に対応するものと考えられる。以上の結果から、保護膜なし熱処理時の高温側でみられた急激な活性化率の低下現象は、Asの熱分解と自己キャ

リア補償の両方の効果が同時に現れた結果生じたものであることが明らかとなった。

図6-12は、SiO₂保護膜を用いて短時間熱処理したときのシート・キャリア濃度とシートHall移動度の熱処理時間依存性を示したものである。熱処理温度は950℃に固定した。保護膜を用いることにより活性化率は熱処理時間に殆ど依存しなくなり、活性化率

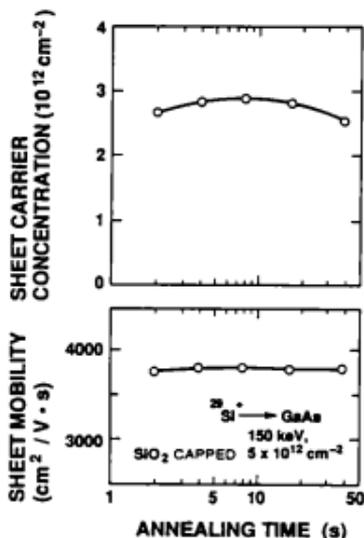


図6-12 シート電子濃度とシート移動度の熱処理時間依存性 (SiO₂保護膜)

が最大となる熱処理時間 (~8秒) も、保護膜無し熱処理の場合の ~4秒 (図6-9参) に比べて長時間側に移動している。これらの事実はいずれも、保護膜無し熱処理においてみられた活性化率の低下がAsの熱分解に起因していることを示すものである。図6-12において、熱処理時間が40秒程度に長くなると活性化率が徐々に減少し始める傾向が認められるが、この原因としては、第5章において詳しく議論したGaの外部拡散が短時間熱処理においても生じ始め、Ga空孔アクセプタ生成によるキャリア補償が無視できなくなることを表している。

6-4-4 動作層の均一性

形成されたn型動作層における電気的特性の均一性は、デバイス製造プロセスとして短時間熱処理技術の実用化を図る際の重要な検討項目となる。実際、GaAsLSIを実現するためには、採用する基本ゲート回路にも依存するが、例えば、DCF L (Direct Coupled FET Logic) 回路を用いて16KbitSRAMを実現するためには、2インチ径基板内での

FETのしきい値電圧のパラツキを20 mV以下に抑えることが必要とされている³⁾。残念ながら現在までのところ、短時間熱処理を用いて上記の厳しい要求を十分に満足できるほどのFETしきい値電圧の均一性が実現されるには至っていない。ここでは、現状の熱処理装置を用いて得られるn型動作層の電気的特性の均一性について述べ、現状の問題点および今後に見込まれるべき課題について議論する。

図6-13は、Cr添加半絶縁性HB基板の半分に²⁸Siイオンを100 keV、 $5 \times 10^{12} \text{ cm}^{-2}$ 注入後、950°C、2秒の保護膜無し短時間熱処理を行って形成したn型動作層におけるしきい値電圧の面内分布を示したものである。図において、上方のへき開面に沿った直線部の長さが5 cmに対応する。ここのしきい値電圧の定義としては、n型動作層

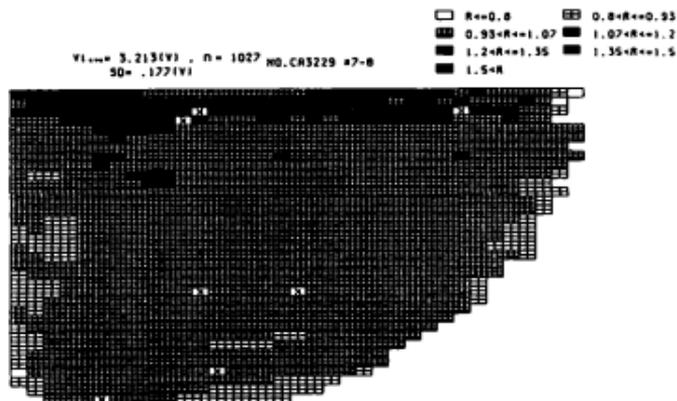


図6-13 しきい値電圧のHB基板面内分布

上に作製した多数のA1ショットキ・ダイオード(400 μm径)の逆方向C-V特性から求めたピンチオフ電圧を用いた。図6-13の結果は、ランプ光源とGaAs基板表面との間の距離を70 mm(すなわち、上下ランプ・ユニット間の間隔は140 mm)としたときの結果であるが、これは前述の距離を種々に変化させて作製した多数の試料の中で最も良好な結果を示したものに对应している。1027個のダイオードに対するしきい値電圧の平均値およびその標準偏差は、それぞれ3.21 V、177 mVであった。

短時間熱処理された基板特有の問題としては、基板周辺部でのスリップ線の発生⁴⁻⁶⁾や基板全面に互る反りの発生⁷⁾が挙げられる。これらは、いずれも熱処理時の基板面内での温度不均一によって生じる性質のものであることから、良好なしきい値電圧の均一性を確保するためには、スリップ線や反りの発生を防ぐことが不可欠であることがわかる。スリップ線や反りの発生を抑えるための方法としては、Si基板などを加工して作ったガード・リングを用い

て、GaAs基板の周辺を囲む方法が有効であることが報告されている⁴⁻⁷⁾。しかし、本実験ではガード・リングを使用していないため、図6-13に示した試料表面の周辺部には多数のスリップ線の発生が認められている。図6-13に示した試料の上方のへき開面に沿った周辺部において、他の領域に比べて明らかにしきい値電圧の絶対値の大きな領域が帯状に認められるが、この領域がスリップ線の発生が顕著な領域に対応している。すなわち、スリップ線の発生はその領域でのしきい値電圧を負側に移動させる効果をもっている。これより、スリップ線の発生については、スリップ線の発生の原因となる温度の面内不均一（活性化率のパラッキの原因となる）ばかりでなく、発生したスリップ線の存在自体がしきい値電圧不均一の原因となる可能性があることが理解される。

短時間熱処理された試料における電気的特性の面内均一性について詳細な議論を行うためには、実際の熱処理時における基板面内での温度分布に関する情報を解析する必要がある。しかし、短時間熱処理法は非熱平面プロセスであるため、正確な試料の温度を時間の関数として直接測定するのは非常に困難であり、このことが逆に短時間熱処理の理解を妨げ、問題点の解決を遅らせる大きな原因となっている。短時間熱処理における面内均一性をさらに向上させるための研究は、今後とも精力的に継続していく必要があり、そのためには、①ランプ光源の配置方法、②試料の保持方法、③試料温度の測定方法、④試料温度の制御方法などに尚一層の改善が必要になるものと考えられる。

6-5 GaAsMESFETの作製

短時間熱処理法により形成したn型動作層を用いてGaAsMESFETを作製した。MESFETの作製手順を図6-14に示す。まず、無添加半絶縁性LECGaAs基板に²⁸Siイオンを100keVで $5 \times 10^{12} \text{ cm}^{-2}$ 注入する。その後、950℃、2秒間の保護膜無し短時間熱処理によりn型動作層を形成する。各FET領域をメサ・エッチングにより分離した後、ゲート金属となるAlを試料全面に真空蒸着する。Al電極の厚さは500nmとした。次に、ホトリソグラフィ技術を用いて、ゲート領域となる部分をホトレジスト(AZ-1350、またはAZ-1370)で覆い、H₃PO₄溶液を用いてゲート領域以外のAlをエッチング除去する。この段階で、Alのサイド・エッチング技術⁸⁾を用いることにより、Alゲートの長さがホトレジストの長さに比べて少し短くなるようにエッチング時間を調節する。本研究では、ホトレジストのパターン長3μmに対して、最終的なゲート長が1μmとなるように両側からのサイド・エッチング量を各々1μmに制御した。サイド・エッチングに使用したホトレジスト・パターンは、そのまま次のオーミック金属(Ni/AuGe)蒸着のためのマスクとして使用することができる。このように、本プロセスは、ゲート領域とソースおよびドレイン領域が1回のホトレジスト工程により自己整合的に形成できる特長をもっている。Ni/AuGe(30/120nm厚)電極はH₂雰囲気中420℃でアロイ化した後、パッド電極としてAu/Ti(100/30nm厚)をさらにその上に真空蒸着し、デバイスが完成する。図6-15に完成したMESFETのチップ写真を示す。得られたデバイスのゲート寸法は1μm×300μmであり、ゲート・ソースおよびゲート・ドレイン間隔はいずれも1μmである。

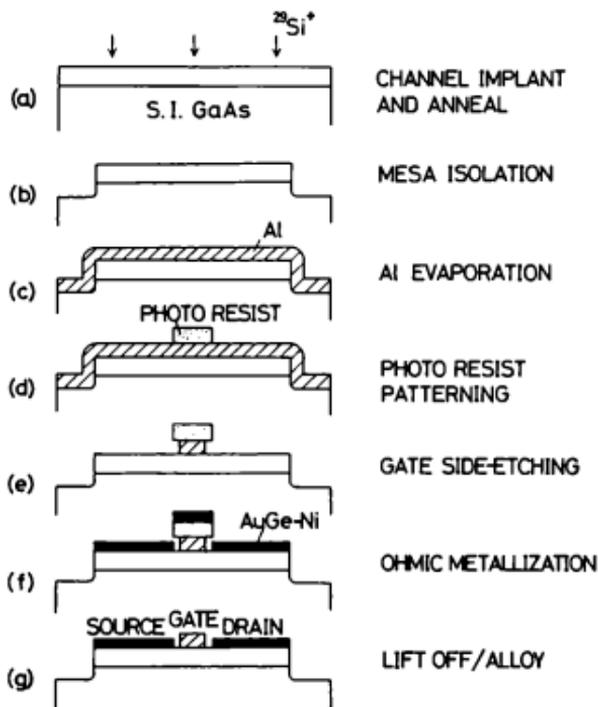


図6-14 GaAsMESFETの作製手順

作製したMESFETのドレイン電流-電圧特性を図6-16(a)、(b)に示す。図において、(a)および(b)は短時間熱処理を用いて作製したFET、および比較のために電気炉熱処理(SiN₂保護膜、850℃、15分)を用いて作製したFETの特性にそれぞれ対応する。両FETとも、飽和特性およびピンチオフ特性に優れた良好なディプリーション(depletion)型のドレイン特性を示している。飽和ドレイン電流は両FETではほぼ等しい値が得られているが、しきい値電圧の絶対値は短時間熱処理を用いたFETの方が小さく、その結果、短時間熱処理を用いたFETにおいて、電気炉熱処理を用いたFETより30~40%高い相互コンダクタンスが得られている。短時間熱処理を用いたFETにおいて、浅いしきい値電圧とともに高い相互コンダクタンスが得られるのは、図6-8に示したように、短時間熱処理により浅くて高濃度の動作層が形成されているからである。測定した両FETのDC特性を表6-1にまとめる。ゲート逆耐圧は、短時間熱処理を用いた場合の方が少し低

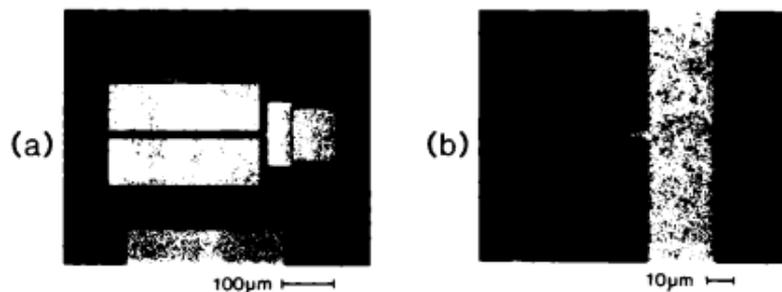


図6-15 完成したGaAsMESFETの全体写真とゲート部の拡大写真



(a) IRTA



(b) FA

図6-16 ドレイン電流-電圧特性

(a) 短時間熱処理、(b) 電気炉熱処理

表6-1 FET静特性のまとめ

測定項目	短時間熱処理	電気炉熱処理	測定条件
ドレイン飽和電流 (mA)	64.0	65.5	$V_{gs}=3V, V_{ds}=0V$
相互コンダクタンス	34	24	$V_{gs}=3V, V_{ds}=0V$
しきい値電圧 (V)	2.7	3.6	$V_{ds}=3V, I_{ds}=100\mu A$
ゲート漏れ電流 (nA)	27	26	$V_{gs}=0V, V_{ds}=-1V$
ゲート逆耐圧 (V)	10-12	14-18	$V_{gs}=0V, I_{ds}=10\mu A$

い結果となっているが、これは電気炉熱処理に比べて短時間熱処理の方がより高いキャリア濃度を与えるためであり、GaAsの表面状態の違いに起因するためではないものと考えられる。表面の状態に異常がないことは、両熱処理方法の間でゲート漏れ電流の値には殆ど差が認められないことから実証される。以上のように、短時間熱処理技術をn型動作層の形成法として用いることにより、従来法に比べて高い相互コンダクタンスを有する高性能なFETの作製が可能となることが確認された。

6-6 まとめ

本章では、短時間熱処理法を用いてSiイオン注入によるn型GaAs動作層を形成するための最適熱処理条件について検討を行った。検討項目としては、熱処理温度、熱処理時間、熱処理保護膜の有無の3つを選び、それぞれの場合について、得られたn型動作層の活性化特性の特徴を明らかにした。Siイオン注入層の短時間熱処理では、保護膜の有無に拘らず熱処理温度が1000℃以上になると、活性化率が急激に低下する現象が認められた。この原因は、主として、Ga格子位置に置換したSiドナーがAs格子位置に移動することによるキャリア補償効果に起因することがわかった。また、保護膜無し熱処理時において、Asの熱分解が同時に起こっている場合には、一層顕著な活性化率の低下が生じることが示された。一方、熱処理時間が長くなった場合に対しても、保護膜無し短時間熱処理においては活性化率の低下が認められたが、保護膜を用いた場合には活性化率の低下は殆ど認められず、この場合の活性化率の低下は、Asの熱分解による結晶性の劣化が主要因であることが明らかとなった。短時間熱処理を用いて形成したn型動作層のしきい値電圧の基板面内におけるバラツキは、電気炉熱処理を用いた場合に比較すると、現状ではまだまだ大きいことが明らかとなり、今後の緊急の研究課題として均一性の改善が残された。短時間熱処理を用いて形成したn型動作層では、高濃度で急峻なキャリア濃度分布が実現できることが容量-電圧特性測定から実証された。さらに、短時間熱処理を用いて形成した動作層上に作製したGaAsMESFETでは、短時間熱処理の特長である高活性化率および不純物拡散の抑制効果を反映して、電気炉熱処理を用いて作製したFETより高い相互コンダクタンスを有する優れた特性が得られた。これ

より、将来のFET動作層の薄層化に対処する活性化熱処理技術として短時間熱処理技術が有望であることが明らかとなった。

参考文献

- 1) K.Ueno, T.Furutsuka, H.Toyoshima, M.Kanamori, and A.Higashisaka, 1985 IEDM Dig. Tech. Papers, p.82 (1985).
- 2) M.Kuzuhara, Y.Ogawa, S.Asei, T.Furutsuka, and T.Mozaki, 1986 IEDM Dig. Tech. Papers, p.763 (1986).
- 3) M.Hirayama, M.Togashi, N.Kato, M.Suzuki, Y.Matsuoka, and Y.Yamasaki, IEEE Trans. Electron Devices, ED-33, 104 (1986).
- 4) R.Komatsu and K.Kajiyama, J.Appl.Phys., 56, 486 (1984).
- 5) R.T.Blunt, M.S.M.Lamb, and R.Szweda, Appl.Phys.Lett., 47, 304 (1985).
- 6) A.Tamura, K.Inoue, and T.Onuma, In Semi-Insulating III-V Materials, Hakone, p.255 (1986).
- 7) 河野通久、高原正明、野崎忠敏、第47回応用物理学会講演予集、p.592 (1986).
- 8) T.Furutsuka, T.Tsuji, F.Katano, and A.Higashisaka, Electronics Lett., 17, 944 (1981).

第7章 短時間熱処理GaAsの評価

7-1 序

GaAsイオン注入層の短時間熱処理法は、①高活性化率、②不純物再分布の抑制、③As圧無印加 保護膜無し熱処理の可能性、などの観点から電気炉熱処理法に代わる将来の熱処理技術として有望視されている。特に、本熱処理法をn型GaAs動作層の形成に適用した場合の有用性については第8章で示した通りである。しかし、短時間熱処理法における一回の熱処理サイクルには、急激な加熱過程と冷却過程が含まれている。これらの短時間熱処理における過激な熱処理過程は、結晶中に格子欠陥を生成したり化学量論的組成の変化を生じる原因となり易く、その結果、半導体の製剤中では深い準位が形成される可能性が高くなる。GaAsMESFETに代表されるn型多数キャリア・デバイスの電気的特性は、動作層中の電子トラップの存在に敏感である。すなわち、電子トラップの存在がドリフト、ヒステリシス、光応答などの悪影響をデバイス特性に与える原因となる。したがって、短時間熱処理法をGaAsMESFETなどのデバイス作製のためのプロセス技術として活用するためには、短時間熱処理に伴う深い準位生成の可能性を調べておくことが重要である。

本章では、短時間熱処理によりn型GaAs中に発生あるいは消滅する深い準位の特徴を明らかにする。深い準位の測定にはDLTS法を用いた。熱処理条件としては、熱処理温度や熱処理時間ばかりでなく昇温速度や降温速度を変化させた場合についても検討する。また、熱処理保護膜の影響についても同時に調べる。最後に、短時間熱処理したn型GaAs中において、本熱処理法に固有に発生すると考えられる深い準位の存在を明らかにし、発生機構の詳細な検討からこの準位の成因を考察する。

7-2 DLTSによる深い準位の評価

7-2-1 熱処理温度依存性

まず、短時間熱処理における熱処理温度の変化がGaAs中の深い準位に与える影響について調べた。実験にはn型($5 \times 10^{18} \text{ cm}^{-3}$)LEC GaAs基板を用い、熱処理温度は550~950℃に互って変化させた。熱処理時間、昇温速度、降温速度はそれぞれ3秒、100℃/秒、-40℃/秒に固定した。短時間熱処理はすべて保護膜無しの状態で行った。熱処理後、各試料上に400 μm φのAl電極ショットキ・ダイオードを制作し、容量DLTS測定を行った。DLTS測定装置は、5-4節で用いたものと同一のものを使用した。

図7-1は、DLTSスペクトルの熱処理温度依存性を示したものである。測定条件は、逆バイアス:-1V、パルス・バイアス:+0.3V、パルス印加時間:100 μsec 、サンプリング時間:5m/50msである。未熱処理試料(破線で表示)には、低温側からEL6($E_c-0.35\text{eV}$)、EL3($E_c-0.62\text{eV}$)、EL2($E_c-0.80\text{eV}$)の3つの大きな準位が検出されているが、この内、EL6とEL3の各信号強度は熱処理温度の増加とともに漸減し、900℃の熱処理では完全に消失する。ここで注目すべきことは、

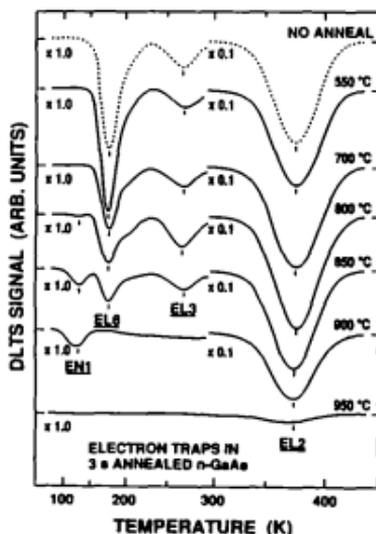


図7-1 DLTSスペクトルの熱処理温度依存性（保護膜無し）

800、850、900℃各温度で熱処理した試料において、135 K付近に新しい単位が現れることである。本研究ではこの単位をEN1と名付けた。この単位は、種々の条件で電気炉熱処理を行った試料からは検出されなかった単位である（5-4節参）。図7-2にEN1のアレニクス・プロットを示す。图中には、Martin等¹⁾によって報告されているEL9 ($E_c - 0.225$ eV) およびEL14 ($E_c - 0.215$ eV) の各アレニクス・プロットも同時に示した。EN1の活性化エネルギーは0.20 eVであり、EL9およびEL14各単位の活性化エネルギーに比べると僅かに小さい。(5-1)式から求めたEN1の捕獲断面積は、 $5.4 \times 10^{-18} \text{ cm}^2$ であった。

次に、EN1とEL2について、トラップ濃度を計算した。トラップ濃度の計算には、空乏層内の非イオン化領域における補正²⁾を考慮した(5-3)式を用いた。図7-3にEN1およびEL2各トラップ濃度の熱処理温度依存性を示す。トラップEL2は、GaAsの深い準位の中では最も精力的に研究されている単位であり、その成因はAsのアンチサイト欠陥(As_{As})³⁾あるいはAsの集合体⁴⁾に関係していると考えられている。EL2濃度は、熱処理温度850℃までほぼ一定($4 \sim 5 \times 10^{18} \text{ cm}^{-3}$)で殆ど変化しないが、熱処理温度が900℃以上になると急激に減少し始める。従来から、電気炉熱処理やレーザー熱処理によってEL2濃度が減少することが報告されているが⁶⁻⁷⁾、本実験により短時間熱処理によってEL2濃度が減少することが確認された。一方、EN1は800℃以上の短時間熱処理によって発生し、その濃度は850~900℃の温度領域で最大値($\sim 2 \times 10^{14} \text{ cm}^{-3}$)をと

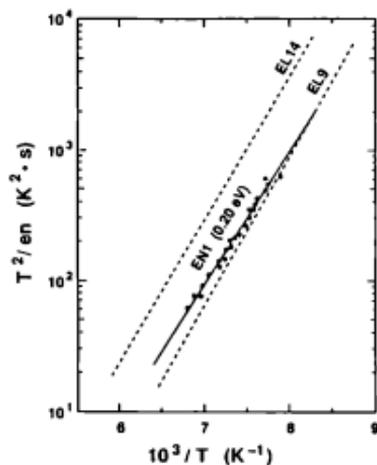


図7-2 EN1のアレキウス・プロット

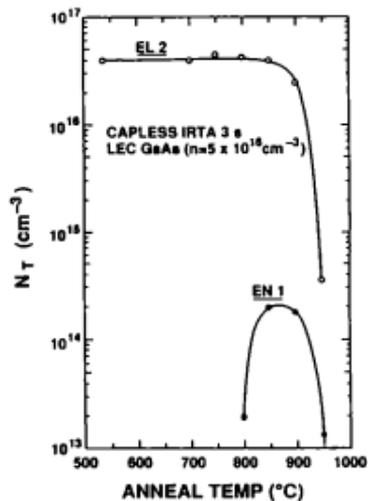


図7-3 EN1とEL2各トラップ濃度の熱処理温度依存性

ることがわかる。しかし、熱処理温度が950℃になると、EN1濃度は急激に検出限界以下 ($<1 \times 10^{13} \text{ cm}^{-3}$) の濃度まで減少する。ここで注目すべきことは、EL2を除くと、EN1は熱処理温度900℃という高温においても検出される唯一の深い準位であり、しかもEL2とEN1の両方のトラップ濃度とも950℃の短時間熱処理では急激に減少してしまうことである。このEN1とEL2の振舞いの類似性については7-2-5節においてさらに考察する。

7-2-2 熱処理時間依存性

図7-4は、850℃の保護膜無し短時間熱処理において、熱処理時間を2~25秒の間で変化させたときのDLTSスペクトルを示したものである。基板にはn型LECGaAsを用い、昇温および降温速度はそれぞれ100℃/秒、-40℃/秒とした。熱処理時間を

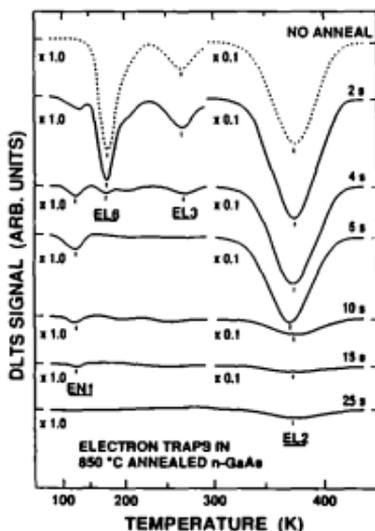


図7-4 DLTSスペクトルの熱処理時間依存性 (保護膜無し)

2秒から次第に長くするにつれてEL3とEL2の各信号強度はやはり減少し、熱処理時間6秒以上になると両信号とも完全に消失する。一方、EN1は熱処理時間2~15秒の範囲において検出されている。図7-5にEN1およびEL2各トラップ濃度の熱処理時間依存性を示す。EN1、EL2いずれのトラップ濃度も熱処理時間6秒以上で減少し始めることがわかる。熱処理時間25秒では、EN1濃度は検出限界以下まで減少する。これより、熱

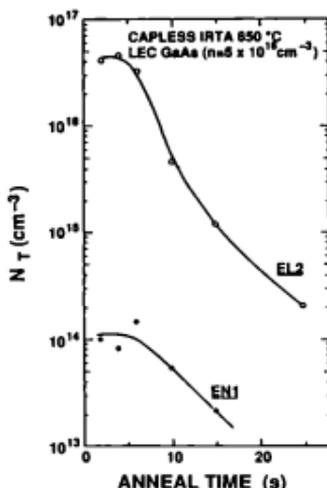


図7-5 EN1とEL2各トラップ濃度の熱処理時間依存性

処理時間が短いことがEN1検出のための必要条件となっていることが理解できる。熱処理時間の増加とともにEN1濃度が減少するのは、EN1の正味の発生量が減少するためではなく、一旦は発生したEN1欠陥が長い熱処理工程の間に幾分回復するため、検出されるEN1濃度が全体として減少するためと考えられる。この考察の妥当性は、次節(7-2-3節)に示す実験事実からも支持される。

7-2-3 昇温および降温速度依存性

短時間熱処理の温度履歴は、大別すると3つの過程——すなわち、①昇温過程、②定温熱処理過程、および③降温過程——から構成されている。EN1単位の成因を調べるためには、EN1の発生がこの3つの過程のどの段階で生じているかを明らかにする必要がある。この目的のために、昇温速度および降温速度をそれぞれ独立に変化させて短時間熱処理を行った試料についてEN1濃度を測定した。

図7-6に本実験で用いた昇温速度および降温速度の組合せを示す。昇温速度のみを変化させる実験では、降温速度を $-65^{\circ}\text{C}/\text{秒}$ に固定して、昇温速度を5、10、25、50、 $100^{\circ}\text{C}/\text{秒}$ に変化させた(図7-6(a))。一方、降温速度のみを変化させる実験では、昇温速度を $100^{\circ}\text{C}/\text{秒}$ に固定して、降温速度を -5 、 -10 、 -20 、 -35 、 $-65^{\circ}\text{C}/\text{秒}$ に変化させた(図7-6(b))。基板にはn型LEC GaAsを用い、全ての熱処理は保護膜を用いずに 850°C で3秒間行った。

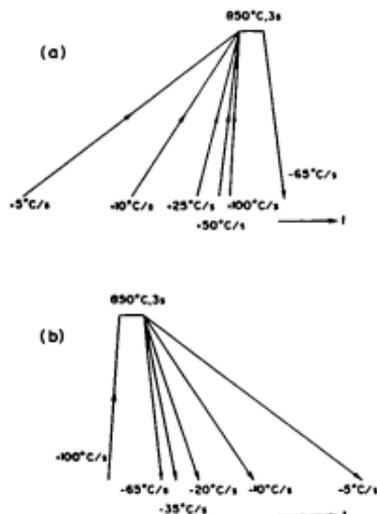


図7-6 昇温速度と降温速度の組合せ

図7-7、7-8に昇温速度および降温速度をそれぞれ変化させたときのDLTSスペクトルを示す。また、それぞれのスペクトルから求めたEN1濃度の昇温速度依存性(実験)、および降温速度依存性(破線)を図7-9に示す。EN1濃度は昇温速度に対して大きな依存性を示し、昇温速度が10°C/秒以下になるとその濃度は著しく減少する。一方、この大きな昇温速度依存性に比較して、EN1濃度の降温速度依存性は小さく、これよりEN1の発生は降温過程とは無関係であることがわかる。すなわち、これらの結果は、EN1の発生が急激な昇温過程に関係していることを示唆している。図7-4において、急激な昇温過程を伴う短時間熱処理を行った試料においても、熱処理時間が25秒の場合にはEN1が検出されないことを示した。これは、EN1がこの試料において発生しなかったためではなく、急激な昇温過程で一旦は生成したEN1欠陥が、次の比較的長い25秒間の熱処理過程の間に回復あるいは拡散により消失してしまったためであると考えられる。

7-2-4 熱処理保護膜依存性

前節までは、いずれも保護膜無し短時間熱処理を行った試料において検出された深い準位の性質について述べてきた。本節では、種々の熱処理保護膜を用いて短時間熱処理を行った試料のDLTSスペクトルについて議論する。用いた保護膜は主としてSiO₂とSi₃N₄であるが、Si₃O₄N₂を用いた結果についても同時に述べる。保護膜の堆積には、第3章で述べた方法を用いた。各保護膜の膜厚は~100nmに固定した。

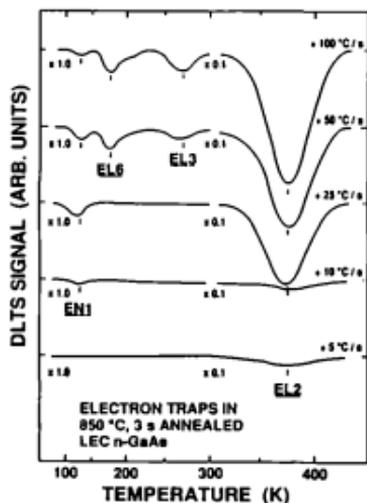


図7-7 DLTSスペクトルの昇温速度依存性

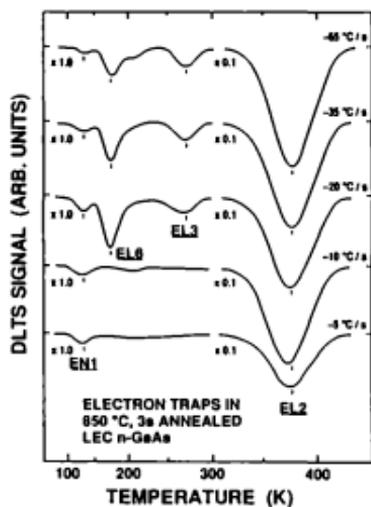


図7-8 DLTSスペクトルの降温速度依存性

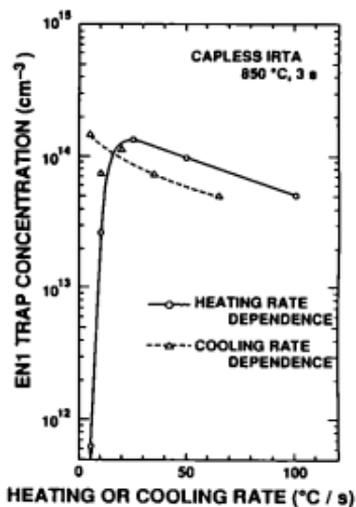


図7-9 EN1トラップ濃度の昇温および降温速度依存性

図7-10にSiO₂保護膜およびSiN_x保護膜を用いて短時間熱処理(850℃、3秒)を行った試料のDLTSスペクトルを示す。基板にはn型LEC GaAsを用いた。昇温速度と降温速度はそれぞれ100℃/秒および-40℃/秒とした。図から明らかなように、

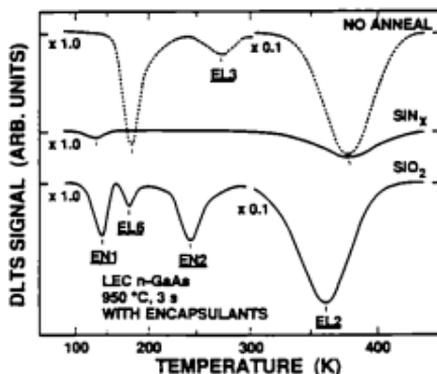


図7-10 DLTSスペクトル(保護膜付き短時間熱処理)

ENIの発生は、 SiO_2 と SiN_x のいずれ保護膜を用いた場合においても認められる。しかし、保護膜に SiN_x を用いた試料におけるENI信号強度は、 SiO_2 保護膜の場合に比べると小さい。保護膜を用いた場合には、950℃の短時間無熱処理でもENIが発生するこの結果は、図7-1に示した950℃の保護膜無し短時間無熱処理の結果（ENIは未発生）とは異なっている。この原因には、①保護膜未使用時のAs蒸発によるENI発生の抑制効果と、②保護膜使用時の保護膜とGaAsとの反応によるENI発生の促進効果、の2通りが考えられる。特に、 SiO_2 保護膜を用いて短時間無熱処理した試料のENI濃度（ $3\sim 4 \times 10^{14} \text{ cm}^{-3}$ ）が、保護膜を用いなかった試料から得られたENI濃度の最大値（ $1\sim 2 \times 10^{14} \text{ cm}^{-3}$ ）に比較して2~3倍大きいことから、②の効果がENI発生に少なからず影響を与えていることがわかる。なお、 SiO_2 保護膜を用いて短時間無熱処理した試料では、245 K付近に別の新たなトラップEN2（ $E_c - 0.63 \text{ eV}$ ）も検出されているが、同じ単位は SiO_2 保護膜を用いた電気炉無熱処理においても検出されていることから（第5章、図5-9参）、EN2の存在と短時間無熱処理との間には直接的な相関はないものと推測できる。

ENIの成因である欠陥が、短時間無熱処理によってGaAs基板中にどのような経路で導入されるのかを調べるために、ENI濃度の深さ方向分布を測定した。トラップ濃度の導出には(5-3)式を用い、この際、深さを変化させるために、逆バイアス電圧とパルス・バイアス電圧の値を種々に変化させた。深さは、この逆バイアスとパルス・バイアス各電圧で決まる空乏層幅の中心として定義した。測定は、 SiO_2 保護膜を用いて短時間無熱処理（950℃、3秒）した試料と、比較のために保護膜を用いずに短時間無熱処理（850℃、6秒）した試料の2通りについて行った。図7-11にそれぞれの結果を示す。いずれの試料にお

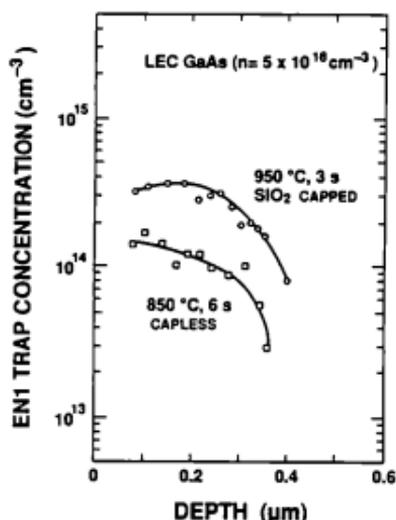


図7-11 ENIトラップ濃度の深さ方向分布

いても、EN1は試料表面側から $\sim 0.4\mu\text{m}$ の範囲のみで検出されている。これから、EN1の成因である欠陥は、短時間熱処理時に基板表面側から導入されたことがわかる。また、いずれの試料でも同様のトラップ濃度分布の形状が得られていることより、トラップ導入の経路は保護膜の有無には関係しないことがわかる。

保護膜を用いた短時間熱処理はn型HBGaAs基板に対しても行い、各試料についてDLTSスペクトルを測定した。ここでは、保護膜として SiO_2 と SiN_x ばかりでなく、種々の組成をもつ SiO_xN_y についても検討した。熱処理条件はn型LEC基板の場合と同じである(950°C、3秒)。図7-12に、得られたDLTSスペクトルを示す。n型H

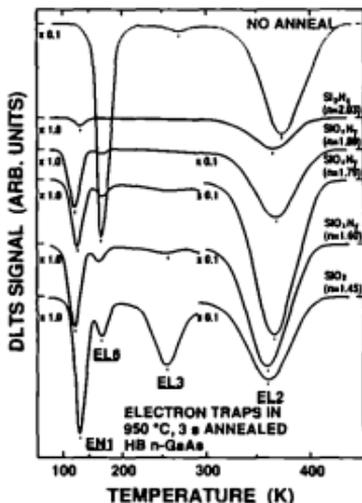


図7-12 DLTSスペクトルの保護膜屈折率依存性 (HB基板)

B基板の保護膜付き短時間熱処理においてもEN1の発生が認められており、EN1の発生が基板の種類には依存しないことがわかる。EN1とEL2各単位について、(5-3)式から求めたトラップ濃度の保護膜屈折率依存性を図7-13に示す。EN1とEL2各トラップ濃度は、いずれも屈折率1.7~1.8付近で最大値をとり、屈折率2.0(SiN_x に対応)に近づくにつれて急激に減少する。n型HB基板での最大EN1濃度は $1 \times 10^{16} \text{cm}^{-3}$ を超えており、この値はn型LEC基板での最大濃度 $3 \sim 4 \times 10^{14} \text{cm}^{-3}$ に比べて約3倍大きい。これより、EN1はLEC基板よりHB基板の方で顕著に生じることがわかり、これは未熱処理時のHB基板に含まれていた結晶欠陥あるいは不純物が、EN1の成因と関係が深いことを示している。また、図7-13においても、EN1濃度とEL2濃度との間に正の相関が認められる(同様の相関は図7-3、7-5においても認められた)。これからも、EN1がEL2と同様の結晶欠陥をその成因として含んでいることが推測される。

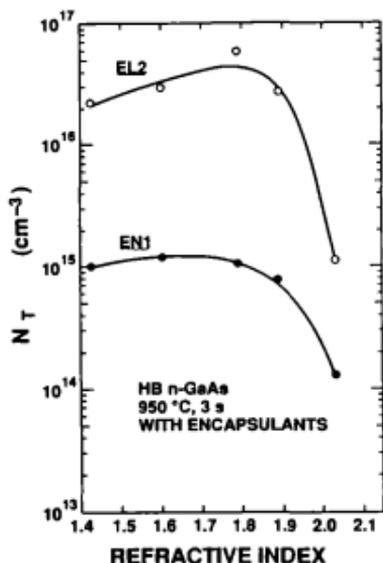


図7-13 EN1とEL2各トラップ濃度の保護膜屈折率依存性

7-2-5 考察

半導体中における深い準位の成因は、一般に、遷移金属などの不純物や結晶欠陥の存在に関係していると考えられている。EN1準位については、未熱処理基板や電気炉熱処理を行った基板中からはEN1が検出されなかったことから、その成因が遷移金属などの不純物に基づくとするよりは、短時間熱処理に伴う結晶欠陥の生成に関係していると考えの方が妥当である。また、EN1の生成が800℃以上の短時間熱処理に限られ(図7-3参)、しかもその生成領域が基板表面付近 $\sim 0.4 \mu\text{m}$ に限られた(図7-11参)実験結果を考慮すると、EN1の成因である結晶欠陥は、Asの選択的な蒸発に関連して導入されたと考えるのが妥当である。Asの蒸発によって生成する欠陥としては、As空孔(V_{As})ばかりでなく、Asが結晶内を移動する過程で生じる過剰As(As_i)も無視できない。しかし、これらのAs原子に関与した点欠陥そのものが、EN1の成因であると考えするには少し無理がある。なぜなら、高温あるいは長時間の保護膜無し短時間熱処理によって、EN1の発生が認められなくなる実験結果(図7-1、7-4参)が、このモデルによっては説明できないからである。また、未熱処理や電気炉熱処理した試料においてEN1が全く検出されなかった実験事実も、 V_{As} や As_i がEN1の成因であるとするモデルに矛盾している。なぜなら、未熱処理や電気炉熱処理した試料中でこのような単純な点欠陥が全く検出されないとする仮定が、実際には考え難

いからである。したがって、EN1の成因としては、単純な点欠陥ではなく何らかの複合欠陥を対応させるのが妥当であると考えられる。

短時間熱処理に伴うAsの蒸発は、As格子位置にあるAs原子(A_{As})の反応として次式のように記述できる。



ここで、A_{S_{As}}は熱処理により基板表面から蒸発したAs原子を表わす。(7-1)式は、格子位置のAsがV_{As}を作ってそのまま基板表面から失われる場合の反応式であり、(7-2)式は、蒸発する過程でAsが基板内を移動している途中の反応式に対応する。言い換えれば、(7-2)式で表わされる反応の究極の形態が(7-1)式であるとも考えることもできる。ここで、短時間熱処理と電気炉熱処理の違いを考えると、(7-2)式で表わされるAs蒸発の過渡的反応の割合が、(7-1)式で表わされる反応に比べて大きいのが短時間熱処理の特徴であると考えられる。

(7-1)および(7-2)式の反応によって生成する点欠陥と、GaAs中に元々存在する点欠陥、および基板構成原子の3者間での可能な二次反応を検討することにより、EN1の成因となる複合欠陥生成の可能性を考察することができる。基板中に元々存在する主要な点欠陥としては、EL2の成因としてしばしば引用されるAsアンチサイト(A_{S_{As}})²⁾を仮定する。このとき、短時間熱処理に伴うすべての可能な二次反応は、次に示す4つの反応式で表わされる。



(7-3)式は、(7-1)あるいは(7-2)式の反応により生成したV_{As}と基板構成Ga原子との反応を表わしており、結果としてGa_{As}アンチサイト欠陥とGa空孔(V_{As})が生成される。V_{As}とA_{S_{As}}アンチサイト欠陥の間には次に示す2通りの反応が考えられる。

(7-4)式はV_{As}A_{S_{As}}複合欠陥が生成される反応に対応し、(7-5)式は基板構成As原子とV_{As}が生成される場合に対応する。(7-8)式は、(7-2)式の反応により生成したA_{Si}と基板構成Ga原子との反応を表わしており、結果としてA_{S_{As}}アンチサイト欠陥と過剰Ga(Ga_i)が生成される。(7-8)式において、過剰As(A_{Si})の存在が、A_{S_{As}}アンチサイト欠陥を生成する事実には注意すべきである。ここで生成されたA_{S_{As}}アンチサイト欠陥は、三次反応として(7-4)および(7-5)式で表わされる反応を促進す

るの言うまでもない。一方、EN1の成因を考察する上で、(7-3)および(7-5)式の反応により生成する V_{0s} の影響は無視して差し支えない。なぜなら、 V_{0s} はSiO₂保護膜を用いた電気炉熱処理により多量に生成される結晶欠陥であるにも拘らず、これらの試料からはEN1が全く検出されなかったからである。

EN1単位に関して既に述べたいくつかの実験事実は、(7-4)式の反応によって生成される $V_{0s}A_{0s}$ 複合欠陥が、EN1の成因であると考えられることによってうまく説明することができる。第1に、EN1が常にEL2の存在下で検出され、しかも両トラップ濃度の変化の傾向が互いに類似していた実験事実(図7-3、7-5、7-13参)が、(7-4)式で表わされる反応を考えることによって理解できることである。 $V_{0s}A_{0s}$ 複合欠陥が A_{0s} アンチサイト欠陥を消費することによって生成される(7-4)式の反応は、一見したところ、EN1($V_{0s}A_{0s}$)とEL2(A_{0s})が共存する実験結果に矛盾するように見える。しかし、生成されるEN1濃度に比較して、測定されたEL2濃度が常に1桁から2桁高いことを考慮すると、(7-4)式で表わされるEN1($V_{0s}A_{0s}$)の生成に伴うEL2(A_{0s})濃度の減少分は問題にはならず、むしろ(7-4)式の右方向への反応速度が、EL2(A_{0s})濃度によって支配されていると考えの方が妥当であることがわかる。第2に、EN1が短時間熱処理に固有に発生するトラップであることが、(7-2)、(7-4)および(7-6)各式を通じて説明できることである。すなわち、短時間熱処理の特徴が(7-2)式で表わされる過剰As(A_{Si})の生成にあることは既に述べたが、この A_{Si} の存在が(7-6)式を通じて A_{0s} アンチサイト欠陥の生成を促し、さらにこの A_{0s} の存在が(7-4)式を通じてEN1($V_{0s}A_{0s}$)の生成につながるからである。第3の理由としては、測定されたEN1濃度がせいぜい 10^{15} cm^{-3} 程度であり、EN1が単純な点欠陥に起因するものとするには少し濃度が低過ぎることが挙げられる。

いずれにしても、以上の考察は簡単なモデルに基いたものであり、例えば①電気炉熱処理では本当に生成されないのか、あるいは、②LEC基板とHB基板とでの発生量の違い、などの疑問に関しては、以上のモデルによって十分な説明が与えられるには至っていない。さらに議論を進めるためには、尚一層の詳細な実験に加えて、GaAs中に生成する欠陥単位に関する理論的な考察手法が重要となるものと考えられる。

7-3 まとめ

本章では、短時間熱処理を行ったn型バルクGaAs基板中に存在する深い単位を容量DLTS法を用いて評価した結果について述べた。短時間熱処理時のパラメータとしては、熱処理温度、熱処理時間、昇温および降温速度、ならびに熱処理保護膜を検討し、それぞれのパラメータを独立に変化させたときに生成あるいは消滅する深い単位の評価を行った。その結果、800℃以上の短時間熱処理を行ったGaAs試料では、活性化エネルギー0.20eV、電子捕獲断面積 $5.4 \times 10^{-18} \text{ cm}^2$ をもつ電子トラップ(EN1)が発生することが示された。このトラップの生成は、短時間熱処理における急速な(10℃/秒以上)昇温過程と密接な関係にあることが明らかとなった。また、未熱処理あるいは電気炉熱処理を行った試料からのEN1の発生は全く認められなかった。さらに、熱処理温度、熱処理時間、および保

覆膜付き熱処理時の保護膜組成の変化に対して、このENIと基板内の主要トラップであるEL2は類似のトラップ濃度変化を示すことが明らかとなった。以上の実験結果をもとに、短時間熱処理によって導入される結晶欠陥の生成過程およびその成因を考察した。その結果、ENIの成因がAs空孔とAsアンチサイト欠陥の複合体($V_{As}As_{Se}$)に関係している可能性を指摘した。なお、短時間熱処理によって発生するENI濃度は最大でも $1 \times 10^{16} \text{ cm}^{-3}$ 程度（この値はHB基板における値であり、LEC基板では $4 \times 10^{14} \text{ cm}^{-3}$ 程度に減少する）であることが明らかとなり、短時間熱処理法をGaAsMESFETの製造プロセスとして用いる限りにおいては、ENIの生成に基づくデバイス特性への悪影響は殆ど問題にしないことが結論された。

参考文献

- 1) G.M.Martin, A.Mitonneau, and A.Mircea, *Electronics Lett.*, **13**, 191 (1977).
- 2) Y.Zohta and M.O.Watanabe, *J.Appl.Phys.*, **53**, 1809 (1982).
- 3) J.Lagowski, H.C.Gatos, J.M.Parsev, K.Wada, M.Kaminska, and W.Walukiewicz, *Appl.Phys.Lett.*, **40**, 342 (1982).
- 4) M.Taniguchi and T.Ikoma, *Appl.Phys.Lett.*, **45**, 69 (1984).
- 5) S.Makram-Ebeid, D.Gautard, P.Devillard, and G.M.Martin, *Appl.Phys.Lett.*, **40**, 161 (1982).
- 6) F.Hasegawa, M.Yamamoto, and Y.Nannichi, *Appl.Phys.Lett.*, **45**, 461 (1984).
- 7) Y.Yuba, K.Gamo, K.Murakami, and S.Namba, *Appl.Phys.Lett.*, **35**, 156 (1979).

第8章 短時間熱処理による高濃度n型GaAs層の形成

8-1 序

イオン注入技術を用いた高濃度のn型GaAs層の形成は、GaAsMESFETやAlGaAs/GaAsヘテロ接合FETのソースおよびドレイン領域におけるオーム性接触抵抗やバルクの寄生抵抗を低減するための重要な技術である。しかしながら、本論文においても既に幾度か指摘してきたように、一般に、 $2 \times 10^{18} \text{ cm}^{-3}$ を越える高濃度n型GaAs層をイオン注入によって形成することは困難とされてきた。高濃度n型層の形成が困難となる原因としては、イオン注入量が多くなると注入時に誘起された結晶損傷を熱処理によって回復させることが困難となること、およびSiに代表されるIV族両性不純物の場合には注入不純物濃度の増加とともにキャリアの自己補償効果が顕著になること、などが挙げられる。

注入損傷の回復の程度は熱処理温度に強く依存し、一般に熱処理温度が高くなるほど良好な注入損傷の回復が得られる。したがって、S、SeなどのVI族不純物に対しては、単純に熱処理温度を高くすることにより高濃度のn型層が形成できることが予想される。しかし、熱処理温度が高くなった場合には熱処理時の不純物拡散の影響が問題となるため、熱処理方法としては短時間熱処理法が有利となる。

一方、IV族不純物の場合には、熱処理温度を高くすると同時に、不純物のV族原子(As)格子位置への置換(アクセプタ生成)に伴うキャリア補償の影響を最少限に抑えることが重要となる。また、VI族不純物の場合と同様に不純物の拡散についても注意する必要がある。以上の条件を満足させるためには、熱処理時の結晶の化学量論的組成をV族原子過剰状態に保ちつつ、短時間熱処理法を用いて高温かつ短時間の熱処理を行えばよいことがわかる。

本章では、短時間熱処理法を用いた高濃度n型GaAs層の形成について述べる。n型不純物としてはVI族不純物であるSとIV族不純物であるSiおよびSnの3種類について検討する。IV族不純物におけるキャリア補償の影響を抑える方法としては、 SiO_xN_y 保護膜の使用が有効なることを明らかにする。 SiO_xN_y 保護膜を用いた短時間熱処理により、SiおよびSnのいずれの注入層においても、従来報告されている最高の値より高い電子濃度が得られることを示す。最後に、得られた高濃度n型GaAs層の応用として、ノノアロイ抵抗性接触の形成を試み、本研究の方法により 10^{18} cm^{-3} に迫る高濃度n型層が実際に形成されていることを確認する。

8-2 Siイオン注入GaAsの短時間保護膜無し熱処理

第8章において、 10^{17} cm^{-3} 程度のn型GaAs動作層を形成する場合には、保護膜無し短時間熱処理が適用できる900~950℃程度の熱処理温度においても、70%を越える高い活性化率が得られることを示した。しかし、注入量が増加すると一般に活性化率は逆に減少し、得られる最高電子濃度が次第に飽和することが知られている。ここでは、950℃の保護膜無し短時間熱処理を用いて得られる高ドーズ($> 10^{18} \text{ cm}^{-2}$)Siイオン注入層の電気的特性について論じる。

試料には、Cr添加の(100)半絶縁性HB基板に、 $^{28}\text{Si}^+$ を150keVで $10^{13} \sim 10^{14} \text{ cm}^{-2}$ 注入したものを用いた。短時間熱処理は950°Cで2秒間、保護膜を用いずに行った。比較のために、 SiN_x 保護膜(～90nm厚)を用いた850°C、15分間の電気炉熱処理も同時に行った。

図8-1にHall測定から求めたシート電子濃度のドーズ量依存性を示す。ドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ までは、950°Cの保護膜無し短時間熱処理によっても50%程度の活性化率が得られている。しかし、ドーズ量が $5 \times 10^{13} \text{ cm}^{-2}$ を越えると、得られるシート電子濃度が $2.2 \times 10^{13} \text{ cm}^{-2}$ 付近で飽和し始め活性化率は急激に減少する。850°Cの電気炉熱処理に対してもほぼ同様の傾向がみられるが、得られるシート電子濃度は短時間熱処理に

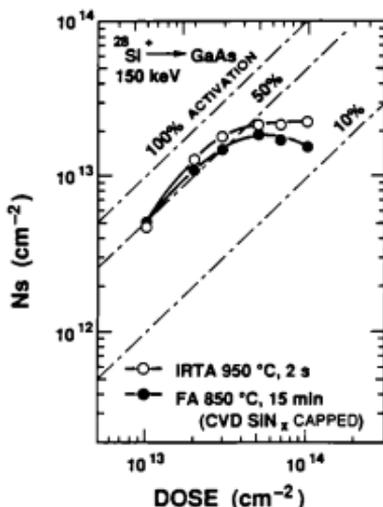


図8-1 シート電子濃度のドーズ量依存性 ($^{28}\text{Si}^+$ 注入)

比べると僅かに小さく、最大でも $1.9 \times 10^{13} \text{ cm}^{-2}$ である。図8-2にシート移動度のドーズ量依存性を示す。シート移動度は、いずれの熱処理に対してもドーズ量の増加とともに減少傾向を示す。しかし、シート電子濃度が最大となるドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ 以上の領域では、短時間熱処理の方が移動度の低下が顕著となる。したがって、ドーズ量が 5×10^{13} から $1 \times 10^{14} \text{ cm}^{-2}$ に増加したときのシート抵抗の変化は、電気炉熱処理ではシート電子濃度の低下(図8-1参)を反映して $125 \Omega/\square$ から $171 \Omega/\square$ に増加するのに対して、短時間熱処理では図8-2に示した移動度の低下を反映してやはり $122 \Omega/\square$ から $141 \Omega/\square$ に増加する。すなわち、850°Cの短時間熱処理では、高ドーズ注入になると注入損傷の回復が不十分となり、移動度の低下を招くことがわかる。

図8-3に微分Hall測定から求めたSiイオン注入層(150keV、 $5 \times 10^{13} \text{ c}$

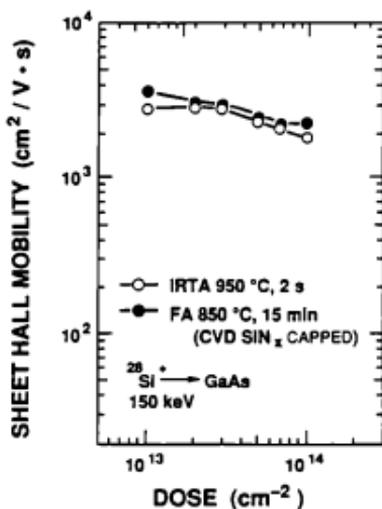


図8-2 シート移動度のドーズ量依存性 (^{28}Si 注入)

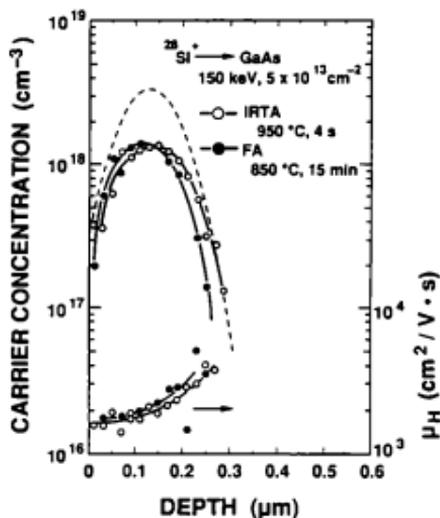


図8-3 電子濃度分布の比較

m^{-2})の電子濃度分布を示す。短時間熱処理と電気炉熱処理の間では電子濃度分布に殆ど有意な差は認められず、少なくともドーソ量 $5 \times 10^{13} \text{ cm}^{-2}$ 程度のSiイオン注入層の活性化に対しては、電気炉熱処理を用いた場合においてもSi不純物の拡散の影響が殆ど無視できることがわかる。したがって、このドーソ領域のSiイオン注入層の熱処理では、不純物拡散の観点から特に短時間熱処理を用いる必要はない。得られた最高電子濃度は、短時間熱処理および電気炉熱処理を行ったいずれの試料においても $\sim 1.3 \times 10^{18} \text{ cm}^{-2}$ であった。しかし、短時間熱処理を行った試料の方が平均投影飛程(R_p)より深い領域の活性化率が高いために、電気炉熱処理を行った試料に比べて僅かに深い電子濃度分布が形成されており、この差が図8-1に示した両試料のシート電子濃度の僅かな差(短時間熱処理: $2.2 \times 10^{13} \text{ cm}^{-2}$ 、電気炉熱処理: $1.8 \times 10^{13} \text{ cm}^{-2}$)となって表れたものと考えられる。

以上の結果より、850℃の保護膜無し短時間熱処理を用いて比較的良好に活性化できるSi注入層の最高ドーソ量は $5 \times 10^{13} \text{ cm}^{-2}$ 程度であり、さらに高いドーソ領域では、移動度の顕著な低下のために得られるシート抵抗が逆に増加することが明らかとなった。また、この結果は850℃の電気炉熱処理に対してもほぼ同様に当てはまる。したがって、さらに高いドーソ量に対しても良好な結果を得るためには、さらに熱処理温度を増加させる必要がある。短時間熱処理においては、外部からAs圧を印加しない限り850℃以上の保護膜無し熱処理を実現することは困難であるため、さらに高いドーソ領域の活性化には、保護膜を用いた高温の短時間熱処理が有効となる(8-4節参)。

8-3 Siイオン注入GaAsの短時間保護膜無し熱処理

SはSiと類似の質量数をもつVI族不純物であり、高濃度n型GaAs層の形成を目的としてSiイオン注入は従来からもしばしば検討されてきた¹⁻⁶⁾。しかし、SはSiに比べるとGaAs中での拡散係数が比較的大きな不純物であるため、電気炉熱処理が主に用いられてきた従来報告においては、活性化特性が熱処理時のS原子の再分布に大きく左右されることが指摘されてきた。したがって、実現可能な最高電子濃度も従来報告では $2.5 \times 10^{18} \text{ cm}^{-2}$ 程度に抑えられていた⁶⁾。ここでは、熱処理時のS原子の拡散を抑制することによる高濃度n型層形成の可能性を追求する目的で、Siイオン注入GaAs層の短時間熱処理を検討した。実験にはHB法によるCr添加(100)半絶縁性GaAs基板を用い、³²Siイオンはすべて加速エネルギー150keVで室温で注入した。短時間熱処理はすべて保護膜を用いずに行い、比較のための電気炉熱処理は100nm厚のSiN_x保護膜を用いて850℃、15分の条件で行った。

図8-4に得られたシート電子濃度のドーソ量依存性を示す。短時間熱処理条件は、850および1000℃で各2秒とした。今回検討した 1×10^{13} から $1 \times 10^{14} \text{ cm}^{-2}$ に互るドーソ量の範囲では、850℃あるいは1000℃の短時間熱処理を用いることにより電気炉熱処理に比べて高いシート電子濃度(活性化率)が得られた。特に1000℃の短時間熱処理においては、検討したすべてのドーソに対して50%を超える比較的大きな活性化率が得られた。このとき得られた最大の活性化率は、ドーソ量 $5 \times 10^{13} \text{ cm}^{-2}$ において78%に及んでいる。同じ試料に対するシート抵抗のドーソ量依存性を図8-5に示す。850℃の

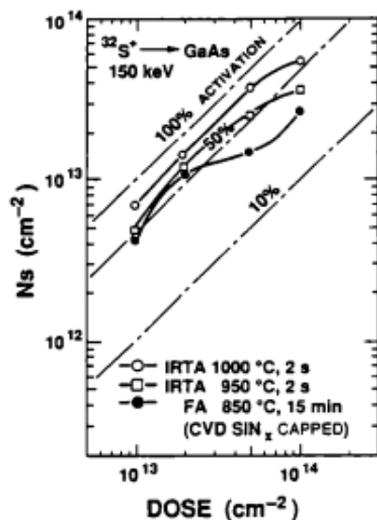


図8-4 シート電子濃度のドーズ量依存性 ($^{32}\text{S}^+$ 注入)

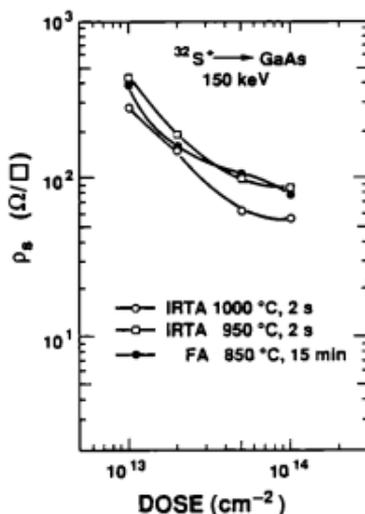


図8-5 シート抵抗のドーズ量依存性 ($^{32}\text{S}^+$ 注入)

短時間熱処理と電気炉熱処理を比較すると、活性化率は短時間熱処理を用いた場合の方が大きいにも拘らず、シート抵抗はドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ を除いて電気炉熱処理を用いた場合の方が低くなっている。この結果は、電気炉熱処理した試料において短時間熱処理の場合に比べてより高い移動度が得られていることを示している。電気炉熱処理によって高い移動度が得られたのは、結晶欠陥の生成やその回復の機構が電気炉熱処理と短時間熱処理の間で異なるためではなく、後述するように、電気炉熱処理ではS原子の拡散により体積電子濃度が短時間熱処理に比べて著しく減少し、イオン化不純物散乱による移動度の低下が緩和されたためである。一方、1000℃で短時間熱処理を行った試料においては、いずれのドーズ量においても電気炉熱処理より低いシート抵抗が得られており、高活性化率の実現と併せて電気炉熱処理に対する短時間熱処理の優位性が示されている。本実験で得られた最小シート抵抗は、1000℃の短時間熱処理および電気炉熱処理に対してそれぞれ54および76Ω/□であった。

次に短時間熱処理法を用いて活性化したSイオン注入層の電子濃度分布を測定し、S不純物の活性化の機構について考察する。図8-6はSイオンを $3 \times 10^{13} \text{ cm}^{-2}$ 注入した試料について、750、900、1000℃で各2秒間の短時間熱処理を行ったときの微分Ha1測定から求めた電子濃度分布を示したものである。熱処理温度750℃では、表面から約

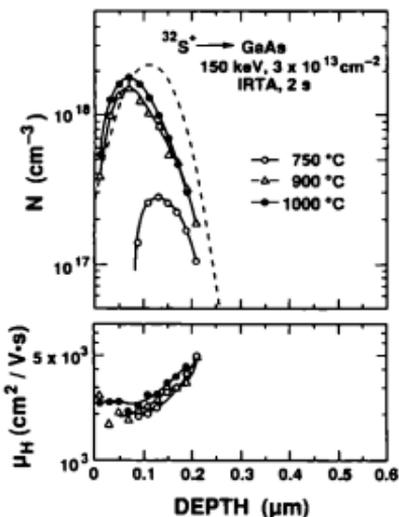


図8-6 電子濃度の深さ方向分布 ($^{32}\text{S}^+$: $3 \times 10^{13} \text{ cm}^{-2}$)

0.1 μmに互ってキャリアの存在が認められず、初期の活性化が注入層の深い領域から生じることが理解できる。これは、イオン注入に伴う結晶損傷の回復が、イオン注入層の深い領域から起こることを示している。一方、熱処理温度が900および1000℃になると、基板表面側においても活性化が認められており、電子濃度が最大になる深さはLSS理論分布か

ら予測される深さに比べてかなり表面側にずれている。これは、これらの試料においてS原子の外部拡散が生じていることを示すものであるが、基板内部へのキャリアの拡散は少なく、電子濃度分布の形状はガウス分布に近いものが得られている。 $3 \times 10^{13} \text{ cm}^{-2}$ 注入した試料において得られた最高電子濃度は $\sim 2 \times 10^{18} \text{ cm}^{-3}$ であった。

ドーズ量が $5 \times 10^{13} \text{ cm}^{-2}$ に増加した試料に対して、950℃と1000℃で各2秒の短時間熱処理、および850℃での電気炉熱処理を行った場合のそれぞれの電子濃度分布を図8-7に示す。ドーズ量が $5 \times 10^{13} \text{ cm}^{-2}$ になると、短時間熱処理と電気炉熱処理を行ったはず

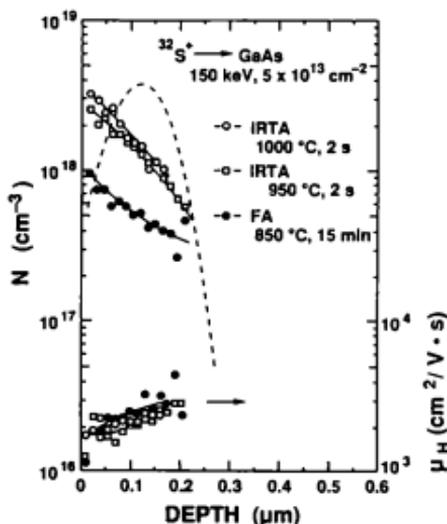


図8-7 電子濃度の深さ方向分布 ($^{32}\text{S}^+ : 5 \times 10^{13} \text{ cm}^{-2}$)

れの試料においても、電子濃度分布は表面寄りを伴った傾斜状の分布となる。このような電子濃度分布を示す試料では、不純物の外部拡散（表面側への拡散）と内部拡散（基板内部側への拡散）の両方が顕著に生じているものと考えられる。しかし、少なくとも内部拡散については、電気炉熱処理を用いた場合に比べて短時間熱処理を用いることによりその影響が少なく抑えられていることがわかる。1000℃での短時間熱処理により、最高電子濃度 $\sim 3 \times 10^{18} \text{ cm}^{-3}$ が基板表面近傍において得られた。

図8-8にドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ の場合の短時間熱処理（1000℃、2秒）と電気炉熱処理（850℃、15分）による各電子濃度分布を比較して示す。深さ $\sim 0.3 \mu\text{m}$ において、電子濃度分布を示す2本の曲線は交差しており、短時間熱処理の使用により高い活性化率と同時にS原子の内部拡散が大幅に低減できることが示されている。短時間熱処理を行った試料の表面近傍において、Sイオン注入層における従来最高値を遙かに越える $\sim 5 \times 10^{18} \text{ cm}^{-3}$ に及ぶ高い電子濃度領域が形成されている。

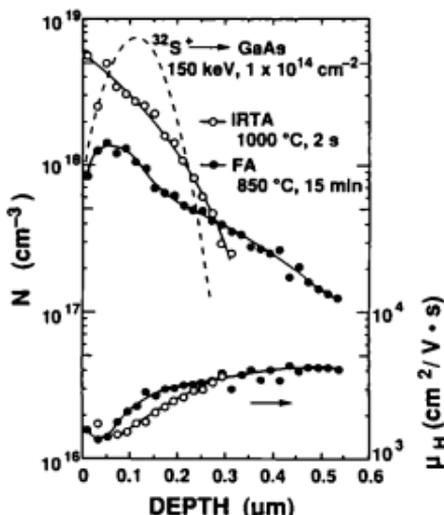


図8-8 電子濃度の深さ方向分布 ($^{32}\text{S}^+ : 1 \times 10^{14} \text{ cm}^{-2}$)

図8-6、8-7、および8-8の結果をまとめると、短時間熱処理した150 keVのSイオン注入層においては、ドーズ量が $3 \sim 5 \times 10^{13} \text{ cm}^{-2}$ より高くなるとS原子の外部拡散の程度が顕著となるため、得られる電子濃度分布の形状がガウス型から表面蓄積傾斜型に移行することがわかる。この電子濃度分布の変化は、①イオン注入によって導入された結晶損傷が熱処理により回復する過程と、②この結晶損傷の存在により促進されるS原子の異常拡散の2つの現象により支配されているものと考えられる。この場合、結晶損傷の程度が比較的小さい場合には、結晶損傷の回復速度がS原子の拡散速度を上回るため、得られる電子濃度分布の形状は比較的S原子の再分布の影響の少ないガウス型となる。図8-6に示したドーズ量 $3 \times 10^{13} \text{ cm}^{-2}$ の結果はこの場合に対応する。一方、ドーズ量が増加して注入に伴う結晶損傷の回復速度が速くなると、結晶損傷に促進されてS原子が異常拡散を起こし、ガウス型とは大きく異なる傾斜型の電子濃度分布を形成する(図8-7、8-8参)。この場合に基板表面の電子濃度が高くなる原因の一つとして、イオン注入に伴う基板深さ方向の化学量論的組成の揺らぎ(stoichiometric disturbances; 第1章、図1-2参)⁷⁾の影響により基板表面近傍に多量の空格子点が生じ、S原子の活性化が促進される可能性が指摘できる。

本実験の結果から、比較的拡散係数の大きなS不純物の活性化においては、たとえ短時間熱処理を用いた場合においても、不純物の再分布は完全には抑えきれないことが明らかとなった。しかし、得られた結果を従来の電気炉熱処理を用いた結果と比較すると、不純物の再分布の抑制効果において両者の間には著しい差が認められ、残って高濃度なn型層の形成には短時間熱処理が不可欠であると結論できる。

また、n型コンタクト層への応用を考えた場合には、図8-7、8-8で得られた表面層型の電子濃度分布は、接触抵抗を低くする上で有利となることが予想される。表8-1にTLM (transmission line method)⁸⁾から求めた接触抵抗の測定値を示す。電極材料にはNi/AuGeを用い、低抵抗接触の熱処理はH₂雰囲気中420℃で行った。接触抵抗は、電子濃度分布がガス型であるドーズ量 $3 \times 10^{13} \text{ cm}^{-2}$ では0.20 $\Omega \cdot \text{mm}$ であるのに対し、電子濃度分布が表面層型となるドーズ量 5×10^{13} および $1 \times 10^{14} \text{ cm}^{-2}$ ではそれぞれ0.16および0.15 $\Omega \cdot \text{mm}$ となり、表面層型の電子濃度分布をもつコンタクト層が低接触抵抗の形成に有利であることが確認された。

表8-1 Siイオン注入層への抵抗性接触抵抗のまとめ

ドーズ量 (cm^{-2})	エネルギー (keV)	接触抵抗 ($\Omega \cdot \text{mm}$)	シート抵抗 (Ω/\square)
3×10^{13}	150	0.20	91
5×10^{13}	150	0.16	87
1×10^{14}	150	0.15	81
3×10^{14}	150	0.26	63

8-4 Siイオン注入GaAsの短時間保護膜付き熱処理

Siイオン高濃度注入層の活性化については、950℃の短時間保護膜無し熱処理により電気炉熱処理の場合と同等の活性化特性が得られることを8-2節において議論した。さらに高い活性化率および電子濃度を得るためには、適当な保護膜材料を検討して短時間熱処理の高熱処理温度化を図る必要がある。ここでは、保護膜を用いた高濃度Siイオン注入層の短時間熱処理について述べる。

第4章において、屈折率1.75をもつSiO₂N_xを熱処理保護膜に用いることにより、電気炉熱処理したSiイオン注入GaAs層の活性化率が飛躍的に改善できることを指摘した。ここでは短時間熱処理を用いた場合について同様の検討を行う。実験には、Cr添加(0.2~0.5 wt. ppm)の(100)半絶縁性LEC基板を用い、²⁸Siイオンを150 keVで 7×10^{13} および $1.4 \times 10^{14} \text{ cm}^{-2}$ の各条件で注入した。熱処理保護膜の被着条件は第3章に示した通りであり、いずれの屈折率をもつ保護膜についても膜厚は約90 nmに固定した。短時間熱処理は、保護膜の付いたGaAsイオン注入面を2インチ径のSi基板面上に密着させて1050℃で4秒間行った。図8-9に活性化率の膜屈折率依存性を示す。いずれのドーズ量に対しても、屈折率が1.7~1.8の間で活性化率は最大となり、電気炉熱処理と同様に短時間熱処理においてもSiO₂N_x保護膜熱処理が有効であることがわかる。活性化率の変化に比較すると、シート移動度には殆ど屈折率依存性が認められず、活性化率の変化が主としてSi不純物の両極性に伴うキャリア補償により支配されていることが

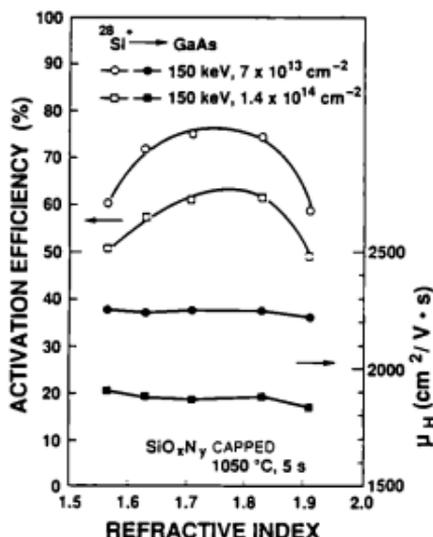


図8-9 活性化率の保護膜屈折率依存性

わかる。

150 keV、 $7 \times 10^{13} \text{ cm}^{-2}$ のSiイオン注入層に対して、屈折率 ~ 1.75 をもつ SiO_xN_y 保護膜を用いて4秒間の短時間熱処理を行ったときの、活性化率およびシート移動度の熱処理温度依存性を図8-10(a)および(b)にそれぞれ示す。比較のために、 SiO_2 保護膜(屈折率:1.46)および SiN_x 保護膜(屈折率:2.03)を用いたときの結果も同時に示した。いずれの保護膜を用いた場合においても、活性化率は熱処理温度の増加とともに増加することがわかる(SiO_2 保護膜を用いた1100℃の熱処理で活性化率が急激に低下しているのは、熱処理により SiO_2 膜が破壊したためにGaAs基板からのAsの蒸発が顕著になったためである)。特に、 SiO_xN_y 保護膜を用いた試料での1000℃以上の熱処理温度における活性化率の改善度は著しく、950℃から1050℃の間で活性化率は2倍以上(37% \rightarrow 77%)に増加する。同様の傾向は注入量 $1.4 \times 10^{14} \text{ cm}^{-2}$ をもつ試料に対しても認められた。図8-11は、高活性化率が得られた各ドースの試料について、微分Hall測定から求めた電子濃度分布を示したものである。 $7 \times 10^{13} \text{ cm}^{-2}$ および $1.4 \times 10^{14} \text{ cm}^{-2}$ の各ドースに対して、それぞれ $3 \times 10^{18} \text{ cm}^{-3}$ および $5.5 \times 10^{18} \text{ cm}^{-3}$ におよぶ高い電子濃度を得られている。これらの結果から、 SiO_xN_y 保護膜熱処理により得られた高活性化率が不純物の拡散を伴わないSiイオンの正常な活性化により実現されていることが確認できる。

高濃度Siイオン注入層の活性化率に与える熱処理温度と熱処理時間の影響を分離して調べる目的で、熱処理温度と熱処理時間のいくつかの組合せで熱処理した試料(150 keV、

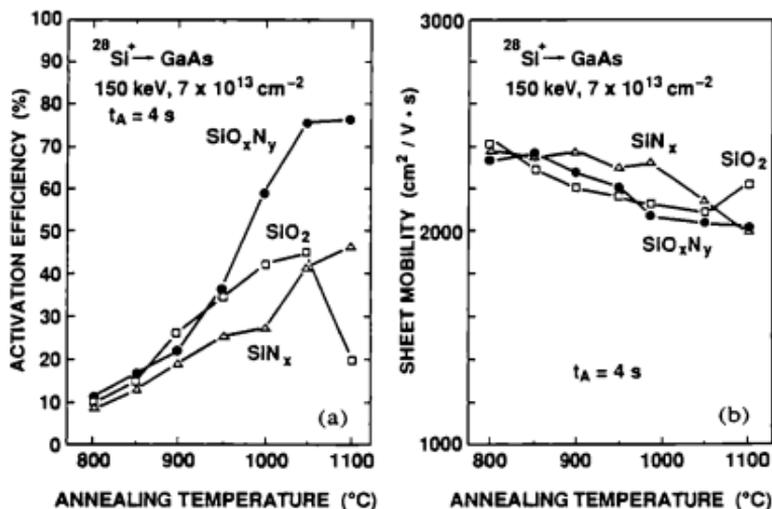


図8-10 活性化率 (a) およびシート移動度 (b) の熱処理温度依存性

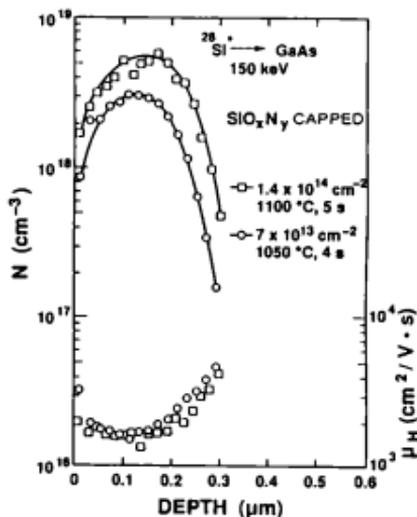


図8-11 電子濃度の深さ方向分布

1. $4 \times 10^{14} \text{ cm}^{-2}$ の電気的特性を比較した。熱処理条件としては、高温短時間と低温長時間（電気炉熱処理に対応）およびこれらの中間的条件の3通りについて検討した。熱処理保護膜には、すべて屈折率 ~ 1.75 をもつ SiO_xN_y 保護膜を使用した。結果を表8-2にまとめる。表から明らかなように、熱処理を高温短時間で行った試料の活性化率は他の

表8-2 Hall測定結果のまとめ (150 keV , $1.4 \times 10^{14} \text{ cm}^{-2}$)

温度 ($^{\circ}\text{C}$)	時間 (s)	シート電子濃度 (10^{13} cm^{-2})	シート移動度 ($\text{cm}^2/\text{V}\cdot\text{s}$)	シート抵抗 (Ω/\square)
1050	5	9.6	1940	34
1100	5	10.0	1910	33
950	20	8.2	1890	40
1000	20	8.1	1910	40
850	900	8.1	2010	51

条件で熱処理したいずれの活性化率よりも高い。これから、高ドーズ注入したSiイオンの活性化率は主に熱処理温度によって支配されており、この熱処理温度の効果に比べると熱処理時間の増加に伴う活性化率の改善度は少ないことがわかる。

さらに高いドーズ ($4\sim 6 \times 10^{14} \text{ cm}^{-2}$) をもつSiイオン注入層についても、同様に SiO_xN_y 保護膜を用いた短時間熱処理を検討した。高い活性化率を得るために、試料の熱処理はすべて高温短時間の条件 ($1080\sim 1140^{\circ}\text{C}$, $3\sim 5$ 秒)で行った。Hall測定から得られた今回の結果、および従来報告されている最高データ^{9,10)}を表8-3にまとめて示す。今回の実験により得られた最高のシート電子濃度は $2 \times 10^{14} \text{ cm}^{-2}$ であり、この値はDavies等⁹⁾が報告している従来の最高値と同じである。しかし、対応するシート移動度

表8-3 高ドーズSiイオン注入層のHall測定結果のまとめ

保護膜	エネルギー (keV)	ドーズ量 (cm^{-2})	温度 ($^{\circ}\text{C}$)	時間 (s)	N_s (10^{14} cm^{-2})	μ_s ($\text{cm}^2/\text{V}\cdot\text{s}$)	R_s (Ω/\square)
SiO_xN_y	150	4	1120	5	1.7	1480	25
SiO_xN_y	200	4	1100	3	1.4	1810	25
SiO_xN_y	200	5	1140	5	2.0	1520	21
SiO_xN_y	200	6	1080	5	2.0	1630	20
SiN_x ^(a)	200	4	1000	2.5	2.0	1320	24
SiO_2 ^(b)	200	4	1160	3	1.3	1500	35

(a) data by Davies et al.⁹⁾

(b) data by Tabatabaie et al.¹⁰⁾

は今回得られた値の方が従来値よりも大きく、したがって、シート抵抗としては今回得られた $20 \sim 21 \Omega/\square$ の方が小さくなっている。図8-12に試料NK1 (150 keV, $4 \times 10^{14} \text{ cm}^{-2}$)の電子濃度分布を示す。電子濃度分布のLSS理論分布からの広がりや歪みは殆ど認められず、最高電子濃度として $8 \times 10^{18} \text{ cm}^{-3}$ に及ぶ高い値が得られている。この値は、Tabatabaie等¹⁰⁾がSiO₂保護膜を用いた短時間熱処理において従来報告していた最高データ $7.5 \times 10^{18} \text{ cm}^{-3}$ を凌ぐものであり、報告値としては最も高い値に位置するものである。同様の高い電子濃度は試料NK3 (200 keV, $5 \times 10^{14} \text{ cm}^{-2}$)においても得られており、最高電子濃度 $8.5 \times 10^{18} \text{ cm}^{-3}$ が実現されている(図8-13参)。

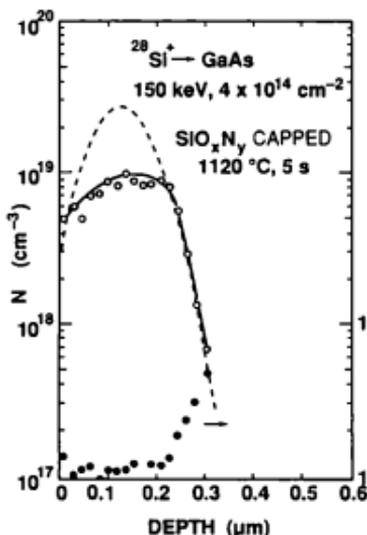


図8-12 電子濃度の深さ方向分布
(150 keV, $4 \times 10^{14} \text{ cm}^{-2}$)

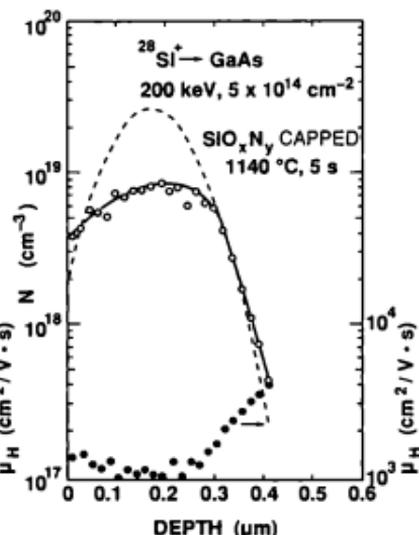


図8-13 電子濃度の深さ方向分布
(200 keV, $5 \times 10^{14} \text{ cm}^{-2}$)

8-5 Snイオン注入GaAsの短時間保護膜付き熱処理

SnはSiと同じIV族元素であり、MBEによる高濃度n型GaAs層の形成では、Snをn型不純物に用いることによりSiに比べて高濃度のn型層の形成が可能であることが報告されている¹¹⁾。したがって、イオン注入による不純物添加においても、Sn不純物のイオン注入によってSiイオン注入に比べて優れた特性が実現できる可能性がある。しかし、この場合、GaAsにおけるSn不純物の拡散係数がSiの場合に比べて大きいため、熱処理時のSn原子の拡散には注意しなければならない。ここでは、高濃度n型層の形成を目的とし

て、高ドーズSnイオン注入GaAs層のSiO_xN_y保護膜付き短時間熱処理を検討し、得られたn型層の電気的特性について論じる。

実験には、LEC法による無添加(100)半絶縁性GaAs基板を用い、¹²⁰Snイオンは加速エネルギー400keV(R_p=110nm)で2×10¹³~4×10¹⁴cm⁻²すべて室温で注入した。熱処理保護膜の膜厚は約90nmに固定した。

図8-14に、ドーズ量1×10¹⁴cm⁻²の場合の活性化率と熱処理温度の関係を示す。熱処理保護膜には屈折率~1.75をもつSiO_xN_y膜の他に、比較のためにSiO₂膜およびSiN_x膜を用いた場合の結果についても同時に示した。熱処理温度1000℃までは、いずれの保護膜を用いた試料についても活性化率は熱処理温度とともに増加する。これは、イオン注入に伴う結晶損傷が熱処理温度の増加とともに回復することに対応している。しかし、熱処理温度が1000℃を越えると、SiO_xN_yおよびSiN_x膜を用いた試料では依然として活性化率が増加し続けるのに対して、SiO₂膜を用いた試料では活性化率が20~25%程度の低い値で飽和し始める。各熱処理保護膜を用いて得られた最高の活性化率を比べると、SiO_xN_yおよびSiN_x膜の場合には熱処理温度1100℃における54および37%であるのに対し、SiO₂膜の場合には熱処理温度1000℃における25%が最高であった。これから、Snイオン注入層の熱処理においてもSiO_xN_y保護膜が高活性化率を得る上で最も適した保護膜であることが確認された。図8-15に同じ試料に対するシート移動度の熱処理温度依存性を示す。SiO_xN_yおよびSiN_x保護膜の場合、シート移動度は熱

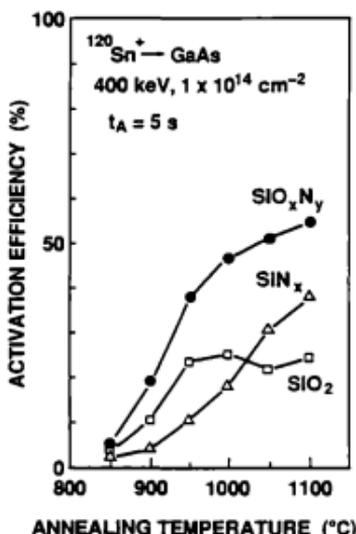


図8-14 活性化率の熱処理温度依存性

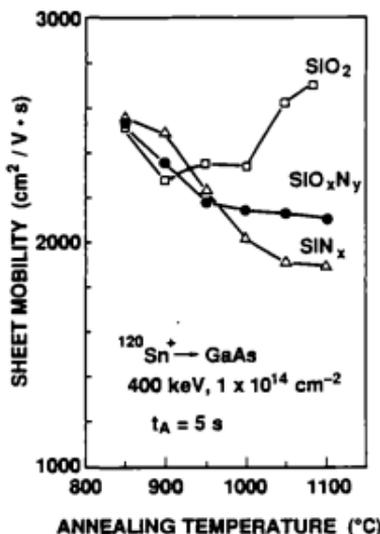


図8-15 シート移動度の熱処理温度依存性

処理温度の増加とともに漸減しており、これは Sn ドナーの生成に伴うイオン化不純物散乱の増加に対応するものと考えられる。一方、 SiO_2 保護膜では、活性化率が飽和する 1000°C 以上の熱処理温度になるとシート移動度の急激な増加が認められる。シート電子濃度がほぼ一定に保たれたままで移動度が増加する事実は、 SiO_2 保護膜を用いた高温短時間熱処理では Sn 原子の深き方向への拡散が生じることを示唆している。 SiO_2 保護膜を用いた試料においてだけに Sn の顕著な拡散が生じる原因としては、 SiO_2 保護膜付き熱処理に特有に生じる顕著な Ga の外部拡散によって生成された多量の Ga 空孔が、熱処理時の Sn 原子の拡散を助長した可能性が考えられる。

図8-16に、シート電子濃度とシート移動度の熱処理時間依存性を示す。ドーズ量は $1 \times 10^{14} \text{ cm}^{-2}$ であり、熱処理は SiO_2/N_y 保護膜(屈折率: 1.75)を用いて 900°C で行った。熱処理時間が5から100秒に増加するに従って、活性化率は19から42%ま

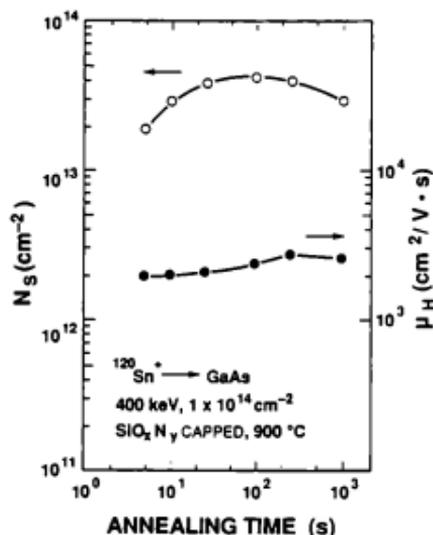


図8-16 シート電子濃度とシート移動度の熱処理時間依存性

で増加するが、同時にシート移動度も 2000 から $2500 \text{ cm}^2/\text{Vs}$ に増加している。熱処理時間の増加に伴う活性化率の増加がシート移動度の増加を伴う事実は、既に図8-14、15に示した熱処理温度の増加に伴う活性化率の増加がシート移動度の減少を伴った事実は好対照をなしている。一般に、体積ドナー濃度の増加はイオン化不純物散乱による移動度の減少を引き起こすことから、図8-16でみられた熱処理時間の増加に伴う活性化率と移動度の両方の増加現象は、直接的には体積電子濃度の増加に対応するものではなく、むしろ熱処理時の不純物の拡散が顕著に生じた可能性を要するものと考えるのが妥当である。以上の結果から、体積電子濃度の増加を図るためには、熱処理時間を増加させて活性化率の改善を図る方

法は有効ではなく、活性化率の改善と同時に不純物拡散の抑制が図れる熱処理温度を高くする方法の方が適していることがわかる。この結果は、8-4節で示した高ドーズSiイオン注入層に対する最適熱処理条件とも一致するものである。

SiO_xN_y保護膜を用いて1000℃および1100℃で各5秒間の熱処理を行った試料について、シート電子濃度とシート移動度のドーズ量依存性を図8-17に示す。ドーズ量

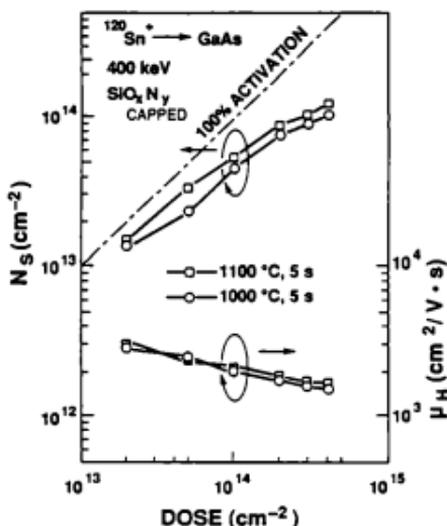


図8-17 シート電子濃度とシート移動度のドーズ量依存性

が 2×10^{13} から $4 \times 10^{14} \text{ cm}^{-2}$ に増加するにつれて、活性化率の値は次第に減少するものの、得られるシート電子濃度は増加している。1000℃と1100℃の各熱処理に対する活性化率を比較すると、いずれのドーズ量に対しても、1100℃で熱処理した試料の方が高い活性化率が得られている。一方、シート移動度はいずれの熱処理温度についても、ドーズ量の増加とともに3000から1600 cm^2/Vs 程度まで単調に減少しており、シート移動度の振動いからはドーズ量の増加に伴うSn原子の異常な拡散の兆候は認められないと判断できる。今回の実験において、最も高いシート電子濃度 ($1.27 \times 10^{14} \text{ cm}^{-2}$) を示したドーズ量 $4 \times 10^{14} \text{ cm}^{-2}$ に対する試料 (熱処理: 1100℃, 5秒) の微分Hall測定から求めた電子濃度分布を図8-18に示す。図中の点線は、ボルツマン輸送方程式を用いて計算したSnイオンの理論分布である¹²⁾。理論分布に比べて、実測した電子濃度分布は50nm程度深い分布を示しているが、分布の急峻性は比較的良好でありSn原子の拡散に対応する裾部分における分布の拡がりは特に認められない。得られた最高電子濃度は $7 \times 10^{18} \text{ cm}^{-3}$ であり、この値は高ドーズSiイオン注入層で得られた最高電子濃度 $8 \times 10^{18} \text{ cm}^{-3}$ に比べると僅かに低い。Bensalem等¹³⁾ が従来報告しているSnイオン注入層における最

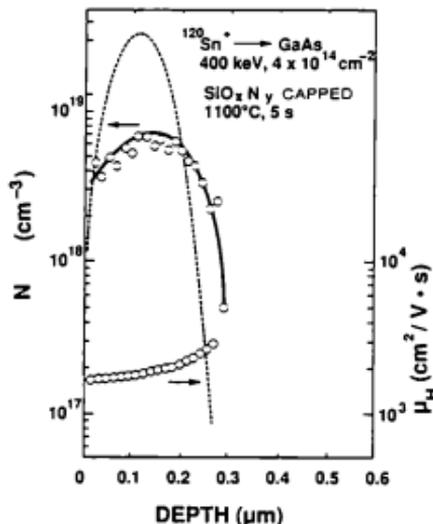


図8-18 電子濃度の深さ方向分布 ($^{120}\text{Sn}^+$ 注入)

高電子濃度 $5 \times 10^{18} \text{ cm}^{-3}$ に比べると高い値が得られている。

8-6 n型ノニアロイ低抵抗性接触の形成

8-6-1 n型GaAsへのノニアロイ低抵抗性接触形成の動向

半導体デバイスの作製において、低い接触抵抗をもつ低抵抗性接触を形成する技術はデバイス特性の微細化、高性能化および高信頼化を図る観点から重要な技術である。GaAsデバイスにおいて今日広く用いられている低抵抗性接触は、金属-半導体接触界面に存在するショットキ障壁 (Schottky barrier) をキャリアが量子力学的にトンネリング (tunneling) する輸送特性を利用するものである。量子力学的トンネリング機構においてショットキ障壁内をキャリアがトンネルする距離は、半導体の不純物濃度の増加とともに減少することから、良好な低抵抗性接触を形成するためには高い不純物濃度層の形成が不可欠となる。通常の低抵抗性接触の形成では、この高不純物濃度層をアロイング (alloying) と呼ばれる比較的低温の熱処理工程による不純物の固相拡散によって形成しているが、半導体の不純物濃度が既に十分高い場合にはアロイング工程を用いなくてもトンネリング機構に支配された低抵抗性接触、すなわち、ノニアロイ低抵抗性接触 (nonalloyed ohmic contact) を実現することが可能となる。

GaAsでは高濃度のn型層を形成するのが一般には容易でないため、GaAs層への直接的なn型ノアロイ抵抗性接触の形成に関しては、従来4件の報告例があるだけである。このうち、3件はイオン注入を用いたものであり¹⁴⁻¹⁶⁾、残りの1件はMBEによるものである¹⁷⁾。これらの特性を表8-4にまとめる。イオン注入を用いた従来報告の特徴は、い

表8-4 ノアロイ抵抗性接触形成の動向

DOPING	DOPANT	熱処理	電極金属	N_{max} ($10^{19}cm^{-3}$)	ρ_0 ($\Omega \cdot cm^2$)	REF
I/I	Se	EB	TiPtAu	1.2	6×10^{-7}	14)
I/I	Se	EB	Al	2	6×10^{-6}	15)
I/I	Si	Laser	AuGeNi	-	3×10^{-7}	16)
MBE	Sn	-	TiPt	6	2×10^{-6}	17)

ずれも熱処理技術にパルスのビーム熱処理法を用いていることで、電気炉熱処理や短時間ランプ熱処理を応用した報告はかつて行われていない。第2章において述べたように、パルスのビーム熱処理では基板表面にビーム照射欠陥が導入されるため、移動度が極端に低かったりその後の低温熱処理によって特性の劣化が生じたりする欠点がある。Nozzi等¹⁴⁾は、Seイオン注入層においてパルス電子ビーム熱処理後の試料表面をHClで数秒間エッチングした後Au/Pt/Ti電極を形成することにより、最高電子濃度(N_{max})= $1.2 \times 10^{19} cm^{-3}$ 、接触抵抗率(ρ_0)= $6 \times 10^{-7} \Omega cm^2$ を得ている。一方、Pianetta等¹⁵⁾は同じくSeイオン注入層のパルス電子ビーム熱処理により、 $N_{max}=2 \sim 4 \times 10^{19} cm^{-3}$ を実現し、表面エッチングなしにAl電極を用いて $\rho_0=5.6 \times 10^{-6} \Omega cm^2$ をもつノアロイ抵抗性接触を得ている。Liu等¹⁶⁾はSiイオン注入層をパルス・レーザー熱処理した後Au/Ni/AuGe電極を用いて $\rho_0=3 \times 10^{-7} \Omega cm^2$ を得ている。また、Barnes等¹⁷⁾はSn添加MBE成長GaAs層($n=8 \times 10^{19} cm^{-3}$)において、Pt/Ti電極を用いて $\rho_0=1.9 \times 10^{-6} \Omega cm^2$ をもつノアロイ抵抗性接触を報告している。

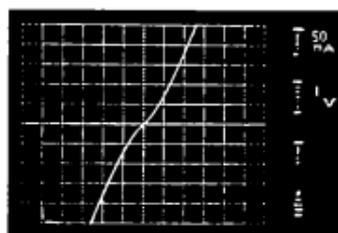
8-6-2 短時間熱処理を用いたn型ノアロイ抵抗性接触の形成

本節では、 SiO_xN_y 保護膜付き短時間熱処理を用いて作製したSiイオン注入による高濃度n型GaAs層上にノアロイ抵抗性接触を形成し、その電気的特性、および低温(300℃)の熱処理を加えたときの特性の改善効果について述べる。

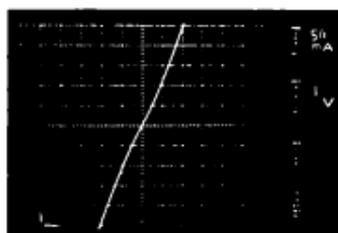
試料には、LEC法無添加(100)半絶縁性基板に $150 keV$ 、 $4 \times 10^{14} cm^{-2}$ の単独Siイオン注入を行ったものと、 $150 keV$ 、 $4 \times 10^{14} cm^{-2} + 50 keV$ 、 $1.2 \times 10^{14} cm^{-2}$ の二重Siイオン注入を行ったものの2種類について検討した。二重注入を行う目的は、基板表面付近の不純物濃度を増加させるためである。注入後の熱処理は、す

べて SiO_2N_y 保護膜(屈折率:1.75)を用いて1150℃、5秒の条件で行った。抵抗性電極には、 Au/Ti/Ni/AuGe (120/50/30/120nm)を使用した。電極形成時の試料温度は、最大85℃を越えないように注意した。また、電極材料被着前の試料の表面処理としては、 SiO_2N_y 保護膜の除去時に使用したHF処理(室温、30秒)、および表面酸化膜除去のための H_3PO_4 処理(60℃、1分)を用いた以外に特別な化学エッチングは行わなかった。

図8-19(a)、(b)に、得られたノンアロイ抵抗性接触の電流-電圧($I-V$)特性を示す。測定試料の形状は、実効電極幅が200 μm であり電極間隔は10 μm である。



(a) SINGLE I/I



(b) DUAL I/I

図8-19 ノンアロイ抵抗性接触の電流-電圧特性
(a)単独イオン注入、(b)二重イオン注入

単独イオン注入による試料の $I-V$ 特性(図8-19(a))には、まだ若干の非直線性が残っているが、二重注入を行った試料の $I-V$ 特性(図8-19(b))では、この非直線性がかなり改善されており、良好なノンアロイ抵抗性接触が得られていることがわかる。図8-20に、これら2種類の試料のTLMプロット——すなわち、電極間隔と抵抗の関係——を示す。図8-20において、得られた直線の傾きは導電層のシート抵抗(R_s)に対応し、抵抗値ゼロに対応する切片の電極間隔はトランスファ長(L_T)の2倍の長さに対応する。以上のようにして求めた R_s と L_T の値を用いると、抵抗性接触の接触抵抗率(ρ_c)は次式を用

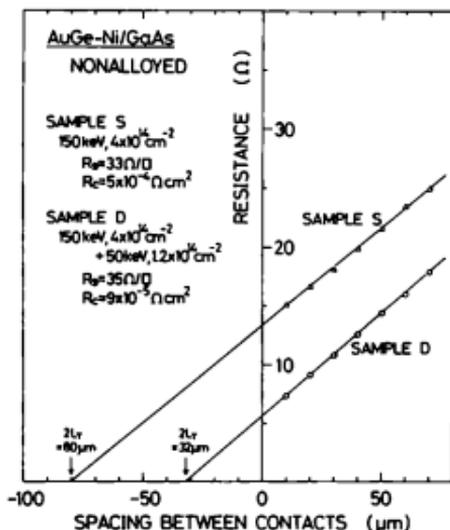


図8-20 TLMプロット（抵抗の電極間隔依存性）

いて計算することができる。

$$\rho_0 = L_T^2 R_s \quad (8-1)$$

(8-1)式を用いて計算した接触抵抗率は、単独注入試料では $5 \times 10^{-4} \Omega \text{ cm}^2$ ($R_s = 33 \Omega/\square$, $L_T = 40 \mu\text{m}$)であり、二重注入試料では $9 \times 10^{-5} \Omega \text{ cm}^2$ ($R_s = 35 \Omega/\square$, $L_T = 16 \mu\text{m}$)であった。ショットキ障壁の高さを0.7eVと仮定すると、これらの実験結果とChang等の接触抵抗の理論計算¹⁸⁾から逆算される表面電子濃度は、単独注入試料で $8 \times 10^{18} \text{ cm}^{-2}$ となり、二重注入試料では $1 \times 10^{19} \text{ cm}^{-2}$ と見られる。これらの電子濃度の値は、図8-12で示した単独注入時の電子濃度分布、およびこれに二重注入を行った場合の電子濃度分布（未測定）から予測される表面近傍の電子濃度にほぼ一致する。

以上に示したように、 SiO_2/N_2 保護膜付き短時間熱処理の導入により 10^{19} cm^{-2} に迫る高濃度のn型GaAs層が形成でき、その結果ノンアロイ接触抵抗の ρ_0 として最小 $9 \times 10^{-5} \Omega \text{ cm}^2$ が実現できた。この ρ_0 値は、比較的大きな面積を持つ抵抗性電極に対しては十分使用できる値である。しかし、実際にノンアロイ抵抗性接触の使用が切望されるのは、従来のアロイング工程を経た場合に生じる電極寸法の変化や電極平坦度の劣化が問題視される微細素子における抵抗性電極に対する応用であり、そのためにはより一層の ρ_0 の低減が必要で

ある。アロイング工程により電極形状に変化が生じるのは、アロイングのための熱処理が電極材料の融点を越えて行われるために電極材料が一時的に熔融するためである。ここでは、電極材料の熔融を防ぎつつ尚一層の ρ_0 の低減を図る目的で、低温(300℃)アロイングを検討した。アロイングのための熱処理は開管式の電気炉を用いて H_2 雰囲気で行い、昇降温速度はいずれも $\sim 3^\circ C/秒$ とした。

図8-21に、(a)未熱処理、(b)300℃熱処理、(c)420℃熱処理の各場合についてのAuGe-Ni電極表面の走査型電子顕微鏡写真を示す。300℃で熱処理した

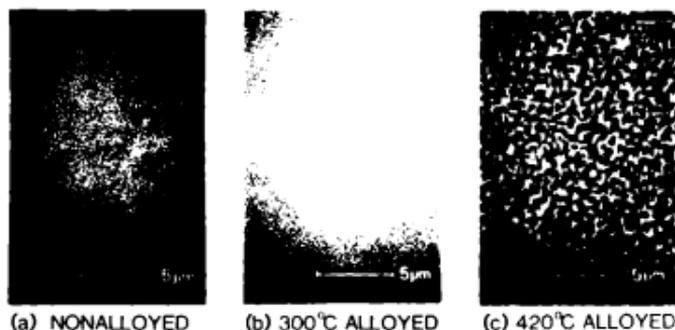


図8-21 電極表面の走査型電子顕微鏡写真

試料では、電極反応によるとみられる表面形態の変化は観察されず、未熱処理試料と同等の平坦で均質な表面構造が得られている。一方、420℃で熱処理した試料では、電極材料の再成長に伴う表面形態の不均質性が明らかに認められており、電極材料(AuGe)の熔融が生じていることがわかる。すなわち、AuGe電極においては、300℃熱処理により電極材料の熔融が起こらず、表面形態上からは300℃で熱処理しても未熱処理(ノンアロイ状態)と同等の特性が得られることが明らかとなった。

300℃熱処理は表面形態の変化を生じないが、電気的特性には著しい改善をもたらす。図8-22に、300℃アロイングを行った二重注入試料のI-V特性を示す。300℃アロイングによりI-V特性の非直線性は消失しており、 ρ_0 は $6 \times 10^{-9} \Omega \text{cm}^2$ まで改善される。420℃でアロイングを行った試料の ρ_0 が $2 \sim 4 \times 10^{-9} \Omega \text{cm}^2$ であることを考慮すると、この300℃における低温アロイング技術は、低抵抗で平坦な表面形態をもつn型抵抗性接触の形成方法として優れた特長を有していることが理解できる。本技術は、GaAs大規模集積回路の製造技術としての応用ばかりでなく、その他のあらゆるGaAsデバイスに対する極微細抵抗性電極の形成技術としても応用することができ、今後の尚一層の特性改善が期待される。



図8-22 300℃低温熱処理後の電流-電圧特性

8-7 まとめ

本章では、短時間熱処理を用いて形成した高濃度n型GaAs層の電気的特性について述べた。Siイオン注入層の活性化では、保護膜無し短時間熱処理により $5 \times 10^{18} \text{ cm}^{-3}$ に及ぶ高い電子濃度が実現できることを示した。拡散係数の大きなSiイオンの活性化においては、熱処理時のS原子の再分布が短時間熱処理の使用により効果的に低減できることが実証された。しかし、Siイオン注入層の活性化では、保護膜無し短時間熱処理を用いて達成できる電子濃度の最高値が、従来の電気炉熱処理で得られる最高値（ $\leq 2 \times 10^{18} \text{ cm}^{-3}$ ）に比べて、同程度に抑えられてしまうことがわかった。保護膜無し熱処理に比較すると、SiやSnなどのIV族n型不純物の活性化には、 SiO_2N_x 保護膜を用いた短時間熱処理が極めて有効であることが明らかとなった。この方法により、Siイオン注入層では $9 \times 10^{18} \text{ cm}^{-3}$ 、Snイオン注入層では $7 \times 10^{18} \text{ cm}^{-3}$ に及ぶ従来の最高報告値を上回る高い電子濃度が実現できることが示された。SiあるいはSnイオンの高ドーズ注入層の熱処理において高い活性化率を得るためには、1000℃を超える高温において短時間熱処理を行うことが重要であり、高ドーズ注入層の活性化率が基本的に熱処理温度によって支配されていることがわかった。

SiO_2N_x 保護膜付き短時間熱処理を用いて形成したSiイオン注入による高濃度n型GaAs層の応用として、AuGe電極を用いたノンアロイ抵抗性接触の形成を試みた。ノンアロイ抵抗性接触の接触抵抗率 ρ_c としては、最小で $9 \times 10^{-6} \Omega \text{ cm}^2$ が得られた。短時間熱処理および電気炉熱処理を含めて、イオン注入を用いたn型GaAs層へのノンアロイ抵抗性接触の形成は本報告が初めてである。接触抵抗率 ρ_c は、300℃の低温アロイングを用いることにより $6 \times 10^{-8} \Omega \text{ cm}^2$ まで改善できることがわかった。この300℃のアロイングでは、従来の420℃アロイングでみられたAuGe電極材料の溶融に伴う表面形態の劣化を完全に防ぐことができた。以上の結果から、低接触抵抗かつ極微細寸法を有するn型

抵抗性電極の形成技術として、高濃度n型層への低温(300℃)アロイングが有望であることを指摘した。

参考文献

- 1) F.H.Eisen and B.M.Weich, Ion Implantation in Semiconductors, edited by F.Chernow, J.A.Borders and D.K.Brice (Plenum, New York, 1977), p.97.
- 2) M.Fujimoto, H.Yamazaki, and T.Honda, Ion Implantation in Semiconductors, edited by F.Chernow, J.A.Borders and D.K.Brice (Plenum, New York, 1977), p.89.
- 3) D.E.Davies, S.Rosild, and L.Lowe, Solid State Electron.,18, 733 (1975).
- 4) Y.K.Yeo, R.Kwor, and Y.S.Park, J.Appl.Phys.,53, 1812 (1982).
- 5) Y.K.Yeo, Y.S.Park, and R.Kwor, J.Appl.Phys.,53, 1815 (1982).
- 6) R.Kwor, Y.K.Yeo, and Y.S.Park, J.Appl.Phys.,53, 4786 (1982).
- 7) L.A.Cristel and J.F.Gibbons, J.Appl.Phys.,52, 5050 (1981).
- 8) R.K.Willardson and A.C.Beer, Semiconductors and Semimetals (Academic, New York, 1971), vol.7A, p.178.
- 9) D.E.Davies, P.J.McNally, J.P.Lorenzo, and M.Julian, IEEE Electron Device Lett. EDL-3, 102 (1982).
- 10) K.Tabatabaie-Alavi, A.N.M.Nasim Choudhury, C.G.Fonstad, and J.C.Gelpey, Appl. Phys.Lett.,43, 505 (1983).
- 11) A.Y.Cho, J.Appl.Phys.,46, 1733 (1975).
- 12) 高原正明、第32回応用物理学学会講演予集、p.831 (1985).
- 13) R.Bensalem, N.J.Barrett, and B.J.Sealy, Electronics Lett.,19, 112 (1983).
- 14) R.L.Mozzi, W.Fabian, and F.J.Piekarski, Appl.Phys.Lett.,35, 337 (1979).
- 15) P.A.Pianetta, C.A.Stolte, and J.L.Hansen, Appl.Phys.Lett.,36, 597 (1980).
- 16) S.G.Liu, C.P.Wu, and C.W.Nagee, in Laser and Electron Beam Processing of Materials, edited by C.W.White and P.S.Pearcy (Academic, New York, 1980), p.341.
- 17) P.A.Barnes and A.Y.Cho, Appl.Phys.Lett.,33, 651 (1978).
- 18) C.Y.Chang, Y.K.Fang, and S.M.Sze, Solid State Electron.,14, 541 (1971).

本論文は、半絶縁性GaAs基板へのイオン注入技術を利用して高性能GaAs集積回路を実現する上で重要となる注入不純物の活性化熱処理技術に関して、従来技術の問題点を再検討し、今後のGaAs集積回路の高速度および大規模集積化に対応できる新しいGaAs表面保護技術や新しい熱処理技術の確立をめざして行われた研究成果をまとめたものである。特に、 SiO_2N_x 膜を用いたGaAs表面保護技術や短時間熱処理技術を用いたGaAsMESFETの作製においては、いずれも新規で且つ従来よりも優れた成果が実現されている。これらの研究成果は、今後のGaAs集積回路の一層の高性能化を図る上において重要な資料を提供し得るものとする。

本論文の前半の研究課題としては、活性化熱処理時のGaAs表面保護技術を取り上げ、主として熱処理保護膜が活性化特性に与える影響に焦点を当てて実験的検討を行った。熱処理保護膜材料の種類については、従来からよく知られている SiO_2 や SiN_x などの二元材料ばかりでなく、その範囲を三元材料である SiO_2N_x にまで拡張した。これにより、成膜条件を含めた保護膜組成、膜厚、膜応力などの保護膜特性と、熱処理後のGaAs/保護膜界面反応やこれに伴う結晶欠陥の発生などとの関係を系統的に評価することが可能となった。特に、活性化特性に重要な役割を果たすと従来から考えられてきた熱処理時の保護膜中へのGa原子の外部拡散に関しては、拡散したGa原子の存在をいくつかの方法を用いて確認すると同時に、この現象が活性化特性を改善する側面と逆に活性化特性を低下させる両方の側面をもち得る事実について考察を加えた。

本論文の後半では、GaAsの新しい熱処理手法であるランプ熱源を用いた短時間熱処理技術の可能性および問題点の理解を深めることを目的として行った実験結果について論じた。主として、本手法をGaAsMESFETのn型動作層および高濃度n型コンタクト層の形成に応用することに主眼を置き、保護膜無し熱処理の可能性、保護膜の効果、深い単位生成の有無、n型不純物依存性、などの広い角度から短時間熱処理の実験的検討を行った。FETの動作層の形成に関しては、本手法が持つ不純物拡散の抑制効果に早期から着目し、この特長がGaAsMESFETの高性能化に有効であることを世界に先駆けて実証した。さらに、素子の微細化に対応した動作層の薄層化を実現する方法としても、短時間熱処理法が極めて有望であることを指摘した。また、高濃度n型層の形成についても、前述の SiO_2N_x 保護膜技術と短時間熱処理技術を組み合わせることで、従来データを遙かに凌ぐ優れた不純物添加特性が実現できることを明らかにし、本手法がFETのソースおよびドレイン部の接触抵抗や寄生抵抗の大幅な低減に有効であるばかりでなく、非合金化抵抗性接触の形成にも応用できることを明らかにした。

以下に、本研究によって達成された成果および本研究の実験的検討を通じて明らかにされた項目を各章毎にまとめて示す。

第1章は、本論文の序であり、まず、GaAsへのイオン注入技術の発展に関する歴史的経緯を概説した。これらの歴史的背景の中でGaAsデバイスの高性能化を図る観点から、現在のGaAsイオン注入技術が直面している問題点および今後解決されるべき研究課題を明確化し、本研究の目的と意義を明らかにした。

第2章においては、GaAsイオン注入層の活性化熱処理法をその熱処理時間の長さによ

って分類し、本研究の後半部で中心的に取り上げられるランプ加熱による短時間熱処理法の位置づけを明確にした。また、GaAsの熱処理保護膜として、従来から検討されてきたいくつかの材料についてその特徴を整理した。さらに、GaAsへのn型注入不純物として現在最も頻繁に使用されているSi不純物を取り上げ、Siイオン注入GaAs層の活性化に最適な熱処理保護膜が満たすべき条件について検討した。

第3章においては、GaAsイオン注入層の活性化熱処理用の保護膜として本研究において使用するSiO₂N_x膜の形成方法及び得られた膜の評価結果について述べた。膜形成では、ハロゲン・ランプ加熱による熱CVD法を用いることにより、GaAs基板上に任意の膜組成をもつSiO₂N_x膜が堆積できることを示した。膜組成の制御は、SiH₄-NH₃-O₂原料ガス系において、O₂流量のみを変化させることにより可能となることを示した。オーグ電子分光分析から求めたSiO₂N_x膜中の酸素と窒素の原子濃度比(O/N)は、膜屈折率の増加とともに減少することがわかり、この関係はLorentz-Lorenz理論から計算されるO/N比と膜屈折率の理論曲線と良い一致を示すことが確認された。また、このO/N比の変化は、SiO₂N_x膜中のSi-OおよびSi-N各結合の濃度変化に対応していることが赤外吸収スペクトル測定から示された。最後に、SiO₂N_x/GaAsにおける膜応力をニュートン・リング干渉法を用いて評価し、室温での膜応力が引張り応力でありその大きさが膜屈折率とともに増加することを明らかにした。この膜応力の大きさは膜割れや膜剝がれを発生せずに熱処理できる最大の膜厚を決定する指標となっており、膜応力の大きなSiN_x膜ではこの臨界膜厚が約130nmであるのに対し、屈折率1.75をもつSiO₂N_x膜では膜応力の低減によりこの臨界膜厚を約250nmまで増加できることを示した。

第4章においては、熱処理保護膜、熱処理温度、熱処理時間などの種々のパラメータが、Siイオン注入GaAs層の電気炉熱処理後の活性化特性に与える影響について議論した。特に、熱処理保護膜については、従来から用いられてきたSiO₂膜やSiN_x膜に加えて、両者の中間的性質を持つSiO₂N_x膜を新たに検討し、SiO₂N_xの膜組成とSiイオン注入層の活性化特性との関係について詳細な検討を加えた。その結果、Siイオン注入層の活性化熱処理においては、従来から用いられてきたSiO₂やSiN_x各保護膜に比べて、約1.75の屈折率をもつSiO₂N_x保護膜が遙かに高い活性化率を与えることを示した。また、各種の保護膜に対する活性化特性の熱処理温度依存性や熱処理時間依存性に関する系統的な実験結果から、このSiO₂N_x保護膜熱処理による活性化率の促進効果が、かなり広い熱処理条件に対しても一般的に成り立つ事実であることを確認した。さらに、SiO₂N_x保護膜熱処理では、SiO₂N_x/GaAs界面の応力がSiN_x膜の場合に比べて大幅に緩和されることを反映して、活性化率のSiO₂N_x膜厚依存性が非常に小さくなることを示した。Siイオン注入GaAs層の活性化率は、熱処理時の保護膜中へのGaの外部拡散現象と密接に関係していることを明らかにし、活性化率の最適化にはGaの外部拡散量の制御が重要となることを指摘した。SiO₂N_x保護膜の使用による活性化率の促進効果は、Siイオンの高ドーズ注入層の熱処理においても有効であり、最高で3×10¹⁸cm⁻³をもつ高濃度n型層の形成が可能となることを示した。

第5章においては、Siイオン注入GaAs層の熱処理後の活性化特性に大きな影響を与えるGaの外部拡散現象とそれに伴うGaAs基板内でのGa空孔の生成について、熱処理保護膜の種類、熱処理温度、熱処理時間をそれぞれパラメータとした実験的考察を行った。保

覆膜中に外部拡散したGa原子に対するオージェ電子分光分析および二次イオン質量分析を用いた評価の結果、Gaの外部拡散には保護膜組成依存性が存在し、SiO₂N_x保護膜の屈折率が小さくて膜中に含まれる酸素濃度が大きくなるにつれて、その拡散量が顕著になることを示した。この結果は、SiO₂N_x保護膜熱処理の適用によりGa空孔生成量の制御が可能となることを示しており、この応用により、注入されたSi不純物のGa格子位置への置換（すなわちSiイオンの活性化）の最適化が可能となることを指摘した。種々の条件で熱処理を行ったGaAs基板に対して、DLTS法による深い単位の系統的な評価を行い、従来からその存在だけは知られていた電子トラップEL5が、Ga空孔の存在に関係した複合欠陥であり、その成因の候補として、Ga空孔とAsアンチサイト欠陥との複合体（V_{Ga}As_{As}）、割り込みAsとの複合体（V_{As}As_i）、あるいはSiドナーとの複合体（V_{As}Si_{As}）などの可能性を指摘した。

第6章においては、短時間熱処理を用いてSiイオン注入によるn型GaAs動作層を形成するための最適熱処理条件について検討した。検討項目としては、熱処理温度、熱処理時間、熱処理保護膜の有無の3つを選び、それぞれの場合についてn型動作層の活性化特性の特徴を明らかにした。Siイオン注入層の短時間熱処理では、保護膜の有無に拘らず熱処理温度が1000℃以上になると、活性化率が急激に低下する現象を見出した。この原因としては、Ga格子位置に置換したSiドナーが高温においてAs格子位置に移動することによるキャリア補償効果が主要因であることを指摘した。また、保護膜無し熱処理時においてAsの熱分解が同時に起こっている場合には、一層顕著な活性化率の低下が生じることを明らかにした。一方、熱処理時間が長くなった場合に対しても、保護膜無し短時間熱処理においては活性化率の低下が認められたが、保護膜を用いた場合には活性化率の低下は殆ど認められず、この場合の活性化率の低下がAsの熱分解による結晶性の劣化に起因することを示した。短時間熱処理を用いて形成したn型動作層のしきい値電圧の基板面内におけるバラツキは、電気炉熱処理を用いた場合に比較すると、現状ではまだまだ大きいことが明らかとなり、今後の研究課題として均一性の改善が残された。短時間熱処理を用いて形成したn型動作層では、高濃度で急峻なキャリア濃度分布が実現できることを容量一電圧特性測定から示した。さらに、短時間熱処理を用いて形成した動作層上に作製したGaAsMESFETでは、短時間熱処理の特長である高活性化率および不純物拡散の抑制効果を反映して、電気炉熱処理を用いて作製したFETより高い相互コンダクタンスが得られ、将来のFET動作層の高濃度層薄化に対処する活性化熱処理技術として短時間熱処理法が有望であることを明らかにした。

第7章においては、短時間熱処理を行ったn型バルクGaAs基板中に存在する深い単位を容量DLTS法を用いて評価した結果について述べた。短時間熱処理時のパラメータとしては、熱処理温度、熱処理時間、昇温および降温速度、ならびに熱処理保護膜の種類を検討し、それぞれのパラメータを独立に変化させたときに生成あるいは消滅する深い単位の評価を行った。その結果、800℃以上の短時間熱処理を行ったGaAs試料では、活性化エネルギーが0.20eVで、電子捕獲断面積 $5.4 \times 10^{-18} \text{ cm}^2$ をもつ電子トラップ（EN1）が発生することを明らかにした。このトラップの生成は、短時間熱処理における急速な（10℃/秒以上）昇温過程と密接な関係にあることを示した。また、未熱処理あるいは電気炉熱処理を行った試料からのEN1単位の発生は全く認められなかった。さらに、熱処理温度、熱処理時間、および保護膜付き熱処理時の保護膜組成の変化に対して、このEN1と基板内の主要

トラップであるEL2が類似のトラップ濃度変化を示すことを明らかにした。以上の実験結果から、短時間熱処理によって導入されるEN1単位の成因为、As空孔とAsアンチサイト欠陥の複合体 ($V_{As}A_{S_{As}}$) に関係している可能性を示した。なお、短時間熱処理によって発生するEN1の濃度は、最大でも $1 \times 10^{16} \text{ cm}^{-3}$ 程度 (この値はHB (Horizontal Bridgman) 基板において得られた値であり、LEC (Liquid Encapsulated Czochralski) 基板では $4 \times 10^{14} \text{ cm}^{-3}$ 程度に減少する) であり、短時間熱処理法をGaAsMESFETの製造プロセスとして用いる限りにおいては、EN1の生成に基づくデバイス特性への悪影響を殆ど問題にしないでよいことを指摘した。

第8章においては、短時間熱処理を用いて形成した高濃度n型GaAs層の電気的特性について論じた。Siイオン注入層の活性化では、保護膜無し短時間熱処理の使用により最高で $5 \times 10^{18} \text{ cm}^{-3}$ に及ぶ高い電子濃度が実現できることを示した。拡散係数の大きなSiイオンの活性化においては、熱処理時のS原子の再分布が短時間熱処理の使用により効果的に低減できることを確認した。一方、IV族元素であるSiイオンの高濃度注入層の活性化では、保護膜無し短時間熱処理を用いて達成できる電子濃度の最高値が、従来の電気炉熱処理を用いて得られる最高値である $2 \times 10^{18} \text{ cm}^{-3}$ に比べてほぼ同程度に抑えられてしまうことがわかった。SiやSnなどのIV族n型不純物の活性化には、 SiO_2N_2 保護膜を用いた短時間熱処理法が極めて有効な手段となることを明らかにした。この方法により、Siイオン注入層で $9 \times 10^{18} \text{ cm}^{-3}$ 、Snイオン注入層では $7 \times 10^{18} \text{ cm}^{-3}$ に及ぶいずれも従来の最高報告値を上回る高い電子濃度を実現した。SiあるいはSnイオンの高ドーズ注入層の熱処理において高い活性化率を得るためには、1000℃を越える高温で短時間熱処理を行うことが重要であり、高ドーズイオン注入層の活性化率が本質的には熱処理温度によって支配されていることを明らかにした。 SiO_2N_2 保護膜付き短時間熱処理を用いて形成したSiイオン注入による高濃度n型GaAs層の応用として、AuGe電極を用いたノンアロイ抵抗性接触の形成を試み、最小の接触抵抗率として $9 \times 10^{-6} \Omega \text{ cm}^2$ を得た。短時間熱処理および電気炉熱処理を含めて、n型GaAs層へのイオン注入を用いたノンアロイ抵抗性接触の形成は本研究が最初の報告であった。接触抵抗率は、300℃の低温アロイ熱処理により $6 \times 10^{-6} \Omega \text{ cm}^2$ まで改善できることを示した。この300℃における低温アロイ技術では、420℃における従来のアロイ技術で認められたAuGe電極材料の熔融に伴う表面形態の劣化を完全に防止することが可能であり、低接触抵抗かつ極微細寸法をもつn型抵抗性接触の今後の形成技術として低温アロイ技術が有望であることを示した。

以上、本研究の成果をとりまとめると、本論文では、GaAsイオン注入層の活性化熱処理技術において大きな問題であった表面保護技術および短時間熱処理技術について、GaAsイオン注入層に特有の現象に着目しつつそれぞれの技術の高度化および両技術の融合を通して得られた活性化特性の向上とその応用上の有用性について論じた。また、これらの成果に到達する過程で得られた多くの実験結果の分析を通して今回新たに見出された事実や本研究を通して理解の進んだ現象についても、本論文において詳しく述べた。

本研究を振り返ると、GaAsイオン注入層における活性化の機構を根拠から理解し一層の特性改善を図っていくためには、結晶中の点欠陥および結晶化学量論的組成の物理的理解を深めこれらの制御技術を確立していくことが重要であることに改めて気付く。イオン注入と活性化熱処理という結晶欠陥の生成と消滅の2つの過程が複雑に入り組んだプロセス技術には、

未解決の問題や未知の応用分野がまだまだ残されており、今後とも地道な研究が必要あることに疑いの余地はない。一方、イオン注入技術のデバイス応用面に目を転じると、GaAs MESFETの集積回路については、本論文中でも再三指摘してきたように、今後は高濃度薄層化の検討が重要となるものと考えられ、従来の電気炉熱処理法に代って短時間熱処理法の応用分野がさらに増大することが予測される。短時間熱処理法の有用性については、筆者の報告ばかりでなく他の多くの研究機関からの優れたFETの試作例によっても既に実証されており、今後はこの研究所水準の成果を実際のデバイス生産においても十分適用する水準にまで引き上げる努力が必要となろう。このひとつに均一性の改善が挙げられる。この問題の改善なくしては、短時間熱処理技術のデバイス製造への応用範囲は非常に限られたものとなってしまふ。

Ⅲ-V族半導体における昨今の研究の流れは、従来のGaAs MESFETの研究から、MBEなどのエピタキシャル技術を駆使した微細構造デバイスの研究へと移行しつつある。これらのデバイスでは、10~100nm程度の厚さをもつ不純物添加領域や各種のヘテロ構造が高精度に組合わされており、一般に、これらのデバイス構造は後の熱処理に対して不安定である場合が少なくない。したがって、これらのデバイスの製造にイオン注入技術を使用する場合には、注入不純物の再分布ばかりでなく、結晶構成元素間の相互拡散による結晶構造秩序の乱れについても注意を払う必要が生じる。これらのデバイスの代表例としては、2次元電子ガスFET (two-dimensional electron gas FET) やヘテロ接合バイポーラ・トランジスタ (heterojunction bipolar transistor) などを挙げることができる。いずれのデバイスにおいても、イオン注入によるセルフアライン技術を用いた集積化技術が既に検討され始めており、これらのデバイスの研究者が短時間熱処理技術の今後の進歩にかける期待には実際大きなものがある。

短時間熱処理技術の新しい応用は今後ともさらに広がるものと予測され、熱処理技術の一層の高精度化とともに、極微細結晶構造やその界面の熱的不安定性に関する検討、さらにはこれらの実験結果を明解に説明できる理論的背景が今後大いに充実し進展することを祈りつつ本論文を結ぶ。

業績目録

1. 論文

- 1) "Infrared Rapid Thermal Annealing of Si-Implanted GaAs",
M.Kuzuhara, H.Kohzu, and Y.Takayama,
Appl. Phys. Lett., 41, 755 (1982).
- 2) "Electrical Properties of S Implants in GaAs Activated by
Infrared Rapid Thermal Annealing",
M.Kuzuhara, H.Kohzu, and Y.Takayama,
J. Appl. Phys., 54, 3121 (1983).
- 3) "Infrared Rapid Thermal Annealing for GaAs Device Fabrication",
H.Kohzu, M.Kuzuhara, and Y.Takayama,
J. Appl. Phys., 54, 4998 (1983).
- 4) "SiO₂N_y Capped Annealing for Si-Implanted GaAs",
M.Kuzuhara and H.Kohzu,
Appl. Phys. Lett., 44, 527 (1984).
- 5) "Nonalloyed Ohmic Contacts to Si-Implanted GaAs Activated Using
SiO₂N_y Capped Infrared Rapid Thermal Annealing",
M.Kuzuhara, T.Nozaiki, and H.Kohzu,
J. Appl. Phys., 58, 1204 (1985).
- 6) "Study of Electron Traps in n-GaAs Resulting from Infrared Rapid
Thermal Annealing",
M.Kuzuhara and T.Nozaiki,
J. Appl. Phys., 59, 3131 (1986).
- 7) "Characterization of Ga Out-Diffusion from GaAs into SiO₂N_y
Films during Thermal Annealing",
M.Kuzuhara, T.Nozaiki, and T.Kasejima,
J. Appl. Phys., 66, 5833 (1989).

2. 国際学会

- 1) "Infrared Rapid Thermal Annealing for Fabricating GaAs MESFETs",
M.Kuzuhara, H.Kohzu, and Y.Takayama,
International Electron Device Meeting, San Francisco(USA),
Dig. Tech. Papers, p.170 (1982).
- 2) "Rapid Thermal Annealing of III-V Compound Materials (Invited)",
M.Kuzuhara, H.Kohzu, and Y.Takayama,
Materials Research Society Symposium, Boston(USA),
Proc., vol.23, p.651 (1984).

- 3) "SiO₂N_y Capped Annealing for Si-implanted GaAs",
M.Kuzuhara, H.Kohzu, T.Tsuji, and A.Higashisaka,
3rd Conf. on Semi-Insulating III-V Materials, Kah-nee-ta(USA),
p.45 (1984).
- 4) "Characterization of Main Electron Traps in GaAs during
Thermal Annealing",
M.Kuzuhara and T.Nozaki,
4th Conf. on Semi-Insulating III-V Materials, Hakone,
p.291 (1986).
- 5) "High Performance LDD GaAs MESFETs with SiF₂-implanted
Extremely Shallow Channels",
M.Kuzuhara, Y.Ogawa, S.Asai, T.Furutsuka, and T.Nozaki,
International Electron Device Meeting, Los Angeles(USA),
Dig. Tech. Papers, p.783 (1986).
- 6) "Rapid Thermal Processing for High Speed III-V Compound
Devices (Invited)",
M.Kuzuhara,
Materials Research Society Symposium, Los Angeles(USA),
Proc., vol.23, p.651 (1987).

3. 研究会

- 1) 「GaAsイオン注入層の赤外線フラッシュ・アニール」
高原正明、神津英明
電子通信学会技術研究報告、半導体トランジスタ
SSD82-59、p. 59 (1982).
- 2) 「GaAsイオン注入層の赤外線フラッシュ・アニール」
高原正明、神津英明
応用電子物性分科会研究報告、GaAsIC関連基礎技術
No. 398、p. 37 (1983).
- 3) 「Siイオン注入GaAsのSiO₂N_y膜によるアニール」
高原正明、神津英明、辻力、東坂棧光
電子通信学会技術研究報告、電子デバイス
ED83-76、p. 25 (1983).

4. 国内学会

- 1) 「GaAsイオン注入層の赤外線フラッシュ・アニール」
高原正明、神津英明
第29回応用物理学関係連合講演会、講演予稿集
3P-P-17、p. 582 (1982).

- 2) 「S⁺イオン注入GaAsの赤外線フラッシュ・アニール」
 高原正明、神津英明
 第43回応用物理学会学術講演会、講演予稿集
 28p-Q-11, p. 419 (1982).
- 3) 「Mg⁺イオン注入GaAsの赤外線フラッシュ・アニール」
 高原正明、亀島泰文、神津英明
 第43回応用物理学会学術講演会、講演予稿集
 28p-Q-12, p. 419 (1982).
- 4) "Infrared Rapid Thermal Annealing for Ion Implanted GaAs",
 M. Kuzuhara, H. Kohzu, and Y. Takeyama,
 The 1st Symposium on Ion Beam Technology, Hosei University,
 p.53 (1982).
- 5) 「Siイオン注入GaAs層のアニール特性に与える保護膜の影響」
 高原正明、神津英明
 第30回応用物理学関係連合講演会、講演予稿集
 6p-D-1, p. 447 (1983).
- 6) 「Siイオン注入GaAsのSiO_xN_y保護膜によるアニール」
 高原正明、辻力、神津英明
 第31回応用物理学関係連合講演会、講演予稿集
 29p-O-8, p. 544 (1984).
- 7) 「Sn⁺注入GaAsのアニール特性」
 辻力、前田洋一、小沢敏晴、高原正明、東板浅光
 第45回応用物理学会学術講演会、講演予稿集
 13p-J-1, p. 545 (1984).
- 8) 「SiO_xN_y保護膜によるGaAsの赤外線フラッシュ・アニール」
 高原正明、辻力
 第45回応用物理学会学術講演会、講演予稿集
 13p-J-2, p. 545 (1984).
- 9) "Electrical Activation Enhancement of Si Implants in GaAs
 Using SiO_xN_y Capped Annealing",
 M. Kuzuhara and T. Mozaki,
 The 3rd Symposium on Ion Beam Technology, Hosei University,
 p.87 (1984).
- 10) 「高ドーズSiイオン注入GaAsへのノンアロイ・オーミック
 接触形成」
 高原正明、野崎忠敏
 第32回応用物理学関係連合講演会、講演予稿集
 29p-X-6, p. 626 (1985).

- 11) 「ボルツマン輸送方程式を用いた絶縁膜/GaAsスルー注入の解析」
 高原正明
 第32回応用物理学関係連合講演会、講演予稿集
 30a-X-2、p. 631 (1985).
- 12) 「赤外線フラッシュ・アニールしたn-GaAs中の電子トラップの評価」
 高原正明、野崎忠敏
 第46回応用物理学学会学術講演会、講演予稿集
 2a-C-10、p. 566 (1985).
- 13) 「保護膜アニールしたn-GaAs中の電子トラップ評価」
 高原正明、野崎忠敏
 第33回応用物理学関係連合講演会、講演予稿集
 1a-V-2、p. 651 (1986).
- 14) 「SiF₂イオン注入によるGaAs動作層の形成」
 高原正明、小川裕美、古塚枝、野崎忠敏
 第47回応用物理学学会学術講演会、講演予稿集
 27a-A-14、p. 586 (1986).