

エサキダイオード高速論理回路の研究

天 野 橘 太 郎

昭 和 37 年 10 月

エサキダイオード高速論理回路の研究

天野橋太郎

目次

第1章	緒言	1
第2章	エサキダイオード論理回路	5
第1節	エサキダイオードについて	5
(1)	エサキダイオードの動作	5
(2)	エサキダイオードの電気的諸特性	9
(3)	エサキダイオードの特長および欠点	12
第2節	エサキダイオードによる代表的な論理回路	13
(1)	単一エサキダイオード論理回路	13
(2)	エサキダイオード対回路	15
(3)	上記論理回路の比較	16
第3節	無接地型エサキダイオード対論理回路	18
(1)	エサキダイオード対回路の欠点	18
(2)	無接地型エサキダイオード対回路	20
第4節	第2章の結論	22
第3章	エサキダイオード対回路の諸特性	23
第1節	対回路の出力波形	23
(1)	等価回路および基礎方程式	23
(2)	直線近似による立ち上り特性の解析	24
(3)	計算機による立ち上り特性の <i>simulation</i>	27
(4)	下降特性	31
第2節	エサキダイオード対回路の安定条件	32
(1)	対回路の過渡現象の解析	32

	(2)	実験結果	35
第3節		エサキダイオード対の出力電圧	40
	(1)	静特性のバラッキによる出力電圧の変化	40
	(2)	負荷による出力電圧の変動	43
第4節		エサキダイオード対の不平衡特性および その動作余裕度	46
	(1)	エサキダイオード対の不平衡特性	46
	(2)	飛び越し結合電流	49
	(3)	対回路の励振電圧、位相に対する動作余裕度	50
	(4)	結合抵抗の最適値	55
第5節		第3章の結論	57
第4章		無接地型ダイオード対回路	58
第1節		基本回路の諸特性	58
	(1)	回路構成および出力波形	58
	(2)	励振電圧と出力電圧、直流バイアス、 <i>duty factor</i> の関係	60
	(3)	負荷特性	63
第2節		実用上の諸問題	65
	(1)	エサキダイオード対の選出	65
	(2)	配線の問題	68
	(3)	外来雑音の影響	69
	(4)	励振電源および饋電法	69
	(5)	信頼度	72
	(6)	消費電力	74
	(7)	入力、出力回路	74
	(8)	論理定数	76

第3節	高速化の諸問題	77
(1)	クロック周波数の上限	77
(2)	その他の方法	78
第4節	第4章の結論	79
第5章	各種装置への応用	80
第1節	多数決論理回路	80
(1)	ブール代数による表現	80
(2)	簡単な論理回路の例	81
第2節	高速 A-D 変換器	82
(1)	高速 A-D 変換器の概要	82
(2)	比較回路	83
(3)	Buffer 回路および符号化回路	86
(4)	附属論理回路	87
(5)	符号管との比較	89
(6)	D-A 変換部	90
第3節	テレビ信号デジタル変換器	91
(1)	テレビ信号デジタル変換器の概要	91
第4節	テレビ信号の符号化	94
(1)	テレビ信号の P.C.M.	94
(2)	テレビ信号の一符号化法	94
第5節	パイロット計算機の試作	98
(1)	パイロット計算機の概要	98
(2)	各部回路の動作	100
第6節	基本回路と遅延線を用いたレジスタ	105
(1)	基本回路と遅延線の結合	105

(2)	最大記憶ビット数	107
(3)	実験結果	109
(4)	遅延線による記憶回路	112
第7節	第5章の結論	114
第6章	結 言	115

第 1 章 結 言

最近電子計算機の応用面は急速な勢いで広がり、次第に大量の情報処理を迅速に処理することが要求され、これはまた計算機の一層の高速化を促進する結果となった。すなわち大きな計算量を要するような種類の問題、たとえば、3次元の偏微分方程式や、*Monte Carlo* 法による数値計算、あるいは自動翻訳パターン認識などのような問題に対して計算機の演算速度は速ければ速いほど一定時間内に、より精度の高い結果が得られることが認識されてきた。この他 *real time* で情報を処理するための計算機に対しても同様である。この観点より現在の計算機をみると、まだ充分とは言えない状況にある。一方、経済性の点よりみると、計算機の演算速度の増大とともに単位時間当りの計算量は増し、当然、計算機の使用料（賃借料）は減少する。これらの理由から演算速度の高速化の研究は各方面で積極的に行われている。

計算機の演算速度を上げるには、論理構成に改良を加える方法と論理回路の素子自体の動作速度を上げる二つの方法がある。前者に属するものとしては算術演算速度を上げるための高速桁上げ回路、あるいは制御回路の高速化のための先回り制御方式、時分割動作などがあり、これらは最近の高速計算機にはすでに採用されている。しかし、これらの方法は論理構成が複雑になるわりに効果的ではなく、大幅の高速化を期待することはできない。したがって、むしろ後者、すなわち、素子自体の高速化に力がそ、がれ、この方面の研究は特に活発に行われている。

このような超高速演算に適する素子としては最近開発されつゝある高速トランジスタの他に、最近注目されている エサキダイオード、磁性薄膜、マイクロ波パラメトロソがある。

こゝで、これらの素子の比較を行ってみよう。トランジスタはすでに現在の計算機の大部分に用いられており、種々の論理回路が開発されている。最近、製造技術の進歩とともに遮断周波数の高いト

ランジスタが得られるようになり、動作速度すなわち、クロック周波数 数 $MC \sim$ 数 $10 MC$ が実験されている。電気試験所においてクロック周波数 $5 \sim 8 MC$ の *Static* 論理回路を開発しパイロットモデル計算機を試作している。一方外国、特に米国においても高速論理回路には主としてトランジスタが用いられており、クロック周波数 $10 MC$ の *Static* 回路はすでに開発され、クロック周波数 $50 MC$ の計算機 *FX-1* が MIT において試作されている。このようにトランジスタの計算機への応用は一つの大きな流れとなっている。これに対してさらに高速が期待されるものとして磁性薄膜、マイクロ波パラメトロン、エサキダイオードなどの新しい素子がある。磁性薄膜は強磁性金属材料を蒸着あるいは渡金によって極めて薄い膜にしたものであり、スイッチ速度、消費電力の面で従来のフェライトなどに比して非常に良好な特性を示す、しかし、この磁性薄膜は論理回路よりも、むしろ記憶回路への応用に力がそゝがれているようである。マイクロ波パラメトロンはダイオードの障壁容量の電圧による変化を利用し、いわゆるパラメータ共振現象によって論理回路を構成するものである。これは、クロック周波数を上げるためマイクロ波の励振を必要とするため、現在のところ実験段階に止まり、実用性については未知数である。エサキダイオードは現在のところ、これら三者のうちで論理回路への応用に最も力がそゝがれている。この素子は 1957 年わが国の江崎氏によって発見された負性抵抗素子であり、その動作機構がいわゆる量子力学的トンネル効果に基づくため、動作速度が極めて速く、また小型、安定であるなど優れた性質を備えている。このため超高速演算に適した回路素子として高く評価されている。このように高速論理回路の研究にはトランジスタとそれ以外の二つの大きな流れがある。これは何れも一長一短があり何れとも決定することは難しい。むしろ現在の我が国の計算機にトランジスタとパラメトロンの二種があるように、これらはそれぞれの特長を発揮して発展すると考えるのが妥当であろう。

本論文において記述するものはエサキダイオードの高速論理回路への応用に関するものである。エサキダイオードの研究、とくに計算機への応用は米国においていち早く開始された。わが国もこの影響を受け 1959 年末頃から非常に熱心に応用研究が行われた。なかでも 1959 年 10 月 東大の後藤氏のグループにより提案実験を

れた エサキダイオード対 (Goto pair) による論理回路がクロック周波数 30 Mc 以上の超高速度で動作することが報告され一躍注目を集めた。これに刺激され国内の主な研究機関において種々の回路方式が提案実験された。

以来、約 2 年を経過したが、まだエサキダイオードの特長を充分に發揮した決定的な論理回路はまだ見当たらない。これは、エサキダイオードの応用研究が進むにしたがって、この素子はあまり使いやすいものではないこと、すなわち回路的には 2 端子素子であり何らかの方法で情報の流れに方向性を持たせる必要のあること、また エサキダイオード自体の特性のバラツキ、安定度と増幅度の非両立性、あるいは信頼度の共に若干の問題が残されていることなどが分ってきたためである。これらの理由で多数の回路を用いて、あるシステムを構成した例はまだなく、エサキダイオードの論理回路への応用について一部では悲観的な見方をする向きもでてきた。しかし、種々の欠点はあるが、動作速度の面で他の素子の追従を許さない絶対的に優れた特長があり、この長を生かして 何とか使いたい素子である。

筆者はエサキダイオードが一般に知られるようになった当初よりその論理回路への応用について検討を続けていたが、高速性、高利得および電源電圧の変動に対するマージンの点よりみて後藤氏のダイオード対方式が最も有望と考えた。この方式は方向性を持たせるために相励振を採用し、多数決論理演算を用いるなどパラメトロンと類似した巧妙な方法である。しかし、この方式では基本的な論理演算の一つである否定が困難であり、しいてこれを行うには対称回路法すなわち表回路と裏回路を備える必要があり、これがこの方式の実用を妨げる最大の欠点であった。

この欠点を除去するため、筆者は変成器を用いて回路全体を接地電位より切り離なし変成器の二次巻線の中点をダイオード対の中点とともに入、出力端子として用いることにより否定演算が極めて

容易に行いうる回路を提案した。(このため、この回路を無接地型ダイオード対回路と称する。) また、出力信号の幅を拡げるために必要な直流電圧は各回路に附属したオートバイアス回路より供給したため正弦波のみによる相励振が可能となった。(このため、この回路をオートバイアス法と称することもある。)したがって、多数決論理を用いる実を考慮すれば、論理構成は、現在すでに開発されているパラメトロン論理回路がそのままこの回路にも適用しうることになる。また変成器を用いることにより低インピーダンスのダイオード対と高インピーダンスの電源側とのインピーダンス整合が行われるため多数^個の駆動が容易となった。この他、変成器を用い無接地型にすることにより、いわゆる接地電流の悪影響がなくなり高速化が容易となった。

このようにダイオード対方式の根本的な欠点が除去され、さらに種々の実が改良されることが分かったので、その後この回路の実用性について検討を続け一応の見通しを得た。さらに、この回路を多数個用いた場合に発生する諸問題を調べるためA-D変換器および簡単なパイロットモデル計算機を試作し、満足な結果を得た。

この論文はこれらの研究過程において発生し、解決した諸問題を記述したものであり、次のような内容より成り立っている。第2章において、まずエサキダイオード自体の説明およびこれを用いた代表的な論理回路を述べ、これらの得失を比較した後、無接地型ダイオード対回路を提案している。第3章においては、エサキダイオード対回路の諸特性 すなわち スイッチ特性、安定条件、負荷特性不均衡特性および動作マージンを記述している。第4章においては無接地型ダイオード対回路の実験結果、および実用上の諸問題を述べ、さらに高速化の諸問題に^解れた。第5章では本回路の応用として試作した超高速A-D変換器およびこの装置のテレビ信号のP.C.Mへの応用に関して述べ、つぎに本回路を多数個用いた超高速パイロットモデル計算機の概要を記述し、さらに遅延ケーブルによ

る記憶回路について述べた。第6章においては結論として今後に残された諸問題、将来の見通しを附記した。

第2章 エサキダイオード論理回路

第1節 エサキダイオードについて

(1) エサキダイオードの動作 ⁽¹⁾⁽²⁾⁽³⁾⁽⁴⁾⁽⁶⁾⁽⁹⁾

エサキダイオードは1957年江崎玲於奈氏により発明された優れた半導体素子である。この素子は一種のP-n接合ダイオードであるが、P、n両域共、不純物濃度が非常に高く、順方向にダイナトロソ型の負性抵抗が見られる。江崎氏はこの現象をいわゆる量子力学的トンネル効果により説明した。このトンネル効果は電子の波動性に基づくものであり動作速度が極端に早く、エサキダイオードが特に最近注目される第一の理由である。

ここでエサキダイオードに負性抵抗の生ずる理由を定性的に説明する。図2.1はP-n接合の不純物濃度を变化した場合、その電圧電流特性、特にbreakdown電圧の変化を示すものである。不純物濃度 10^{15} cm^{-3} 以下の高純度のP-n接合は、逆耐電圧が高く、いわゆる高逆耐圧ダイオードとなるが濃度が増すにしたがってbreakdown電圧は下りZenerダイオードの特性を示す。さらに濃度を増加するとますます逆耐電圧は下がり、 10^{18} cm^{-3} 程度では順方向よりもむしろ逆方向の伝導度が良くなり、P-n接合の整流方向が逆転する。このようなダイオードは逆方向ダイオード(Backward diode)と呼ばれる。さらに不純物濃度を増す($10^{19} \sim 10^{20} \text{ cm}^{-3}$)と、順方向にも、トンネル効果によるZener電流が流れ図2.1(B)に示すような負性抵抗を示すようになる。この順方向に流れるZener電流は発見者に因んで江崎電流(効果)と言われる。不純物濃度がこの程度になると、その原子百分率は、ゲルマニウム 1 cm^3 には 4.5×10^{22} 個の原子が含まれているとして、 $(10^{19} \sim 10^{20} / 4.5 \times 10^{22}) \times 100 \div 0.1\%$ となる。合金型トランジスタの不純物濃度が 10^{15} cm^{-3}

程度であるのと比較すると、その値は極めて大きい。

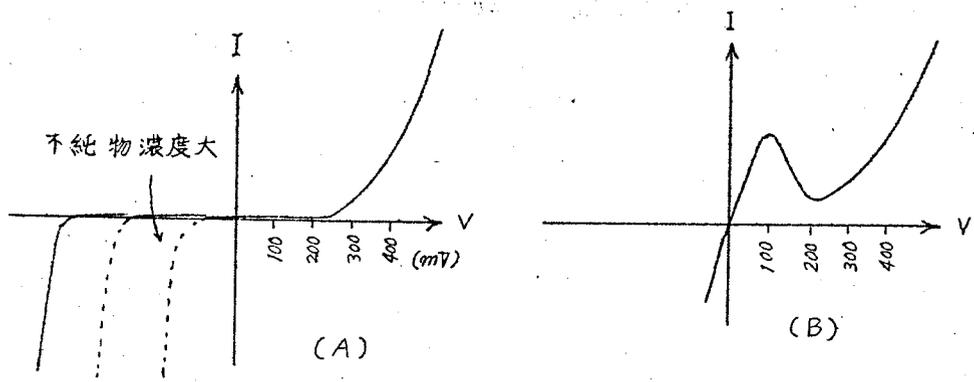
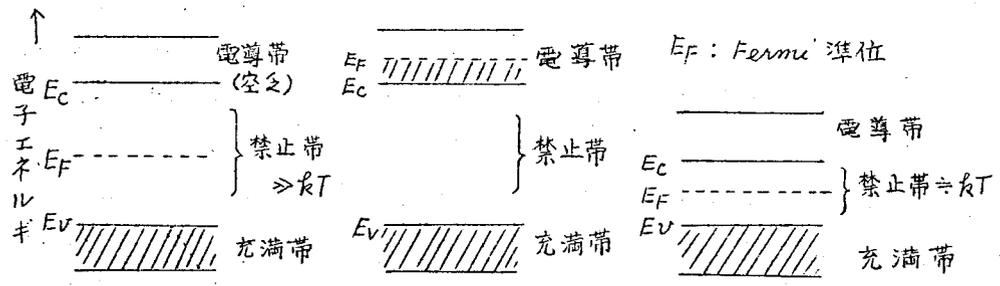


図 2.1 不純物濃度と静特性

この江崎電流は結晶体の帯理論 (Band Theory) より理解される。この理論によれば結晶体の電子の取り得るエネルギー準位は許容帯と呼ばれるある幅を持った領域に限られ、この間に電子の取り得ないエネルギー準位すなわち禁止帯がある。許容帯域が全部電子で占められた場合、充満帯となり、この帯域内の電子状態は外部電界により変化しないため電気伝導にはあずからない。これに対し許容帯域に電子が入りこむ余地があれば、外部電界により電子は同じ帯域内のより高いエネルギー状態に移り得るから電流が流れる。このような帯域を伝導帯域という。また、許容帯域ではあるが電子のない空乏帯域もある。



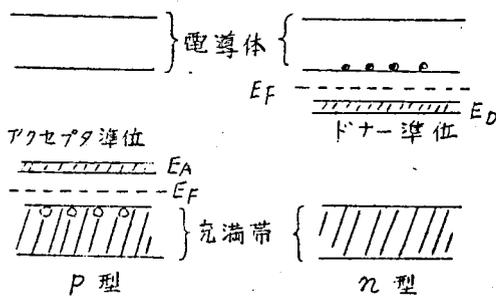
(A) 絶縁帯体 (B) 金属 (C) 真性半導体

図 2.2 帯構造

絶縁物では図 2.2 (A) に示すように充満帯域と空乏帯域は数 eV の禁帯域で隔てられている。したがって、充満帯域の電子を空乏帯域に引き上げるには大きなエネルギーを要し、通常これらは、比抵抗が大きく絶縁体となる。これに対し、金属の帯構造は同図 (B) に示すように、伝導帯域に多量の電子が存在するため、電気伝導率は非常によい。このような帯構造は固体論的には縮退した状態という。図は簡単のため、絶対零度の場合を示したものであるが、実際には伝導帯域にある電子エネルギーは周囲温度に対応してある値 (Fermi 準位) を中心として分布する。

次に半導体であるが、純粋半導体と不純物半導体とは若干異なる。前者の帯構造は同図 (C) に示すように絶縁体のそれと類似している。しかし、エネルギー間隙が小さいため、いくらかの電子は伝導帯域に熱的に励起され、このため生ずる電子-正孔対によって多少伝導性を示す。不純物半導体は、n 型と p 型があり 図 2.3 に示すような帯構造を持つ。n 型半導体は、伝導帯域の下に、ドナーとして添加した不純物による新しい準位 E_D (ドナー準位) が生ずる。

ドナー準位から伝導帯域に電子を引き上げるに要するエネルギーは少



なく、伝導性はよい。

Fermi 準位はドナー準位と伝導帯域の中間にある。

p 型では空乏帯域上にアクセプタとして加えた不純物によるエネルギー準位 E_A (アクセプタ準位) を生ずる。Fermi 準位はアクセプタ準位と充満帯の中間にくる。

図 2.3 半導体の帯構造

半導体の不純物濃度を増した場合の帯構造に関しては種々の研究が行われているが、不純物濃度と共に活性化エネルギー (不純物準位と伝導帯域 (n 型), または充満帯域 (p 型) のエネルギー間隙) が

減少すると言われている。 10^{18} cm^{-3} 程度に達すると、ほとんど0に近づく。また不純物濃度が増加すると不純物準位がある幅を持つてくる。その結果不純物が著しく多い場合、不純物準位は n 型では伝導帯域と重なり、 p 型では充満帯域と重なる。したがって帯構造は金属のそれと似たものとなり、縮退した状態となる。

図 2.4 はこのような p 型、 n 型の半導体で階段状の接合を作った場合のエネルギー準位図を示したものである。 F_{fermi} 準位は熱的エネルギーの平均値を表わすものと考えられるから、 p 型、 n 型が熱的に平衡状態にあれば両者の F_{fermi} 準位は一致す

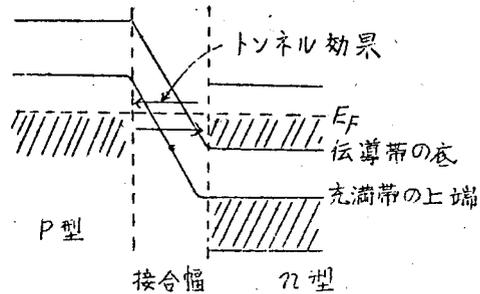


図 2.4 エサキダイオードの帯構造

る。エサキダイオードのように不純物濃度が $10^{19} \sim 10^{20} \text{ cm}^{-3}$ となると、接合が階段的であると仮定して、接合の幅は 100 \AA 程度の非常に薄いものとなる。このように薄くなると、電子は量子力学で言われるトンネル効果によって禁制帯域を通過するようになる。このトンネル効果は p 型 \rightarrow n 型の何れの方角にも生じ、外部回路には、この差の電流が流れる。電圧を加えない状態では両者は等しい。逆方向 (p 型に負電圧) に電圧を加えると 図 2.5 (Z) に示すようにエネルギー帯は移動し電子は矢印の方角にトンネル効果を起こす。これは特性曲線 図 2.6 (Z) に対応し甚だ抵抗が低い。順方向に電圧を加えた時は、 $n \rightarrow p$ にトンネル効果により電子が移動する。(図 2.5 (b))。電圧を増すと、この電流は一旦極大に達した後かえって減少する。トンネル効果のためには電子のエネルギーおよび運動量が保存されねばならず、図で言えば水平方向しかトンネル効果は起り得ない。したがって、電圧が増せば、図より明かなように、 n 型の伝導帯が p 型の禁制帯に重なり、トンネル効果を起こす

べき準位が減り順方向電流は減少する。見方を変えると電子エネルギーの小さな間はトンネル効果により電流が流れるが、これがある値になると障壁によって電子が反射され電流が流れ難くなると考えてもよい。図 2.5 (c) の電圧では、理論的には電流は全く流れない

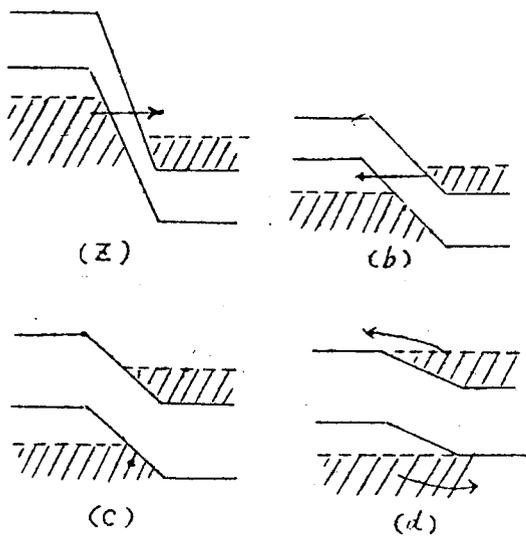


図 2.5 種々の印加電圧と帯構造

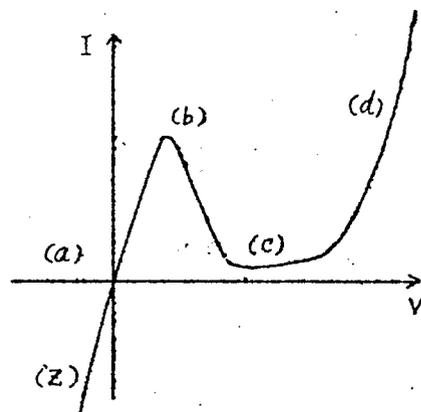


図 2.6 エサキダイオードの静特性

等であるが、実際は、いくらかの過剰電流 (Excess Current) が流れる。これは結晶の不完全さなどのため帯構造が図のような簡単なものではないためであろうと考えられている。さらに電圧が増せば電子または正孔が熱的に障壁を越えて拡散電流が流れはじめる。

(図 2.5 (d)). これは通常のダイオードに見られるダイオード電流である。以上定性的にエサキダイオードの電圧、電流特性を説明したが、江崎氏は理論的にトンネル電流を計算し、実測値との一致を確かめている。

(2) エサキダイオードの電気的諸特性 ⁽²⁾⁽³⁾⁽⁴⁾

写真 2.1 は典型的なゲルマニウム エサキダイオードの静特性曲線 (9)

線を示したものである。尖頭電圧 $V_p = 50 \sim 70 \text{ mV}$ 、谷電圧 $V_v = 300 \sim 350 \text{ mV}$ の範囲にある。尖頭電流値 I_p は数 Amp から数百 μA 程度の種々のものが得られ、尖頭電流対谷電流比は 2:1 から 14:1 の間にある。これらの値は添加する不純物の種類、濃度および接合部の断面積に大きく影響される。

ゲルマニウムの他にシリコン、金属間化合物を素材として用いたエサキダイオードも研究試作されている。シリコンエサキダイオードはゲルマニウムのそれに比して V_p 、 V_v が高いが C が大きく性能指数が悪いため高速回路には適さない。金属間化合物、例えばガリウム砒素 (GaAs)、インジウムアンチモン (InSb) によるエサキダイオードは何れも良好な特性を示し、有望視されているが、前者は特性劣化の問題が未解決であり、後者は極低温で動作させる必要がある。したがって以下本論文で述べるエサキダイオードはすべてゲルマニウム製のものとする。

エサキダイオードの動作機構は前述したように電子の波動性に基づくため動作は極めて速く、電子がトネル効果により禁止帯を通過する時間は 10^{-13} 秒以下といわれている。したがって負性コンダクタンス g はこの程度の周期の波動に対しては純実数と見做せる。しかし、 p - n 接合には空乏層によるいわゆる障壁容量 C が存在するためエサキダイオードとしては C/g なる時定数を持ち、このため最高動作速度は制限される。したがってこの時定数 C/g はエサキダイオードの動作限界を示す最も重要な性能指数 (*Figure of merit*) と考えられる。現在市販されているゲルマニウムエサキダイオードでは負性コンダクタンスは $-15 \text{ m}\Omega$ 、障壁容量は 6 pF 、したがって時定数 $\tau = 4 \times 10^{-10} \text{ sec}$ 程度である。この時定数は将来製造技術の進歩によって、更に 2 桁以上良くなる可能性はあり、米国ではすでにこの高性能のエサキダイオードの量産に成功したと報じられている。(5)

エサキダイオードの等価回路は図 2.7 に示すようなものと考えら

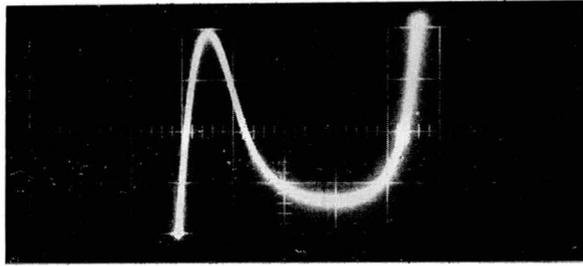


写真 2.1 Ge. イサキダイオードの静特性

(V ; 0.5 mA / div.
 H ; 100 mV / div.)

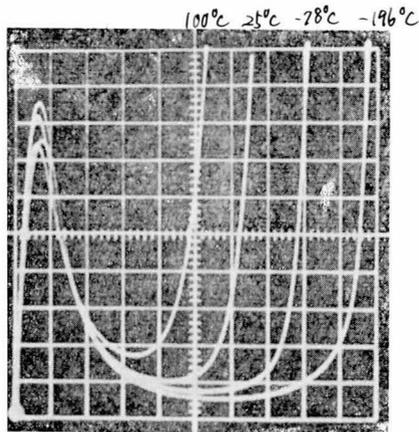


写真 2.2 電圧電流特性の温度依存性

(V : 0.4 mA / div
 H : 75 mV / div)

れる。ここに g はトソネル電流に基づくコンダクタンスであり、バイアス電圧により変化し、順方向のある領域で負値をとる。 C は主として障壁容量より成り、バイアス電圧により若干変化する。以上はエサキダイオードの

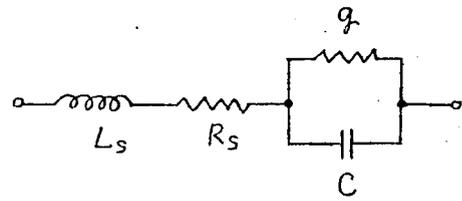


図 2.7 エサキダイオードの等価回路

接合に固有のものであるが、実際には、この他に組立上必然的に附随する寄生素子が存在する。これらは、直列に入るバルク抵抗 R_s 、導線ならびに容量のインダクタンス L_s が主なものである。

エサキダイオードの尖頭電流値の温度特性の一例を図 2.8 に示す。⁽⁵⁾

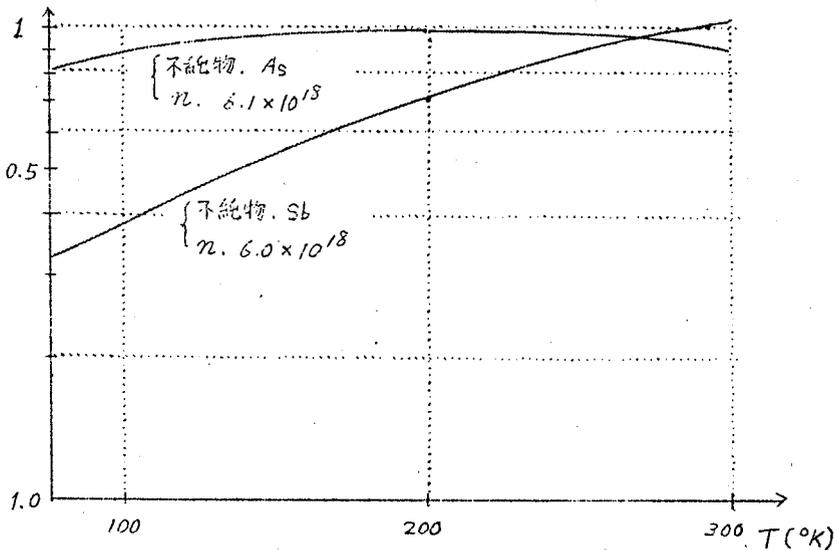


図 2.8 尖頭電流と温度との関係

このように添加する不純物の種類および濃度により異なるが、かなり広範囲で一定値を示すものがある。過剰電流、拡散電流は通常の $P-n$ 接合ダイオードと同様、温度と共に増大する。したがって全体としてエサキダイオードの温度依存性は写真 2.2 に示すような形となる。このように広い温度範囲で動作することは注目すべきである。

(3). エサキダイオードの特長および欠点

前述したようにエサキダイオードは多数キャリアの移動により動作する。この点、少数キャリアの拡散、ドリフトにより動作する従来のトランジスタ等の半導体素子と根本的に異なる。したがって少数キャリアの寿命、走行時間、蓄積時間等の面倒から脱却した素子となる。また、この負性抵抗がダイナトロソ型（短絡安定型）であることは、従来の半導体負性抵抗素子たとえば *pnpn*, *double base diode* などがすべて *arc* 型（開放安定型）である点と異なり大きな特長である。

これまで述べた説明をもとにして応用する立場からエサキダイオードの特長をまとめると次のようになる。

- 1) 動作速度が極端に速い。
- 2) 温度に対して安定であり、特に絶対零度近くでも動作する。
- 3) 動作電圧範囲より分るように消費電力が少ない。
- 4) 雰囲気（湿度等）に影響されにくい。したがって安定、長寿命が期待される。
- 5) 真空管、トランジスタに比して低雑音である。
- 6) その構造よりみて小型である。また製造が容易であり、将来トランジスタに比して安価になる可能性がある。
- 7) 不純物濃度が高いため放射線による損傷が少ない。

つぎにエサキダイオードの欠点とされている諸点を列記すると次のようになる。

- 1) 二端子素子である。したがって入力と出力の分離ができず、段間の結合、信号の伝送に特別の工夫を要する。
- 2) 低インピーダンス素子である。これはコンタクトおよび接合容量が比較的大きいためである。
- 3) *designability*（設計の融通性）がない。すなわち V_p , V_v が素子により定まり、トランジスタにおけるような種々の特性のものが得られない。

4) 機械的に弱い。これは I_p を適当な値にするため *etching* を行うから、接合面積が極めて狭くなるためである。

以上述べた種々の欠点は製造技術、回路技術の進歩により大部分克服される。したがって総合的にみると、エサキダイオードは特に高速論理回路素子として理想的な性質を備えているものと考えられる。

第2節 エサキダイオードによる代表的な論理回路

前述したように エサキダイオードは高速論理回路素子として好適なものと考えられ、これを用いた数多くの論理回路が提案実験されている。これを大きく分類すると単一のエサキダイオードと負荷抵抗あるいはインダクタンスを直列接続した回路方式と、特性の等しい2個のエサキダイオードを直列接続したダイオード対方式になる。本節ではこの両者の動作を説明し、さらにこの比較検討を行なう。なお、エサキダイオードをトランジスタ論理回路の速度を上げるため補助的に用いる方式あるいは エサキダイオードにパラメータ励振をかける方法もあるが、これらは特殊なものであり、これには触れない。

(1) 単一エサキダイオード論理回路。(14) (23) (27)

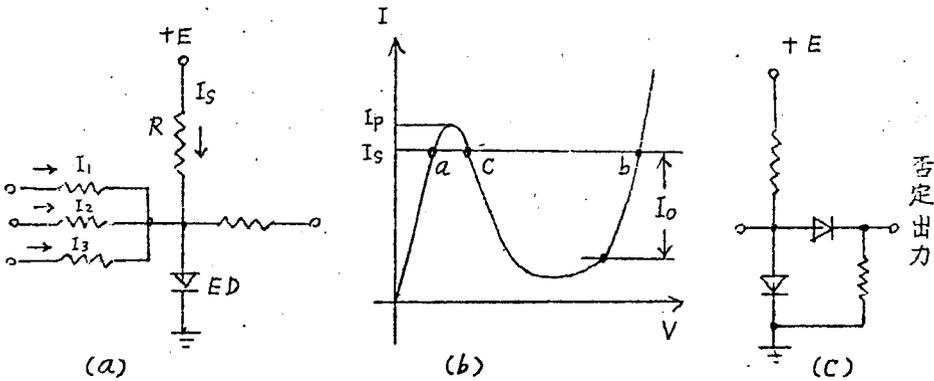


図 2.9 単一エサキダイオード論理回路

まず、図 2.9 に示したようなエサキダイオード E, D と負荷抵抗 R を

直列にした回路が考えられる。負荷抵抗 R は数 $k\Omega$ の大きな値であるから、ほとんど定電流源とみなしてよい。この電流値 I_s をエサキダイオードの極大値 I_p よりわずかに少なくなるように選定すると、この回路の動作特性曲線は図2.9 (b) に示すような型となる。ダイオードの特性曲線と負荷直線は a, b, c の三点で交わるが、このうち c 点は負性抵抗の領域にあるため不安定となり、 a 点または b 点の何れかに落ち着く。 a, b 点はそれぞれ二値論理の $0, 1$ に対応させる。

最初電源を切るか、リセット電流を流すことにより回路は a 点に戻っている。ここで入力端子から入力電流が流れこみ、この値 ($I_1 + I_2 + I_3$) が $I_p - I_s$ を越すと、負性抵抗に基づくトリガ作用によって a 点から b 点に状態が移る。出力電流としては同図 (b) に示した I_0 を利用できるが入力電流はこれに比して十分少なくとることができ、ここに利得すなわち増幅作用を生ずる。この電流 I_0 によって抵抗を介して結合されたこれと同種の多数個の回路を駆動することができる。この種の回路において、論理演算は閾値論理 (Threshold Logic) に基づいて動作する。したがって、 n 個の入力中 1 個でも 1 になれば状態 1 になるよう閾値を選定すると、論理和ができ、 n 個 (奇数個) の内 $(n+1)/2$ 個以上の入力で状態 1 になるようにすれば多数決、 n 個すべてが 1 のときのみ状態 1 になる場合は論理積となる。実際には安定度などの関係で $n=3$ 以下にすることが多い。論理否定を行なうには図2.9 (c) に示すように R と D を交換した回路を作ればよい。

この種の回路で方向性を持たせるためには三相矩形波励振を行なうか、または三相でリセットパルスを印加する方法と、段間の結合にダイオードを用いる方法がある。この他図2.10 に示すように、負荷にインダクタンスを挿入すれば単安定回路となる。この回路は入力電流により a 点から b 点にトリガされることは前と同様であるが、一定時間後再び a 点に戻り、一定時間幅の出力を出す点が異なる。したがってリセットパルスは必要ない。

論理演算は前と同様閾値論理によって論理和，論理積を行なう。変成器によって出力パルスの極性を反転することにより，否定を兼ねさせることができる。入力信号の時間的位置を一致させるには，外部より同期をかける必要がある。方向性を持たせるにはダイオード結合を行なえばよい。

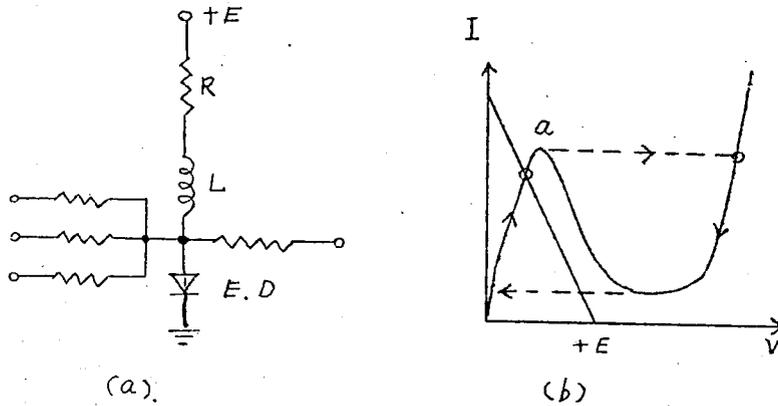


図 2.10 単安定型論理回路

(2) エサキダイオード対回路 ⁽¹²⁾⁽¹³⁾⁽¹⁴⁾⁽¹⁵⁾

エサキダイオード対論理回路は我が国では東大の後藤英一氏によって提案されたものであるが，米国において，これよりも先に考案されていた模様である。この回路は図 2.11 (a) に示すように 2 個の

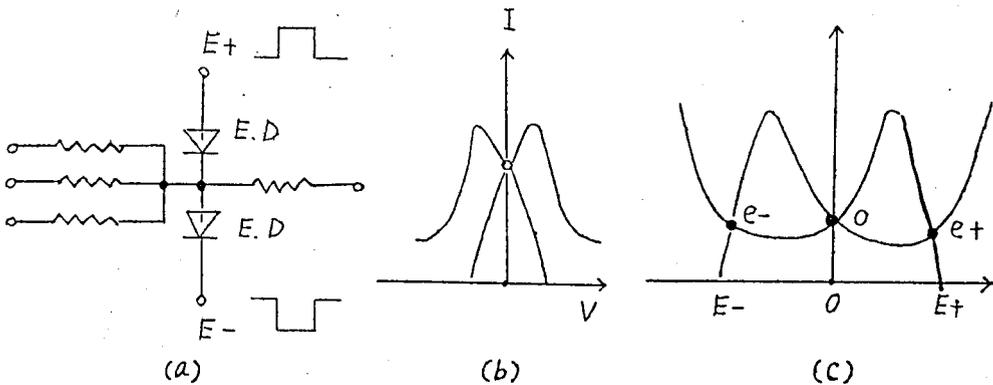


図 2.11 エサキダイオード対回路

特性の等しいエサキダイオードを同方向に直列接続し、(ダイオード対)、この両端に正負対称な励振電圧 E_+ , E_- を加える。この励振電圧の少ない間は図 2.11 (b) に示すようにダイオード対の中点の電圧は 0 であり安定状態にあるが、適当な電圧範囲 (同図 (c)) では中点の電位は e_+ , 0, e_- の三状態を取る可能性がある。これらは同図 (c) の交点により示されている。これら三安定状態のうち、0 の状態は両ダイオードが負性抵抗の領域にあるため不安定となり実現されず、 e_+ , e_- の何れかの状態に落ちつく。したがって、これを二値論理の 1, 0 に対応させることができる。中点の電圧が e_+ , e_- の何れになるかは電圧 E_+ , E_- を印加したとき、あらかじめ中点に加えた微小な直流電圧が正であるか負であるかにより定まる。これは情報信号の増幅とみなすことができる。論理演算を行なうには同図に示したように奇数個の入力抵抗を結合すれば、入力信号 e_+ が多いか e_- が多いかにより (出力電圧 e_+ , e_- は次段の入力信号となる)、その回路の出力は e_+ または e_- になりいわゆる多数決論理を行なう。この回路に方向性を与えるには 矩形波 または 直流を重ねた正弦波による三相励振法を用いる。したがって、この回路は完全な同期方式である。

(3) 上記論理回路の比較

つぎに上記二種の論理回路を種々の観点より比較する。まず、論理回路を評価する場合、最も重要な因子の一つと考えられる動作余裕度 (動作マージン) について考察する。これはエサキダイオードの特性のバラツキ、回路部品の偏差、励振電源電圧の変動などの原因に基づく。単一エサキダイオード論理回路においては、これらの要因の変動は直接論理回路の閾値 (Threshold) の変動となることは前述の説明より明らかである。したがって、安定な動作のためにはこれらの要因の変動を極めて厳重に制限しなければならない。これは増幅度を上げるほど、すなわち、論理回路の分岐数を多くするほど重要な問題となる。一方エサキダイオード対回路においては

対を構成する2個のエサキダイオードの特性が等しいものとするれば、励振電圧の変動によつて閾値が変化することはなく、動作余裕度はかなり広がる。換言すれば、つねに最大の増幅度が得られることになる。以上は動作余裕度についての極めて概略的な比較であるが、これらは定量的にも検討されており、この結果は上述した事柄と一致している。⁽²²⁾

なお、エサキダイオード対回路において、対相互の特性のバラツキは動作マージンには二次的な影響しか持たない。したがつて、特性のバラツキの問題は、2個の特性の等しいダイオードの選出という操作によつて置き換えられる。

つぎに、両者の最大動作速度を比較する。種々の理論的、実験的な検討の結果、立ち上り時間(すなわち最大動作クロック周波数)はエサキダイオード対回路の方が単一エサキダイオード回路に比して大抵2倍速いと考えられている。⁽²¹⁾ また、下降時間も前者の方が速いという報告がある。

また、励振電圧波形を比較すると単一エサキダイオード回路では3相矩形波が必要なのに対し、対回路では直流を重ねた正弦波で充分である。したがつて、この点でも後者が高速回路に適している。

さらに、周囲の温度変化に対する動作マージンを考えると、対を構成する2個のエサキダイオードの温度特性が等しければ、明らかに対回路の方がよくなる。

一方、回路構成の点から両者を比較すると、対回路は使用するエサキダイオードの数が2倍となり、また、対のインピーダンスが極めて低いため、励振電源とのインピーダンス整合が困難となり、多数個の駆動が極めて難かしい欠点がある。

以上何れも一長一短はあるが、総合的に考えると対回路が優れていると判断される。したがつて、ここでは対回路を基本形として採用することとし、以後の検討を進める。

第3節 無接地型エサキダイオード対論理回路

(1) エサキダイオード対回路の欠点

エサキダイオード対回路は前述したような優れた特長を持つが、同時に根本的な欠点がある。その第一は、基本的な論理演算の一つである否定、すなわち極性及転を含む演算を結合抵抗のみでは簡単に行うことのできない点である。図2.12 に示すように反転変成器

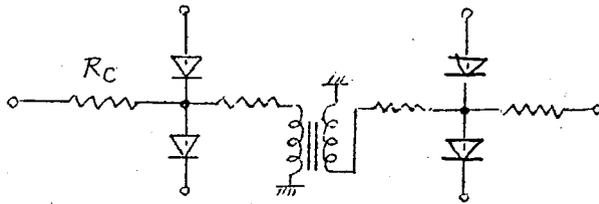


図2.12 反転変成器による否定

がまず考えられるが、ダイオード対の信号は直流成分を持つから、このような方法で完全な反転を行うことができない。トランジスタ、真空管による反転回路も考えられるが、これらは必ず遅れを伴い、エサキダイオードの高速性を減殺する。⁽¹³⁾ また、高速化するためにしたがって回路が複雑となり実用は不可能と考えられる。図2.13 に示すような反転回路も提案されているが、⁽²⁶⁾ これは本来のダイオード対回路と考えることはできない。

ダイオード対のみで否定演算を行うため、対称回路法 すなわち表回路と裏回路を備える方法が提案されている。⁽¹²⁾ これは図2.14 に示すように、すべての論理変数とその否定を対にする方法であり、否定演算は表回路と裏回路の接続により行なわれる。この方法は1ビットの誤りを検出できる利点は

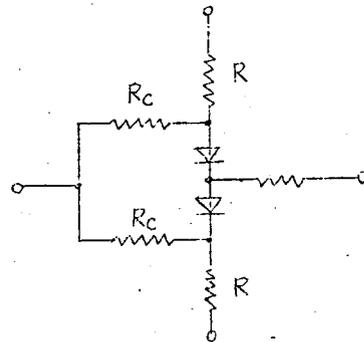


図2.13 複合対回路による否定

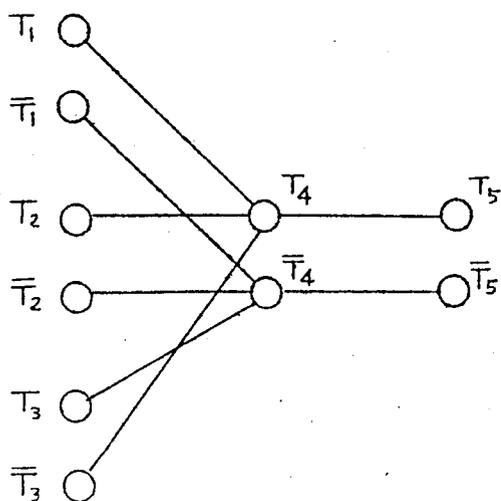


図 2.14 対称回路法による否定

あるが、エサキダイオードの数が2倍に増加する欠点がある。また、表、裏回路の論理変数が互いに否定になるという回路的な制約がないため、表裏回路をあらかじめ逆極性にプリセットする必要がある。これは特に、フリップフロップ回路のように最初の極性が不定の回路において必要となり、実際問題として非常に厄介である。これらを考えると、簡単な反転回路を得ることは重要な問題であり、ダイオード対回路の突用化の鍵であることがわかる。

第2の問題は、エサキダイオード対が極めて低インピーダンスの負性抵抗回路である点にある。これは外部に直列インダクタンスを接続すれば容易に発振条件を満足し、寄生振動を伴うことを意味する。ダイオード対は図2.15に示すように共通の定電圧的な励振電源より並列に饋電される。したがって、励振線が長くなるとその固有のインダクタンスによって寄生振動を起し動作不良となる。これは回路の数が多くなり、またクロック周波数が高くなるにしたがって問題となる。この他2個の対回路が並列に共通の励振電源により動作する場合、先にスイッチした対に流れる電流のため励振電源の内部インピーダンスによる電圧の降下が起こり、第2の対を同じ向きにスイッチする傾向を生ずる。これは並列に駆動される対回路の数が多くなるほど問題となってくる。これらの難点を除去することも重要な課題であった。

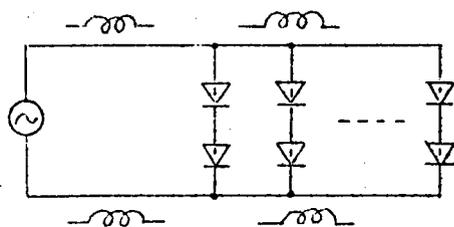


図 2.15 対回路の並列駆動

(2) 無接地型エサキダイオード対回路 ⁽¹⁷⁾⁽¹⁸⁾⁽¹⁹⁾⁽²⁵⁾

ここに提案するものは前述したダイオード対回路の諸欠点を除去した論理回路である。ダイオード対回路は図2.16(a)に示すように中実が接地された励振電源より饋電されている。したがって出力信号は共通の接地電位に対する電圧として取り出されるため反転が難かしい。しかし、図2.16(b)に示すように励振電源の中実Aを接地電位より切り離し、ダイオード対の中実Bとともに入出力端子として信号の伝送に用いれば、反転は相異なる端子間を接続することにより容易に行うことができる。図2.16(c)はこの考えを具体化した回路であり、変成器によって接地電位から切り離している。

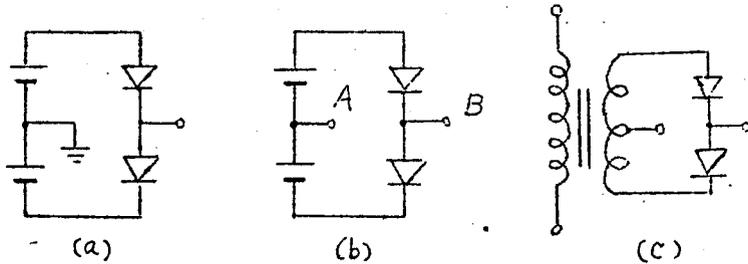


図 2.16 基本回路の原理図

図2.17は否定接続を示す。ここで注意すべきことは、このように励振電源側に変成器を用いる方法によれば信号の直流分は伝送されるから、結合に反転変成器を用いるものとは根本的に異なることである。

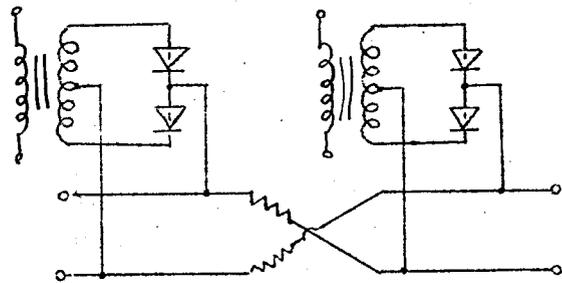


図 2.17 否定接続

このように変成器を介して正弦波の励振を加える場合、出力信号の幅を広げるために必要な直流電圧が問題となる。直流電圧を重畳しない場合、出力は図2.18(a)に示すように幅が狭くなり信号の伝送に三相以上の多相励振を必要とする。したがって、遅延回路

フリップフロップ回路を構成する場合極めて不利である。

ここでエサキダイオードの順逆方向のインピーダンスの相違を利用してオートバイアスをおける方法を用いた。図 2.19 に示すように 2 個の抵抗 R_b を直列接続したものにコンデンサ C_b を並列に接続し、その時定数 $2 \cdot R_b \cdot C_b$ を励振正弦波の周期（クロック周期）の数倍以上大きくすると、エサキダイオードの静特性曲線より明らかなように、逆方向のインピーダンスは非常に低いから、コンデンサ C_b に図に示す極性の直流電圧が発生する。したがって、図 2.18 (b) に示すように *duty factor* が増し三相励振を行うことが可能となる。このことから本方式をオートバイアス法と呼ぶこともある。

なお、後述する飛び越し結合を少にするためには論理回路の内部インピーダンスを低くするのが望ましい。このため抵抗 R_b はできる限り少にすべきである。

一方オートバイアス法の欠点としては、逆方向電流が流れるためダイオードの消費電力が若干大になること、およびダイオードの逆方向特性の不揃いが出力波形に影響することがある。しかし、これらは本質的な欠点とは考えられない。

多数決論理を行うことはダイオード対回路と同様である。これらを考慮すれば、図 2.19 に示すようにパラメトロンの論理構成がそのまゝこの回路に適用しうることは明らかである。以後論理回路

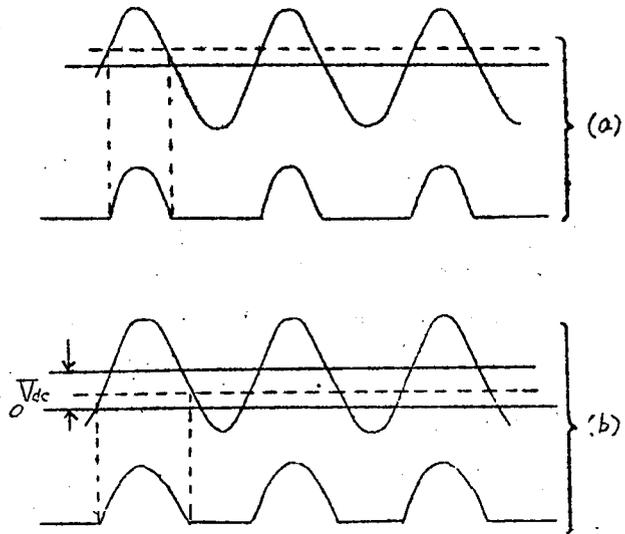


図 2.18 直流バイアスと出力信号波形

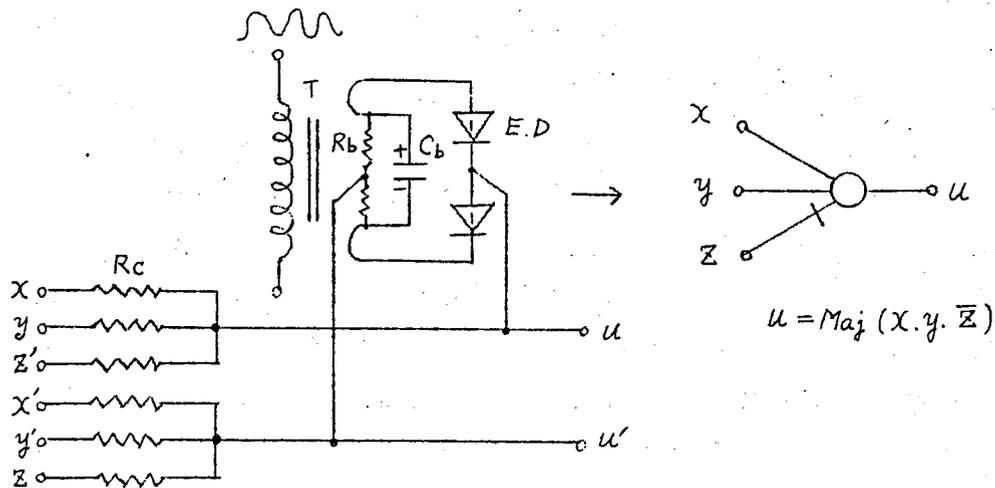


図 2.19 基本回路とその表示法

の表現にはパラメトロンの表示法を流用する。

つぎに本方式は変成器を介して励振を加えるため、変成器によってインピーダンス変換が行われ低インピーダンスのダイオード対と駆動線を含む励振電源とのインピーダンス整合が容易となった。このため、励振電源および駆動線のインピーダンスのダイオード対への影響が減少し、寄生振動が抑制され、動作が安定となり、また多数個の並列駆動が可能となった。これは変成器を用いたための附随的な、しかし実際は非常に本質的な利点である。

このような改良によってダイオード対回路の根本的な欠点が除去された。以下 この無接地型ダイオード対回路を単に基本回路と略称する。

第 4 節. 第 2 章の結論

本章では、まずエサキダイオードの動作機構を説明し、その特長を挙げ、この素子が高速論理回路に好適であることを述べた。ついで、エサキダイオードを用いた典型的な論理回路として単一ダイオード回路およびダイオード対回路をあげ、その得失を比較し、後者の優れている点を明らかにした。さらに、このダイオード対

回路の根本的な欠点、すなわち、否定演算が困難であること、寄生振動を伴い易いこと、多数個の励振が困難であることなどを除去した新しい無接地型エサキダイオード対論理回路を提案した。この基本回路は変成器を介して励振電圧を加え、直流電圧をオートバイアスより供給することが特長である。

第3章 エサキダイオード対回路の諸特性

第1節 対回路の出力波形

(1) 等価回路および基礎方程式

対回路の出力波形 特に立ち上り特性を求めるには、まずその等価回路を知らねばならない。前章図2.7を参考にすれば対回路の等価回路は、図3.1(a)に示すようなものと考えられる。ここに、 g は

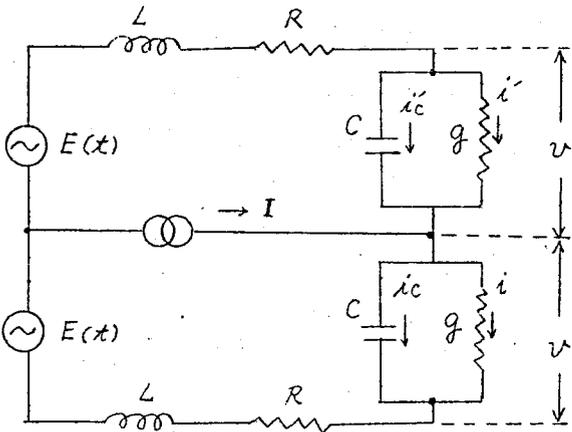
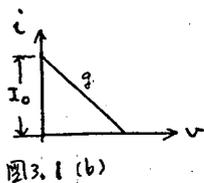


図 3.1 (a) ダイオード対の等価回路

エサキダイオードのコンタクトタンスであり、印加電圧と共に変化し順方向のある領域で負となる。 C は障壁容量、 R は直列抵抗であり、ダイオードのバルクの抵抗 R_s および変成器に用いたフェライト磁心の損失、導線の抵抗よりなる。 L は直列インダクタンスであり、ダイオードに附属するインダクタンス L_s 、変成器の二次側の巻線によるインダクタンス (漏洩インダクタンス) よりなる。 I は入力信号電流を示す。

この回路に励振電圧 $2E(t)$ を印加した場合の回路方程式は次のようになる。ただし $i, i', i_c, i'_c, v_L, v'_L, v_R, v'_R$ は図3.1に示すように、それぞれ g, C に流れる電流、 L, R の端子電圧とする。



いま簡単のため エサキタイオードの $v-i$ 特性を
 図 3.1 (b) のように直線近似する。

図 3.1 (b)

$$i = \underset{\wedge}{g} v, \quad i' = \underset{\wedge}{g} v' \quad (3.1)$$

$$i_c = C \frac{dv}{dt}, \quad i'_c = C \frac{dv'}{dt} \quad (3.2)$$

$$v_L = L \frac{d(i+i_c)}{dt}, \quad v'_L = L \frac{d(i'+i'_c)}{dt} \quad (3.3)$$

$$v_R = R(i+i_c), \quad v'_R = R(i'+i'_c) \quad (3.4)$$

$$2E(t) = v_L + v_R + v + v'_L + v'_R + v' \quad (3.5)$$

$$i + i_c = i' + i'_c + I \quad (3.6)$$

式 (3.1) ~ 式 (3.5) より $v + v'$ ($=V$; タイオード対の両端の電圧) に関する方程式は次式となる。

$$LC \frac{d^2V}{dt^2} + (RC + Lg) \frac{dV}{dt} + (1 + Rg)V = 2E(t) - 2RI_0 \quad (3.7)$$

式 (3.7) はタイオード対の安定条件を示す方程式であるが、これは単一のエサキタイオードに直列に R, L を接続した回路に対する方程式と全く同様である。この解については次節で詳細に検討する。
 式 (3.1), 式 (3.2), 式 (3.6) より

$$gV + C \frac{dV}{dt} = gV' + C \frac{dV'}{dt} + I \quad (3.8)$$

式 (3.7) の解を式 (3.8) に代入して方程式を解けば出力波形の一般的な解が得られる。

式 (3.8) はタイオード対の出力波形の特性を示す方程式であり、次項において詳しく検討する。

(2) 直線近似による立ち上り特性の解析⁽⁷⁾

式 (3.8) におけるコンダクタンス g はエサキタイオードの静特性より明らかのように、印加電圧 v の関数であり、また、障壁容量 C も厳密には v の関数であるため、一般には解くことができない。したがって、解析的に解くためには、 g, C を近似式で表現

しなければならない。C は動作電圧が少であれば一定として大きな誤差は生じない。g を表現するには多項式(例えば3次式)による方法、直線近似による方法等がある。

ここでは、最も簡単な直線近似によって、立ち上り特性を推定する。また、直列抵抗 R、直列インダクタンス L は充分小さいものとして省略する。したがって、式(3.8)は $v + v' = 2E(t)$ として次のようになる。

$$2g v + 2C \frac{dv}{dt} = 2 \cdot g \cdot E(t) + I + 2C \frac{dE(t)}{dt} \quad (3.9)$$

印加電圧 E が階段波形の場合、 $t=0$ において $v = E$ なる初期条件のもとに式(3.9)を解けば次式を得る。

$$v = -\frac{I}{2g} \left(e^{-\frac{g}{C}t} - 1 \right) + E \quad (3.10)$$

したがって v は図3.2 に示すように、入力信号電流 I の極性に依じて正または負に指数函数的に増大する波形となる。この時定数は $-\frac{C}{g}$ であり、エサキダイオードの性能指数に等しい。

$v = 2E$ に達する迄の時間を T_s とすれば

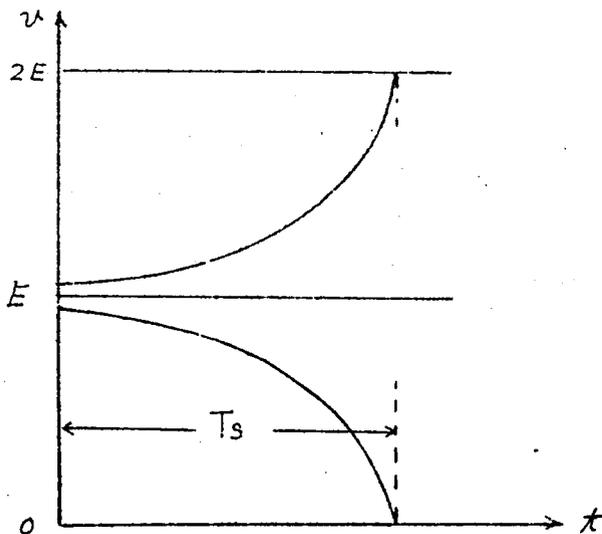


図3.2 対回路の立ち上り波形

$$T_s = -\frac{C}{g} \log \left(\frac{-2E \cdot g + I}{I} \right) \doteq -\frac{C}{g} \log \left(\frac{-2Eg}{I} \right) \quad (3.11)$$

次に、実際の動作状態に近づくために $2E(t)$ が一定の傾斜 2α で立ち上る場合、式(3.9)において $2E(t) = 2\alpha t$ と置いてその解を求めれば次式となる。

$$v = -\frac{I}{2g} \left(e^{-\frac{g}{C}\alpha t} - 1 \right) + \alpha t \quad (3.12)$$

これより出力の立ち上りの時定数は階段的な電圧を印加した場合と全く同様であることが分る。

ここで、式(3.11)に実際の値を代入して立ち上り時間を推定する。ゲルマニウム エサキダイオード IT1102 では、負性コンダクタンス $g = -10 \text{ mS}$ 、容量 $C = 5 \text{ pF}$ 程度である。入力信号電流 $I = 10 \mu\text{A}$ 励振電圧 $2E = 300 \text{ mV}$ とし、 $T_s = 2.8 \text{ m}\mu\text{s}$ となる。したがって、最高クロック周波数 f_m は、図3.3 のような3相励振の場合 $f_m \doteq 120 \text{ Mc}$ となる。しかし、これは前述したように2個のダイオードの特性が完全に等しいとし、かつ、直列インピーダンス R, L を省略した最も理想的な場合である。実際はこれらの因子の影響により f_m は減少する。この点について次節において詳述する。

なお、以上は g を一定とした場合であるが、エサキダイオードの電圧、電流特性を原点を通り、第1象限に2つの極値を持つような三次曲線

$$i = f(v) = av^3 + bv^2 + Cv \quad (3.13)$$

で表わし、式(3.9)を解く方法も行われているが⁽¹⁾

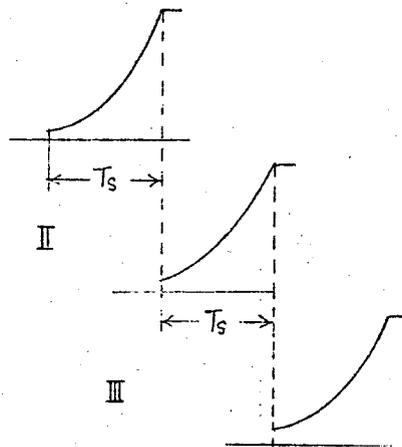


図3.3 f_m の推定

似て

立ち上り時間 T_s は式(3.11)と同様の結果が得られている。

(3) 計算機による立ち上り特性の *simulation*.

立ち上り特性を前述したより、さらに高い近似で解析するためには式(3.9)の g にエサキダイオードの実際の静特性に近い式を代入しこの数値積分を行なわねばならない。こゝに電子計算機を用いることは極めて有効であり、各所で種々の計算結果が得られている。なお、計算機によれば 励振波形を3相正弦波とし、実際に近い形でダイオード対論理回路を *simulation* することができ、さらに、高速回路の実験には不可避な寄生パラメータが除去され、回路の本質的な動作を知ることができる。

こゝに参考のため R.C.A.における計算結果を示す。(4) エサキダイオード対回路の出力波形は、その障壁容量が無視しうる低周波では対の一方を負荷と考えることにより図式解法で求めることができる。図3.4はこの場合の出力波形を示すものである。周波数が高くなると障壁容量が無視できなくなり、この方法はとれない。しかし、計算

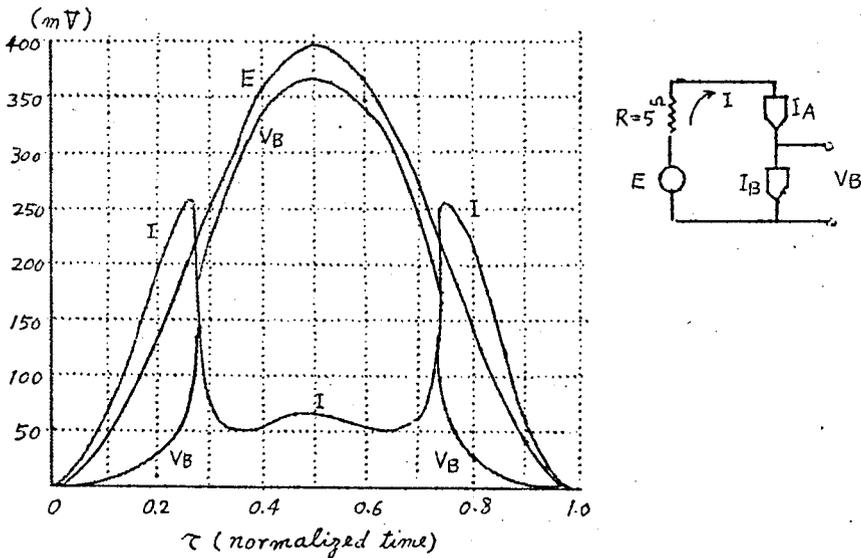


図3.4 出力波形 (Cを無視した場合)

機を用いればこの場合も比較的簡単に解析できる。すなわち、エサキダイオードの電圧、電流特性を次式で近似する。

$$I(v) = (A_1 v + A_2 v^3 + A_3 v^5 + A_4 v^7) e^{-v/V_p} + A_5 [e^{39v} - 1] \quad (3.14)$$

ただし v : [Volt], I : [mA], V_p : 尖頭電圧

$$A_1 = 950.2 \quad A_2 = 702.6 \quad A_3 = -1.133 \times 10^5$$

$$A_4 = 2.907 \times 10^6 \quad A_5 = 3.442 \times 10^{-7} \quad I_p = 20 \text{ mA}$$

また、励振波形 E は次式で示されるものとする。

$$E = K (1 - \cos 2\pi f t) \quad (3.15)$$

ただし K : 励振波の直流分 (0.2 V) f : クロック周波数、

また、電源および回路の直列抵抗 $R = 5 \Omega$ と仮定する。

これらの条件の下に対回路の方程式を立て、それらに、式 (3.14), (3.15) を代入して数値計算を行い、出力波形を求める。ここで簡単のため 2個のエサキダイオードの障壁 入力信号電流は加えず容量をそれぞれ $C_A = 170 \text{ pF}$ 、

$C_B = 150 \text{ pF}$ とし、容量の差によってスイッチする^ととする。これらの仮定のもとに、クロック周波数 f が $10, 30, 100, 300 \text{ MC}$ における出力電圧を求める。図 3.5 は これらの結果を示したものである。 $f = 30 \text{ MC}$ では明らかにスイッチングがみられるが、 $f = 100 \text{ MC}$ ではやや不明瞭となり $f = 300 \text{ MC}$ ではほとんど出力が得られない。なお、スイッチング時間を導く微分方程式において、障壁容量 C および周波数 f は積の形でのみ現われるから、これらの積が同じであれば得られる結果も同じである。すなわち、これらの結果は次式により変換される f_{II} , C_{AII} , C_{BII} に対しても成立する。

$$f_{II} = \frac{140}{C_{BII}} f, \quad C_{AII} = \frac{170}{140} C_{BII} \quad (3.16)$$

以上の解析は、ダイオード対回路が無負荷状態の場合であるが、実際は論理回路の入力、出力分岐数に応じた負荷が接続される。

このときも ほぼ同様の手段で出力波形が計算される。図 3.6 (b)

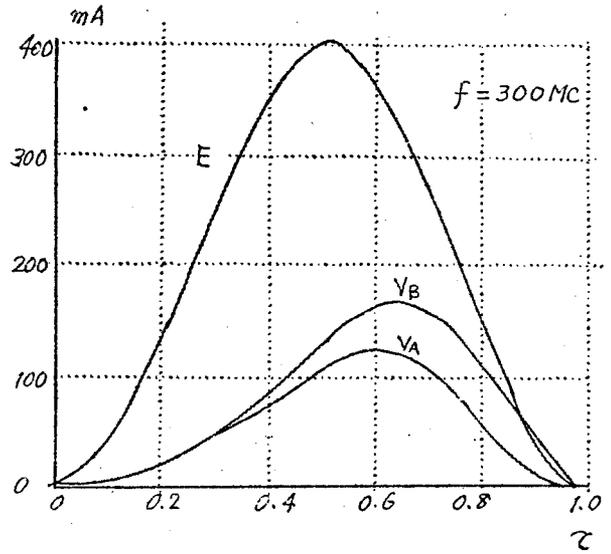
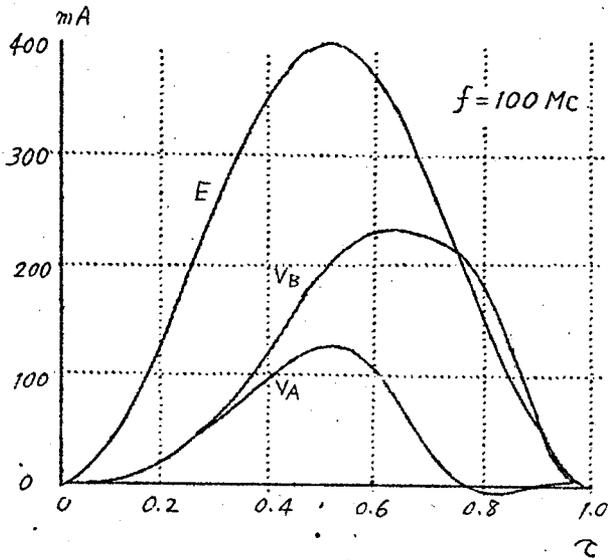
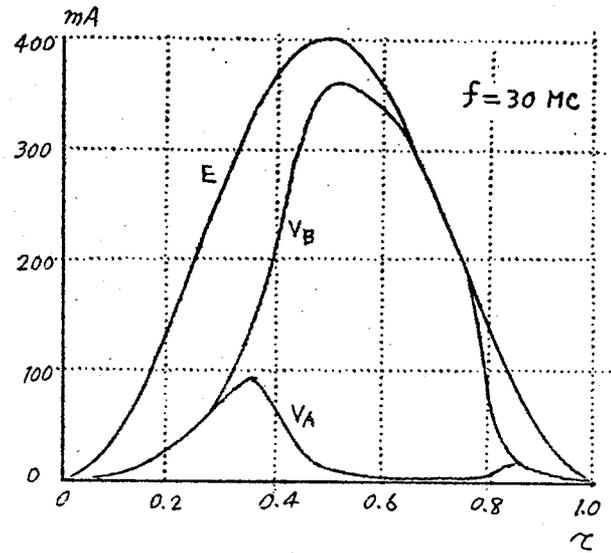
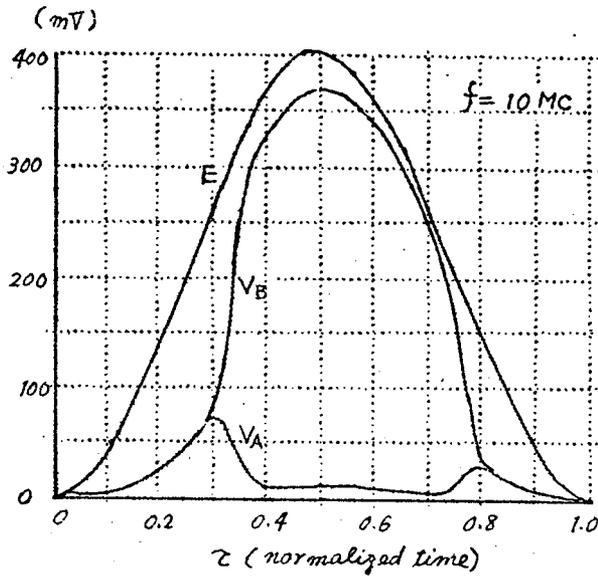
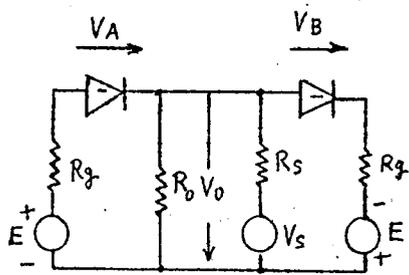
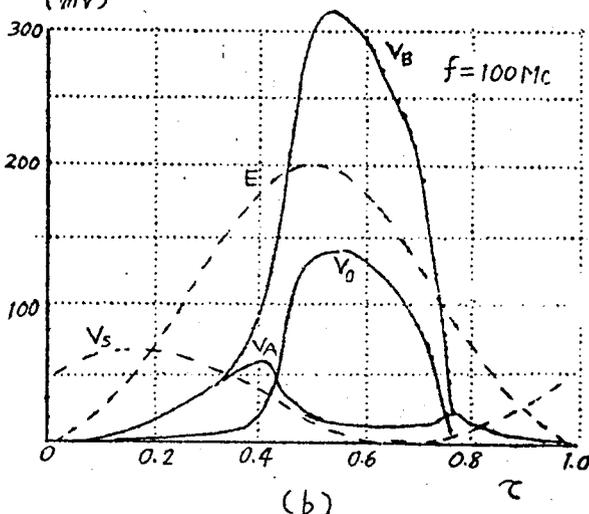


図 3.5 種々のクロック周波数における出力波形

は同図 3.6 (a) に示した等価回路において $I_p = 20 \text{ mA}$, $C_4 = C_3 = 20 \text{ pF}$. $R_o = R_c/m = 50 \Omega$ (出力側負荷). $R_s = R_c/n = 50 \Omega$ (入力側負荷), $V_s = \frac{E}{3}$ (入力信号電圧) として、計算により求めた出力波形の一例を示す。ただし m : 出力数, n : 入力数, R_g : 電導の内挿抵抗とす。



(a)



(b)

図 3.6 負荷のある場合の出力波形

この場合も無負荷の場合と同様、容量の影響により周波数の増共にスイッチ作用は悪くなり、出力は減少する。これらの解析結果よりダイオード対回路の最高クロック周波数 f_m [MC] は次式により推定される。

$$f_m = 250 \frac{I_p}{C} \quad (3.17)$$

ただし I_p : 尖頭電流 [mA]

C : 容量 [pF]

なお、この他に東大においては計算機 PC-1 を用いてダイオード対回路の simulation を行っており、対を構成する 2 枚のダイオードの特性のバラツキ、すなわち 尖頭電流、尖頭電圧、障壁容量の不均衡による出力波形の変化を詳細に解析している。⁽²⁾

また、電々公社通研においては計算機 M-1 を用いて、ダイオード対に段階的な励振電圧を加えた場合、その立ち上り時間と励振電圧の関係を求めている。⁽³⁾ 図 3.7 はこの結果を示したものであり、立ち上り時間は大体3つの領域に分かれ励振電圧の低い領域の方が立ち上り時間が少であるという結果が得られている。

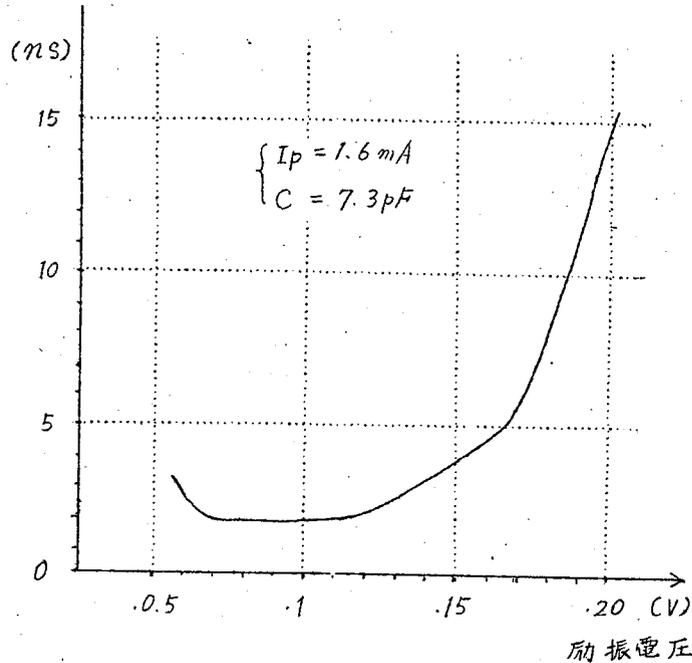


図 3.7 ダイオード対回路の立ち上り時間と励振電圧の関係

(4) 下降特性

立ち上り特性と同様、下降特性もクロック周波数を制限する一つの要因である。少数キャリアの移動を伴う半導体装置では、一般に少数キャリアの蓄積効果のため、下降時間が長くなりこの長より動作速度が制限される。しかし、エサキダイオードの負性抵抗の領域は多数キャリアの移動によるため蓄積効果はなく、また、拡散電流の領域においても不純物濃度が極めて高いため少数キャリアの寿命

は極めて短かく、蓄積効果は無視しうる。~~したがって、下降時間は~~
 図 3.8 (a) において、 E_{D1} は高電圧状態 $2E$ 、 E_{D2} は低電圧、
 状態 0 でありとす。

励振電圧 V を ~~step 電圧~~ $\pm E$ によることは 図 3.8 (b)
 において、スイッチ S を閉じることに
 相当する。このとき高電圧の状態にあっ
 たダイオード側の容量 C_1 の電荷は低電
 圧側のダイオードの容量 C_2 を充電し、
 その後、抵抗 R_1 、 R_2 により放電する。
 $\rightarrow R_1, R_2$ は C_1, C_2 の電圧に相当するインキタクトの抵抗とす。
 このとき抵抗 R_2 は逆方向に電圧が加
 わることになり、低い逆方向抵抗により

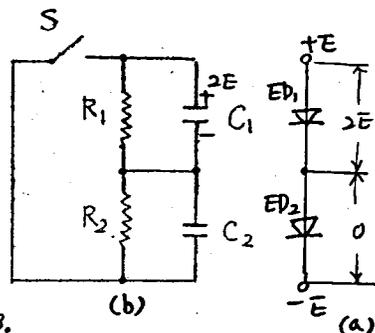


図 3.8 下降の場合の等価回路

極めて短時間に放電が行われる。この時定数、 $C_2 R_2$ は $6 \times 10^{-12} \times 20$
 $= 0.12 \text{ m}\mu\text{s}$ となり立上り時間の $\frac{1}{10}$ 以下となる。
 程度

第 2 節 エサキダイオード対回路の安定条件

(1) 対回路の過渡現象の解析 (7)(8)

基本回路は 図 3.1 に示したように、負性抵抗 ($\bullet g$) と受動
 素子 R, L, C より成るから、これらの値によっては発振条件が満足
 され寄生振動のため動作が不安定となる場合がある。この安定条件
 を求めるには 式 (3.18) を解かねばならない。

$$LC \frac{d^2V}{dt^2} + (RC + Lg) \frac{dV}{dt} + (1 + Rg)V = 2E(t) - 2RI_0 \quad (3.18)$$

この式は二階線型微分方程式であり、 $E(t)$ ~~step 電圧~~ ^{step} 電圧
 を印加した場合は容易に解くことができる。

すなわち

$$V = V_0 + K_1 e^{(\alpha + \beta)t} + K_2 e^{(\alpha - \beta)t} \quad (3.19)$$

1)

ただし
$$V_0 = \frac{2E - 2RI_0}{1 + Rg} \quad I_0 = gV_0 \quad (3.22)$$

また、 K_1, K_2 は積分定数、 α および β は それぞれ

$$\left. \begin{aligned} \alpha &= -\frac{1}{2} \left(\frac{R}{L} + \frac{g}{C} \right) \\ \beta &= \frac{1}{2} \sqrt{\left(\frac{R}{L} - \frac{g}{C} \right)^2 - \frac{4}{LC}} \end{aligned} \right\} \quad (3.23)$$

ここで $t=0$ において $V=0, \frac{dV}{dt}=0,$
とすれば、

$$\left. \begin{aligned} K_1 &= \frac{1}{2\beta} (\alpha - \beta) V_0 \\ K_2 &= -\frac{1}{2\beta} (\alpha + \beta) V_0 \end{aligned} \right\} \quad (3.24)$$

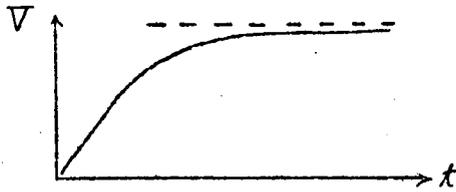
したがって、対の両端の電圧 V は次式で与えられる。

$$V = \frac{2E - 2RI_0}{1 + gR} \left[1 + \frac{e^{\alpha t}}{2\beta} \{ (\alpha - \beta) e^{\beta t} - (\alpha + \beta) e^{-\beta t} \} \right] \quad (3.25)$$

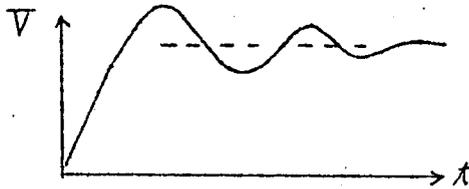
V は回路定数の値によって種々の過渡特性を示す。

これは α, β の値に関係し、よく知られているように β^2 の正負によって非振動波、あるいは振動波となり、 α の正負によって増大波と減衰波となる。これらの概略を示すと図3.9のようになるが、すでに詳細な報告がなされている。⁽⁸⁾

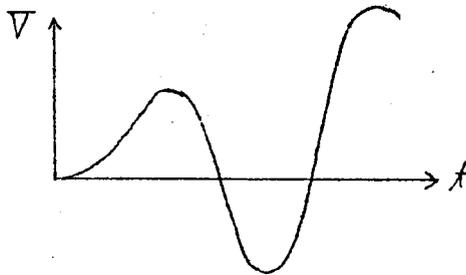
このように回路の過渡状態は α, β により定まり、これらは回路定数値 g, R, L, C より求めることができる。この場合の動作領域を直観的に示すために、



$d < 0, \beta^2 > 0, 1 + Rg > 0$
(減衰)



$d < 0, \beta^2 < 0$
(減衰振動)



$d > 0, \beta^2 < 0$
(発振)

図 3. 9

$$P = g \cdot R.$$

$$Q = g \cdot \sqrt{\frac{L}{C}} \quad (\text{または } Q^{-1})$$

(3.26)

なる無次元量を導入する方法が一般に用いられる。(8)(9)

これを用いれば $g < 0$ に対して

$$P = Q^2 + 2Q$$

$$P = -Q^2$$

$$P = -1$$

(3.27)

の各式が動作領域を区別する境界となる。これを示したものが図 3.10 である。また、表 3.1 は、各動作領域の過渡特性を示したものである。

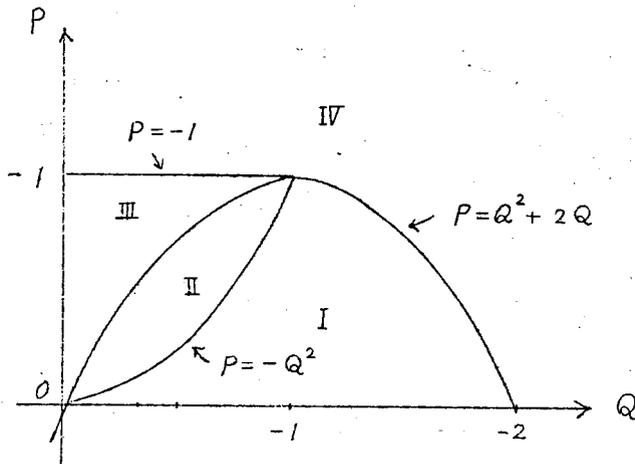


図 3.10 動作領域図

なお、実際のエサキダイオードの特性は非直線的であるから、 g 、 C は電圧により変化する。したがって上述の結果は電圧の大きな範囲では成立しない。また、上述の解析においては入力信号電流および入力側のインダクタンスを無

視したが実際の過渡状態を知るにはこの影響を考慮せねばならない。非直線性および入力信号電流を含めた動作を調べるにはアナログ計算機による解析が有効である。(10)

	増大波	減衰波
振動波	I	II
非振動波	IV	III

表 3.1 各動作領域の過渡特性

(2) 実験結果

上述した解析の結果を確かめるため図 3.11 に示すようにダイオード対に直列インダクタンス (L)、および抵抗 (R) を通して矩形波の励振を加え出力信号の立ち上り特性を調べた。実験には立ち上り時間の観測が容易なようにシリコンエサキダイオード ($C = 600 \text{ pF}$, $g = -10 \text{ mS}$) を用いた。図 3.12 は $R = 0$ で L を変えた場合の入力電流 (I) と立ち上り時間 (T_s) の関係を示したものである。実線はダイオード対の両端において発振を起した状態を

示している。一般に L が増すと共に T_s は若干増加するが、 L がさらに増加すると減衰振動を開始し、遂には完全に発振する。

このとき T_s は非常に長くなり、 I が少なくなるときは立ち上がらず出力電圧が得られないこともある。これは振動を起こすとエサキタ

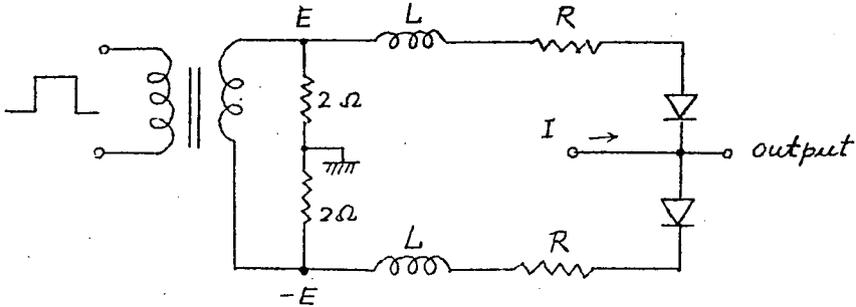


図 3.11 実験回路

イオード対に振動電圧が加わり、実効的な負性コンタクタンスが減少するためと考えられる。したがって、発振条件を満たさないよう L をできるだけ小さくすることが必要である。

図 3.13 はさらに直列抵抗 R を附加した場合の I と T_s の関係を示したものである。 R を大にすれば発振条件は満足されず、 T_s は L にほとんど関係なく I により定まる。しかし、 R を大にすると立ち上りに遅れを生ずるため好ましくない。次にある傾斜を持った励振電圧を印加した場合を考える。この傾斜はダイオードの時定数 C/g より充分小さく、ゆるやかな傾斜を持つものとする。図 3.14 は一例として $L=1.0\mu H$ 、 $R=0$ の場合の立ち上り特性を示したものである。ここで興味あることは、段階的な励振電圧を加えたときとある傾斜を持った励振電圧を加えた場合を比較すると、 L 、 R 、等の回路定数が同じでも後者の方が振動を起し難いことである。これは図 3.12 と図 3.14 を比較することより明らかである。勿論 L をさらに大にすると振動を開始するが、これは段階的な励振電圧を加えた場合に比較してかなり大きい。これは、エサキダイオードの特性の非直線性のためと考えられる。すなわち、励振電圧

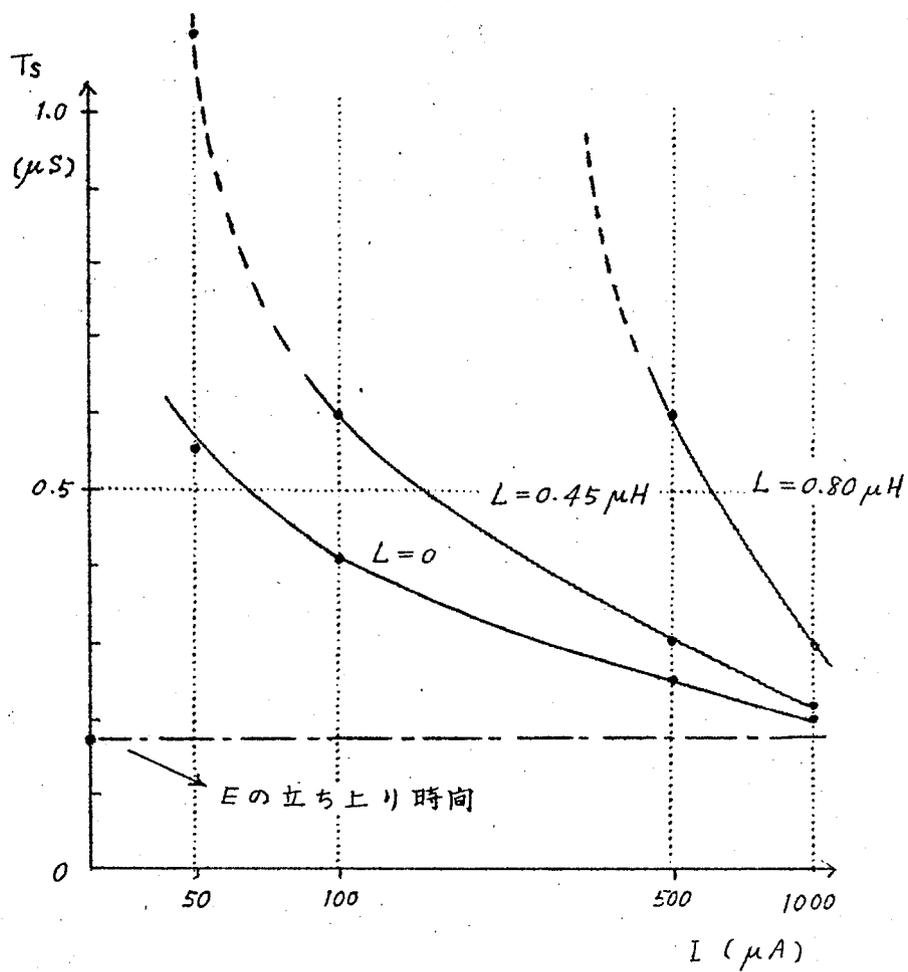


図 3.12

対回路のスイッチ時間 $\begin{cases} R = 0 \\ 2E = \frac{100}{b} mV \end{cases}$

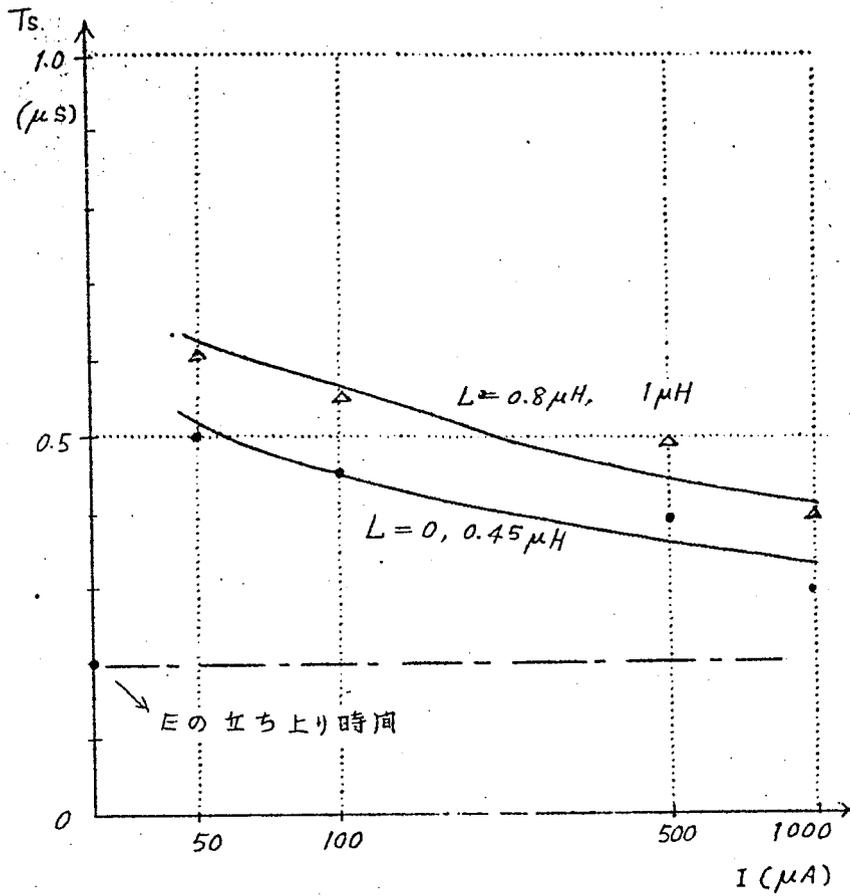


図 3.13
 対回路のスイッチ時間 $\begin{cases} R = 50 \Omega \\ 2E = 600 mV \end{cases}$

が加わった場合、動作点は $P-Q$ 平面上で 図 3.15 の $A \rightarrow B$ に沿って移動する。step 電圧を加えたときは直ちに C 点に達し、発振を開始するが、この移動が充分遅いと動作点が A 点から B 点に移動している間に、ダイオードの中点の電位は C/g 、(g は印加電圧に対する負性コンダクタンス値) の時定数で立ち上り、正負何れかにスイッチされ、その結果 g は正の値となるため発振が抑制され

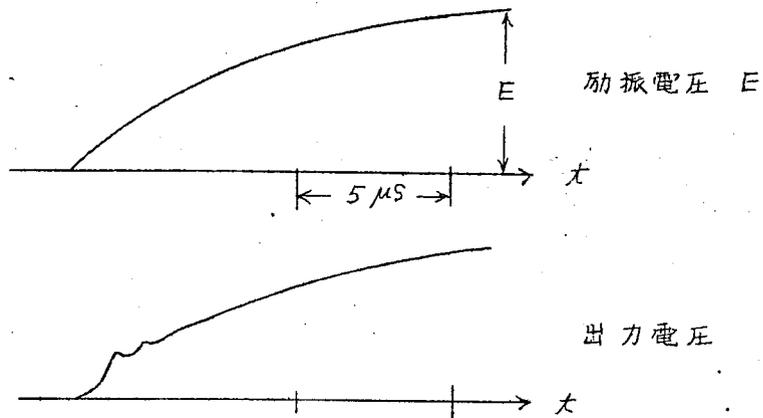


図 3.14 ゆるやかな傾斜を持つ励振電圧

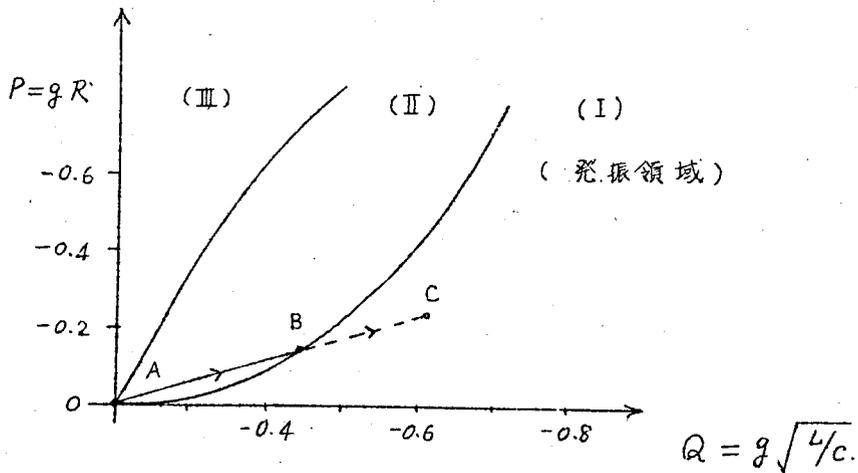


図 3.15 動作点の移動

るものと考えられる。

結局、クロック周波数をダイオード対の立ち上り時間近くまで上げる場合は発振条件を満たさないよう L, R の値を選定することが必要であるが、クロック周波数がそれ程速くない場合は多少発振領域に入っても構わないことになる。

第 3 節 エサキダイオード対の出力電圧

(1) 静特性のバラツキによる出力電圧の変化 (4)(7)(11)

エサキダイオード対により論理回路を構成する場合、その出力電圧の偏差を知ることが必要である。出力電圧の変動する原因はエサキダイオードの静特性のバラツキ、および負荷状態による内部的なもの、励振電圧の変動による外部的なものに分けられるが、本節では先ず、前者について考察する。

対回路の出力電圧は無負荷の場合 図 3.16 の交点 a, b で示される。これより明らかなように エサキダイオードの $0 \sim V_p$ 間の *Conductance* g_1 と谷電流 I_v の値によって出力電圧は変動する。一般に入手しうるエサキダイオードは $g_1; \pm 14\%$, $I_v; 0.28 \sim 0.40 \text{ mA}$ のバラツキがあり、これを出力電圧に換算すると約 10 mV となる。

つきに、本基本回路に特有なオートバイアス電圧 V_{dc} のバラツキが出力電圧に影響する。

オートバイアス回路の時定数 R_b, C_b をクロック周期より充分大とし、ダイオード対に $V_m \cos \theta$ の励振電圧を加えた場合、 C_b に発生する電圧 V_{dc} は C_b の充電電流と放電電流を等しいと置くことにより次式より求まる。

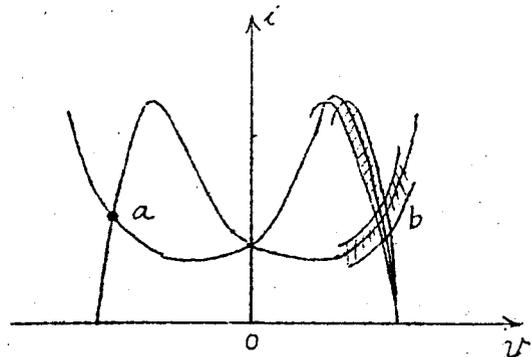


図 3.16 ダイオード対の特性曲線

$$\int_0^{\theta_1} i(V_{dc} - V_m \cos \theta) d\theta = \int_{\theta_1}^{\frac{\pi}{2}} i(V_{dc} - V_m \cos \theta) d\theta \quad (3.28)$$

こゝに $i(v)$ は 図 3.17 に示すようにダイオード対の合成電圧電流特性を示す。一方図 3.17 より明らかなように、

$$V_{dc} = V_m \cos \theta_1$$

したがって、式 (3.28) は

$$\int_0^{\theta_1} i \{ V_m (\cos \theta_1 - \cos \theta) \} d\theta = \int_{\theta_1}^{\frac{\pi}{2}} i \{ V_m (\cos \theta_1 - \cos \theta) \} d\theta \quad (3.29)$$

この式を近似式により、または図式に解くことにより、 θ_1 、したがって、 V_{dc} を求めることができる。

図 3.17 (a) に示すように、 $i(v)$ は正負の両方向に電流が流れる。一方、図 3.17 (b) より V_{dc} は周波数にも無関係に一定となる。

$i(v)$ の形が異なれば当然 V_{dc} は変化するが、エサキダイオードの逆方向特性は非常に低インピーダンスであるから $i(v)$ の変化、特に I_p/I_r の変化を補うための V_{dc} の変化は極めて小さい。

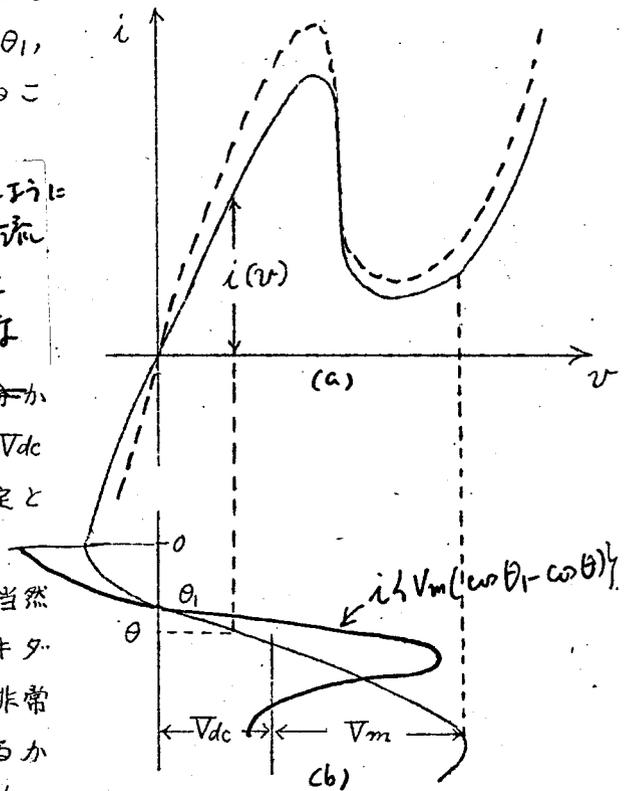


図 3.17 ダイオード対の I-V 特性と直流電圧 V_{dc}

実測によると $V_{dc} = 115\text{mV} \pm 7\text{mV}$ 程度である。

以上はエサキダイオードの静特性による出力電圧の変動であるが実際は、この他、回路の不平衡 ~~※~~ による出力電圧のバラツキも考慮せねばならない。図 3.8 は第 5 章第 5 節に述べる装置に用いた基本回路について、一定励振、一定負荷の場合の出力電圧の分布を示すものであり、以上述べた変動をすべて含む。なお、この回路において出力電圧を一定にするための選出は行なっていない。これより、出力電圧のバラツキ $\delta_1 = \pm 9\%$ 程度となる。

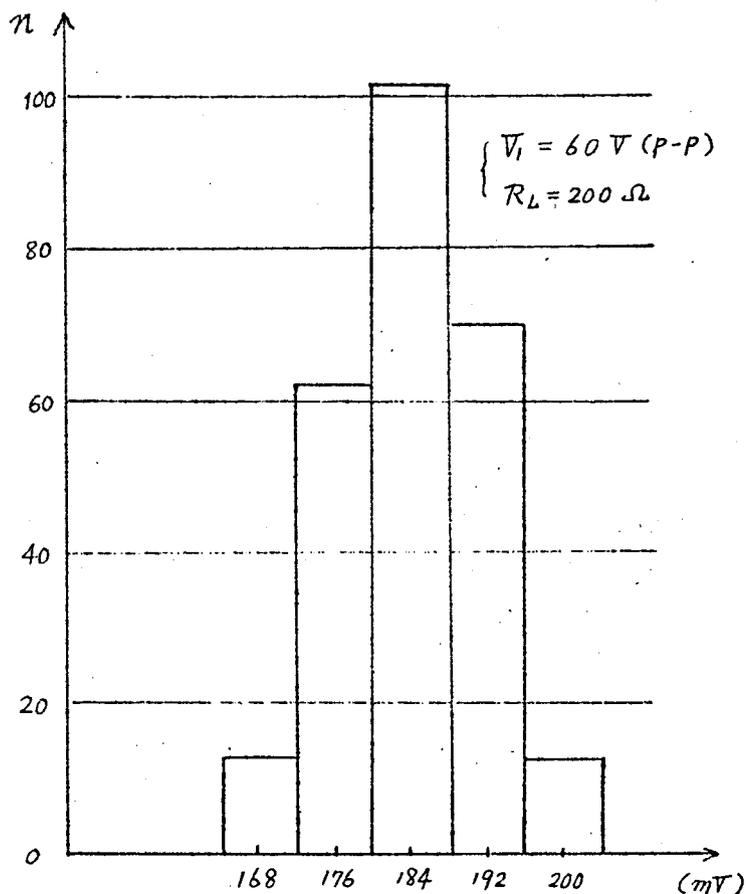


図 3.18 出力電圧の分布

(2) 負荷による出力電圧の変動 ⁽⁷⁾⁽¹⁴⁾

ダイオード対回路に負荷抵抗を接続すれば出力電流が流れる。すなわち、図 3.19 に示すような回路において、対の中実の電圧が正であるとすれば、ダイオード E.D₁ は低インピーダンス、E.D₂ は高インピーダンスの状態にある。したがって、負荷抵抗 R_L に流れる出力電流 I_o は低インピーダンスの E.D₁ を通じて供給され、出力電圧は E.D₁ による電圧降下のため減少する。

この出力電圧の変動を求めるため、エサキダイオードの特性を図 3.20 に示すような折線で近似する。ここで励振電圧を +E および -E、低インピーダンス状態のダイオードのコンダクタンスを g₁、負荷コンダクタンス g_L に流れる電流を I_L、中実の電圧を v とすれば 図 3.19 を参照することにより

$$\left. \begin{aligned} (E - v) g_1 &= I_1 \\ I_1 &= I_L + I_v \\ I_L &= v \cdot g_L \end{aligned} \right\} \quad (3.30)$$

ただし I_v は高インピーダンス状態にあるダイオードに流れる電流 すなわち、谷電流を示す。

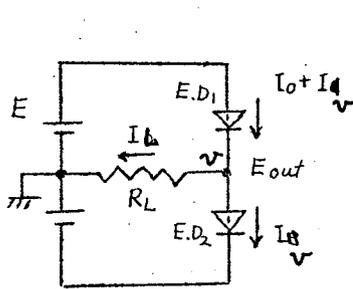


図 3.19 対回路の出力電流

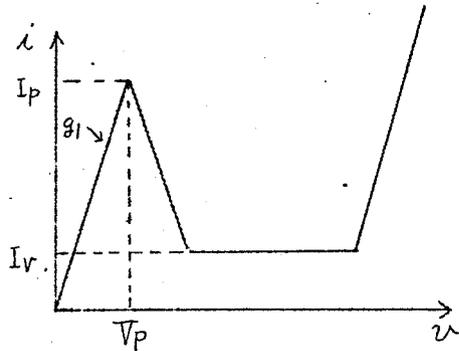


図 3.20 静特性の折線近似

これらの式より v, I₁ を消去すれば

$$I_L = \frac{Eg_1 - I_V}{1 + \frac{g_1}{g_L}} = \frac{g_L(E - \frac{I_V}{g_1})}{1 + g_L/g_1} \quad (3.31)$$

$$V = \frac{I_L}{g_L} = \frac{(E - \frac{I_V}{g_1})}{1 + g_L/g_1} \quad (3.32)$$

式(3.32)が出力電圧と負荷の関係を示すものである。

ただしこの式が成立するためには次式が満足されねばならない。

$$I_p \geq I_V + I_L \quad (3.33)$$

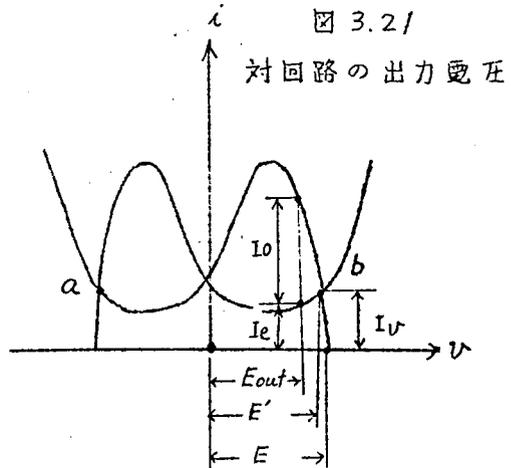
こゝに I_p は尖頭電流を示す。

式(3.32), 式(3.33)より結局次の制限条件を得る。

$$E \leq \frac{1}{g_L} (I_p - I_V) + V_p \quad (3.34)$$

以上は、エサキダイオードの特性を折線近似した場合であるが、さらに正確に求めるには特性を近似度の高い曲線で与えればよいがあまり実際的ではないので省略する。

この他出力電圧を図式解法により正確に求めることもできる。すなわち、出力電流 I_0 のときの出力電圧 E_{out} は 図 3.21 に示された値となる。したがって、励振電圧 E をパラメータとして、出力電圧 E_{out} と尖頭電流 I_p で *normalize* した出力電流の関係を示すと 図 3.22 のようになる。また、これより I_p をパラメータとした場合の E_{out} と R_L の関係は 図 3.23 に示すような形となり後述するように実測結果とよく一致する。これより論理回路の結合抵抗値を一定とすると I_p と入出力分岐数が比例関係にあることが分かる。また、分岐数を一定とすれば I_p が大なるほど



出力電圧の変化は少ない。これらの図より、結合抵抗値 R_c 、入出力分岐数 N が定まった場合の出力電圧を求めることができる。一応の目安として出力電圧が無負荷の場合に比して 15% down (したがって出力電圧の偏差 $\xi_2 \approx \pm 7.5\%$) を限界とすれば、 $I_p = 2\text{mA}$ のタイオードに対して R_c 、 N の間に次の関係が成立する。

$$\frac{R_c}{N} \cong R_{min} = 100 \quad (3.35)$$

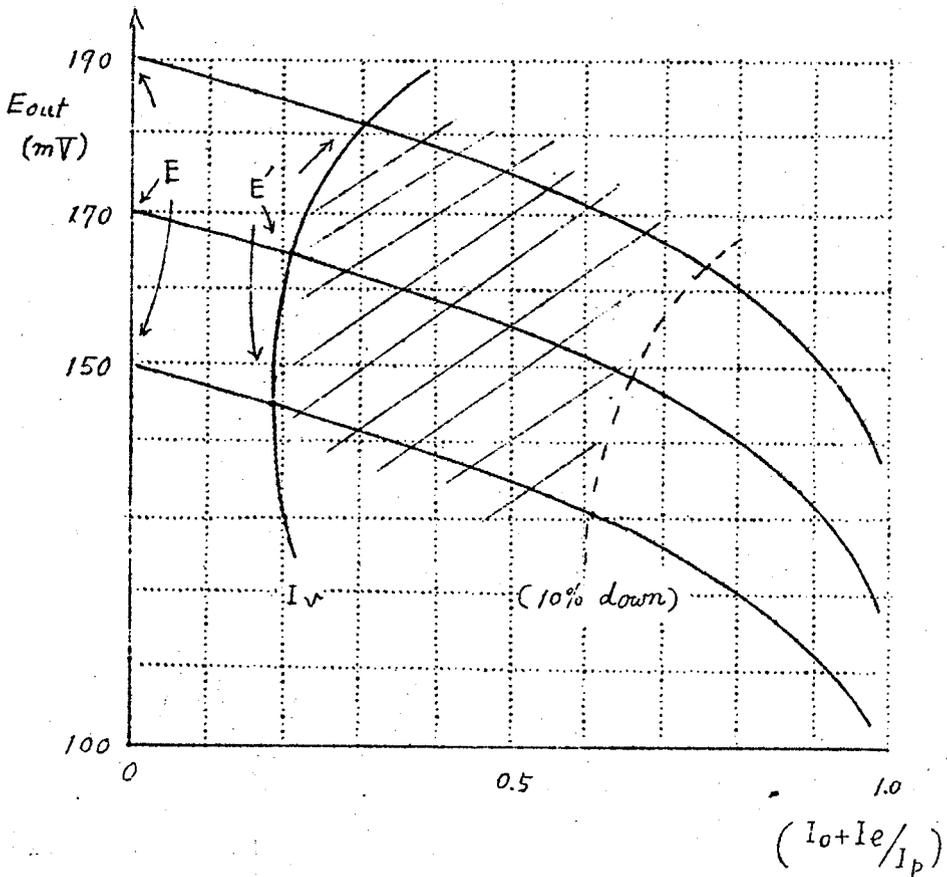


図 3.22 出力電圧対出力電流特性

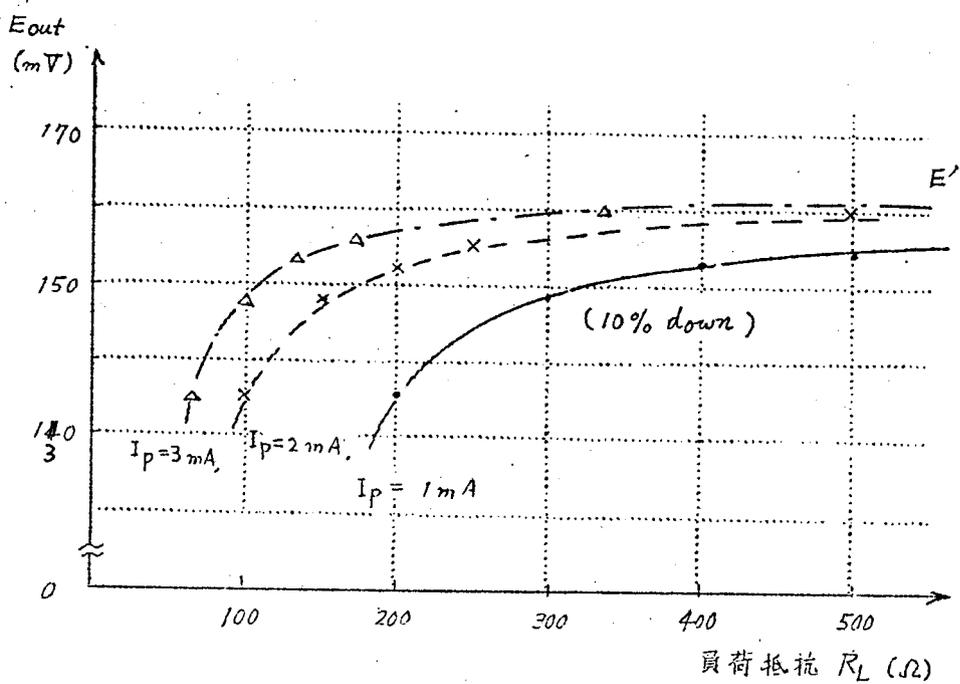


図 3.23 負荷特性. ($E = 170\text{ mV}$)

なお、以上の記述は直流的な励振電圧を加えた場合であるが、実際状態に近く正弦波の周期的な励振を加える場合、厳密にはエサキダイオードのリアクタンス分、すなわち接合容量、直列インダクタンスを考慮せねばならない。しかし、 I_p が 2 mA のエサキダイオードの接合容量は約 5 pF であるから、クロック周波数 10 Mc 程度ではほとんどこの影響はないものと考えられる。

第 4 節 エサキダイオード対の不平衡特性 およびその動作余裕度

(1) エサキダイオード対の不平衡特性

前節までの論述はすべて、対を構成する 2 個のエサキダイオードの諸特性が完全に等しいという前提があった。しかし、実際は完

全に等しい特性のものを得ることは非常に困難であり、対は必然的に不平衡をともなう。この不平衡は対の正負の引き込み特性に直接影響を持ち、論理回路の動作余裕度と密接な関連がある。

エサキダイオード対の不平衡電流については、すでに詳細な報告がある。⁽¹³⁾ これは本章第2節の基礎方程式(3.7)を0から尖頭電圧 V_p に達するまでの領域で解くことにより得られる。この結果によれば、対を構成する2個のエサキダイオードの特性に不揃いがあれば、励振電圧を加えた場合いずれか一方の極性に引き込まれやすくなるが、これを打ち消して引き込まれる極性が無作為的になるようにするため、対の中実にし込むべき電流、すなわち不平衡電流 $2i_0$ は次式で与えられる。

$$2i_0 = (I_{p2} - I_{p1}) + \frac{1}{2} g_L (V_{p2} - V_{p1}) + A (C_2 - C_1) + K \dots\dots\dots (3.36)$$

- ただし、
- I_p : 尖頭電流、
 - V_p : 尖頭電圧、
 - C : 障壁容量、
 - g_L : 負荷コンダクタンス、
 - A : 励振電圧の立ち上りの傾斜
 - K : 励振電圧の不平衡による定数

Suffix. 1, 2. は各ダイオードを示す。

この式より、不平衡電流はまず I_p の差が影響し、負荷のある場合は V_p の差、励振電圧の立ち上りの早い場合、すなわちクロック周波数の高い場合 C の差が関係してくることが分かる。さらに励振電圧に不平衡があれば、第4項の成分を生ずる。

図3.24はクロック周波数5Mc、無負荷の場合の不平衡電流と尖頭電流 I_p の差の関係を示したものであり、式(3.36)の成立することが見られる。負荷抵抗、励振電圧に関しても式(3.36)の正当性が実験的に証明されている。

図 3.25 , 3.26 はクロック周波数 5Mc における不平衡電流と励振電圧, 負荷抵抗の関係の一例を示したものである。

なお、不平衡電流の実際の分布については第 4 章、第 2 節 (1) に述べる。

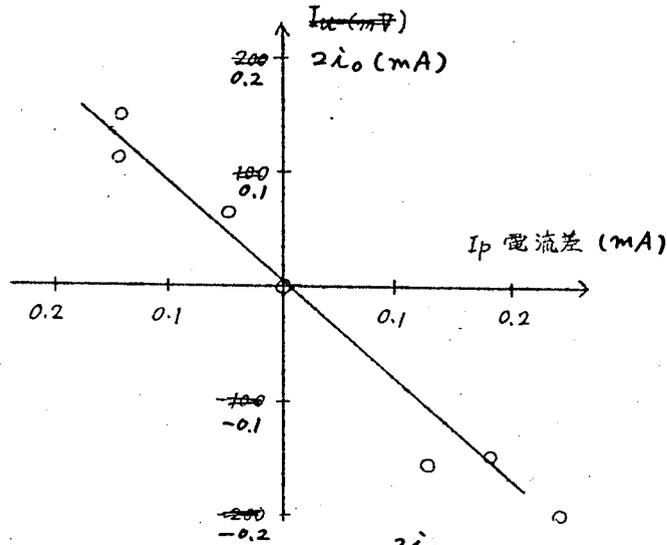


図 3.24 I_p の差と $2i_0$ の関係

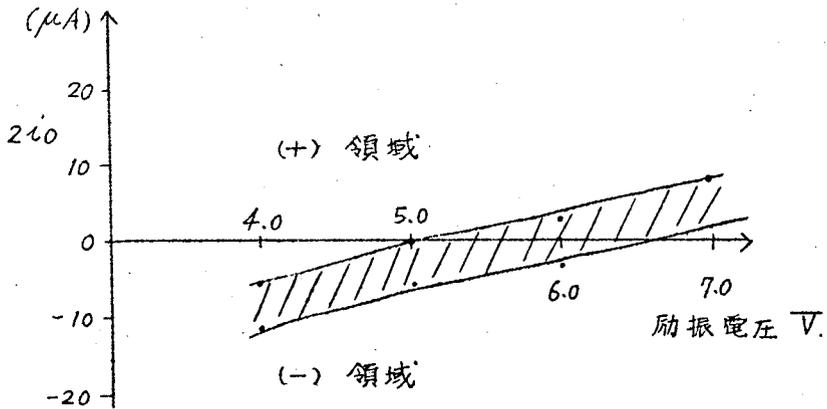


図 3.25

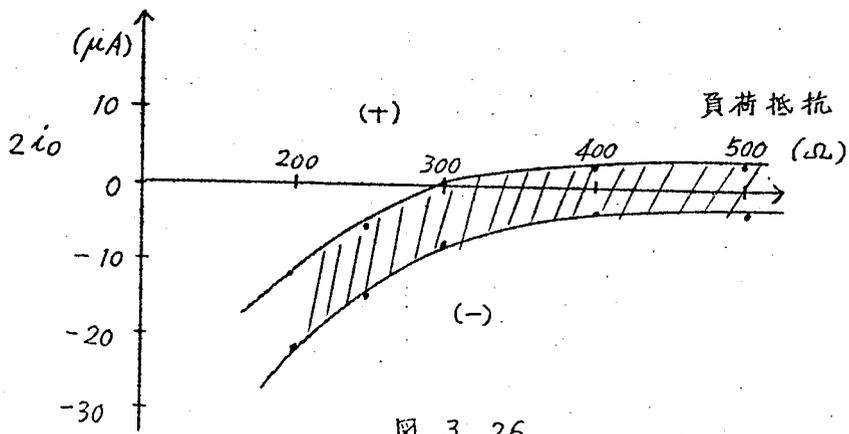


図 3. 26

(2) 飛び越し結合電流

単独のダイオード対に着目した場合、入力信号電流が不平衡電流を越えれば、それによって出力の極性は正負何れかにスイッチされる。しかし、多数個の対回路を3相励振法により縦続接続する場合方向性を持たない回路に特有ないわゆる飛び越し結合電流を考慮せねばならない。これは 図 3. 27 に示すように励振されてい ^{Ⅰ相からⅡ相に信号 I_m が伝送される} ない状態にある ^{Ⅱ相の} 回路を介して逆方向に ^{i_s の結合} 信号が伝送される現象であり、 ^{出力} 出力分岐数が大なるほど問題となる。 いま、論理回路の内部インピーダンスを Z 、結合抵抗を R_c 、出力信号電圧 E 、線分岐数を N_s とすれば飛び越し結合電流 i_s は次式により与えられる。

$$i_s = \frac{Z \cdot E \cdot N_s}{R_c^2} \quad (3. 37)$$

Z は 図 3. 28 に示すように a, b, 端子より見た非励振状態の論理回路のインピーダンスである。変成器は互いに逆巻きであるから、そのインピーダンスは無視でき、また、エサキダイオードのインピーダンスも非常に

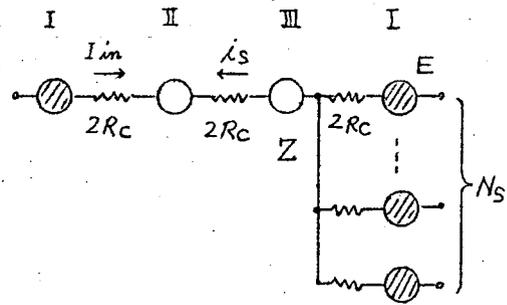


図 3. 27 飛び越し結合

低い。したがって、 Z は主としてバイアス抵抗 R_b の値により定まるから、 R_b は出来る限り少にすることが望ましい。

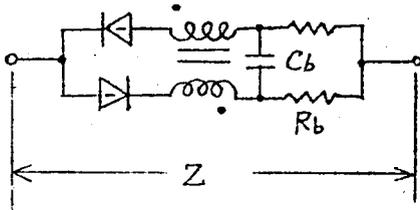


図 3. 28
基本回路の内部
インピーダンス

(3) 対回路の励振電圧、位相に対する動作余裕度

多数の基本回路を同時に励振し動作させる場合、それらの幾何学的位置によって励振電圧、位相（すなわち出力電圧、位相）が変化しまた時間的にもそれらの値が変動することが考えられる。こゝで出力電圧、位相の動作余裕度について考察する。

論理回路が安定に動作するためには入力信号電流の総和 $I_{in-total}$ が前述した対の不平衡電流 $2i_o$ 、飛び越し結合電流 i_s 等の雑音レベルより大でなければならぬ。すなわち次式が成立しなければならない。

$$|I_{in-total}| \geq |2i_o| + |i_s| + |i_{ov}| \equiv I_u \quad (3.38)$$

こゝに i_{ov} は基本回路をある速度で動作させるために必要な *overdrive* 電流を示す。この値が出力電圧の立ち上り時間と密接な関連のあることは式(3.11)より明らかである。

最悪の場合を考えると、これら $2i_o$, i_s , i_{ov} はすべて加算される。したがって、これらの絶対値の総和 I_u は実効的な不平衡電流であり、基本回路の雑音レベルに相当する。 I_u は厳密には励振電圧により変化するが、こゝでは一定とする。式(3.38)の $I_{in-total}$ を求めるには基本回路の出力電圧および結合抵抗のバラツキを知らねばならない。出力電圧の変動する原因は回路素子のバラツキによるものと励振電圧、位相の変動によるものに分けられる。このうち前者については本章第4節において詳論したように、エサキ

ダイオードの静特性のバラツキによるもの (ξ_1) と負荷の変動によるもの (ξ_2) の和となるが、これらは回路状態により定まり時間的に変化することはない。

励振電圧、位相の動作余裕度を求めるため 図 3.29 に示すように対回路の出力波形を半波整流された正弦波で近似し、その *duty factor* を $\frac{1}{2}$ とする。この仮定は励振電圧の変動があまり大きくない範囲では成立する。したがって、3相励振の場合 図のように $\frac{\pi}{3}$ の範囲で次ぎの相と重畳する。

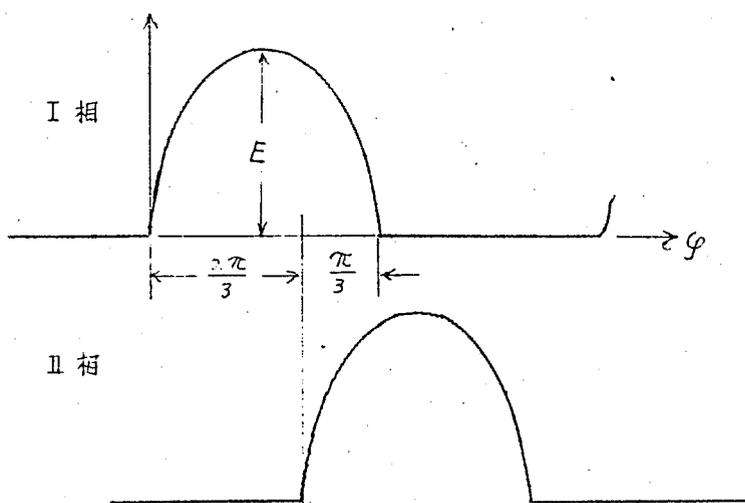


図 3.29 3相励振波形

いま、励振電圧、位相（出力電圧、位相）の変動をそれぞれ $\pm \varepsilon$, $\pm \theta$ とし、前述した回路的な原因による出力電圧の変動を ξ ($=\xi_1 + \xi_2$) とすれば、出力波形 E_{out} は次式で示される。

$$\left. \begin{aligned} E_{out \max} &= (1 + \xi)(1 + \varepsilon) E \sin(\varphi - \theta), \\ E_{out \min} &= (1 - \xi)(1 - \varepsilon) E \sin(\varphi + \theta). \end{aligned} \right\} \quad (3.39)$$

ただし、 E は平均出力電圧とする。

結合抵抗 R_c の偏差を $\pm \delta$ とすれば 入力信号電流 I_{in} は次式で示される。

$$\left. \begin{aligned} I_{in \max} &= \frac{(1+\xi)(1+\varepsilon)}{(1-\delta)} \frac{E}{2R_c} \sin\left(\frac{2\pi}{3} \pm \theta\right) \\ I_{in \min} &= \frac{(1-\xi)(1-\varepsilon)}{(1+\delta)} \frac{E}{2R_c} \sin\left(\frac{2\pi}{3} + \theta\right) \end{aligned} \right\} (3.40)$$

いま基本回路の入力数を $(2n+1)$ 個、(ただし、 n は正の整数) とし、このうち $(n+1)$ 個には正の最少信号電流 $I_{in-\min}$ 、 n 個には負の最大信号電流 $I_{in-\max}$ が加わるような最悪の場合 (Worst case) でも、基本回路が誤まりなく多数決論理演算を行うためには式(3.38)および式(3.40)より次式が満足されねばならない。

$$\begin{aligned} (n+1) \frac{(1-\xi)(1-\varepsilon)}{(1+\delta)} \cdot \frac{E}{2R_c} \sin\left(\frac{2\pi}{3} + \theta\right) \\ - n \frac{(1+\xi)(1+\varepsilon)}{(1-\delta)} \frac{E}{2R_c} \sin\left(\frac{2\pi}{3} - \theta\right) \geq I_u \end{aligned} \quad \dots\dots\dots(3.41)$$

式(3.41)がすべての変動量を含めた場合の励振電圧位相の動作余裕度を示す式である。

図3.30は理想的な場合、すなわち $\xi=0$ 、 $\delta=0$ 、 $I_u=0$ としたとき、 $n=1$ (3入力)、 $n=2$ (5入力) における ε 、 θ の関係を示すものである。 $\theta=0$ においては $\varepsilon = \pm 33\%$ ($n=1$)、 $\varepsilon = \pm 20\%$ ($n=2$) となる。

$\xi, \delta \ll 1$ 、 $\theta \ll \frac{\pi}{2}$ 、 $n=1$ の場合、式(3.41)は次のようになる。

$$\begin{aligned} 2(1-\xi-\delta)(1-\varepsilon)\left(\frac{\sqrt{3}}{2} - \frac{\theta}{2}\right) \\ - (1+\xi+\delta)(1+\varepsilon)\left(\frac{\sqrt{3}}{2} + \frac{\theta}{2}\right) \geq \eta \end{aligned} \quad (3.42)$$

ただし $\eta = \frac{I_u}{I_{in}}$; 回路の信号対雑音比。

$$I_{in} = \frac{E}{2R_c} ; \text{平均入力信号電流}$$

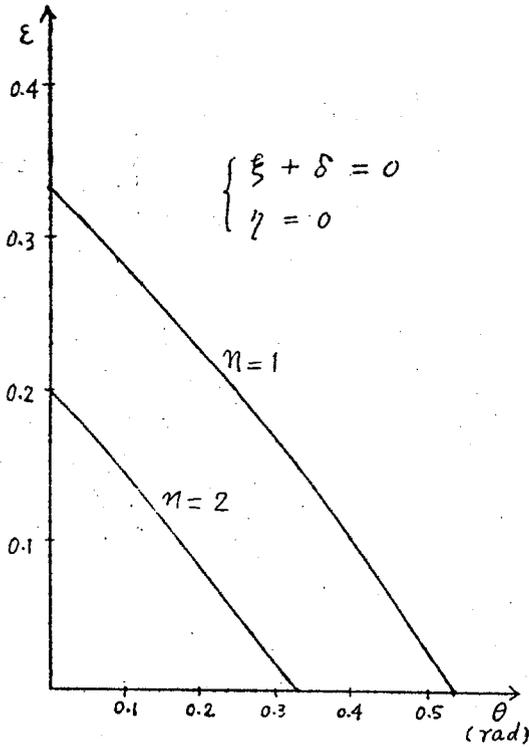


図3.30 理想的な場合の
励振電圧、位相のマージン

図3.31 (a), (b), (c) は $\xi + \delta = 10\%, 15\%, 20\%$ としたとき、 η をパラメータとして励振電圧、位相の余裕度を示したものである。

なお、式(3.41)、式(3.42)には論理回路の出力分岐数 m が含まれていないように見えるが、実際は m が変れば ξ が変化し、 $\xi \cdot \theta$ は m の関数となる。

ここで実際の値を用いて励振電圧、位相の余裕度を推定する。不平衡電流 $2i_0$ は負荷および励振電圧の変動を含めて $2i_0 = \pm 40 \mu A$

程度、飛び越し結合電流 i_s は $R_c = 300 \Omega$ 、基本回路の内部インピーダンス $Z = 5 \Omega$ 、孫分岐数 $N_s = 10$ 、出力電圧 $E_{out} = 180 mV$ として式(3.37)より $i_s = \pm 25 \mu A$ 、また Overdrive 電流は多少余裕をみて $i_{ov} = \pm 5 \mu A$ としてよい。したがって最悪の場合基本回路の実効的な不平衡電流 $I_u = \pm 70 \mu A$ となる。

一方平均入力信号電流 I_{in} は出力電圧 $E = \pm 180 mV$ 、結合抵抗 $2R_c = 600 \Omega$ として $I_{in} = \pm 300 \mu A$ となり $\eta = 0.23$ となる。

また、前節に述べたように回路素子および負荷のバラツキによる出力電圧の変動 $\xi = \pm 15\%$ 、結合抵抗の偏差 $\delta = \pm 5\%$ 程度である。したがって、図3.31 (a)の斜線の部分が励振電圧、位相の動作範囲となる。 ξ 、 θ はそれぞれ $\pm 2\%$ 、 $\pm 1\%$ 程度以下にしなくてはならない、実験によれば ξ を $\pm 4\%$ 、 θ を $\pm 2\%$ 以下にすることはかなり困難であり、最悪の場合誤動作することが考えられる。

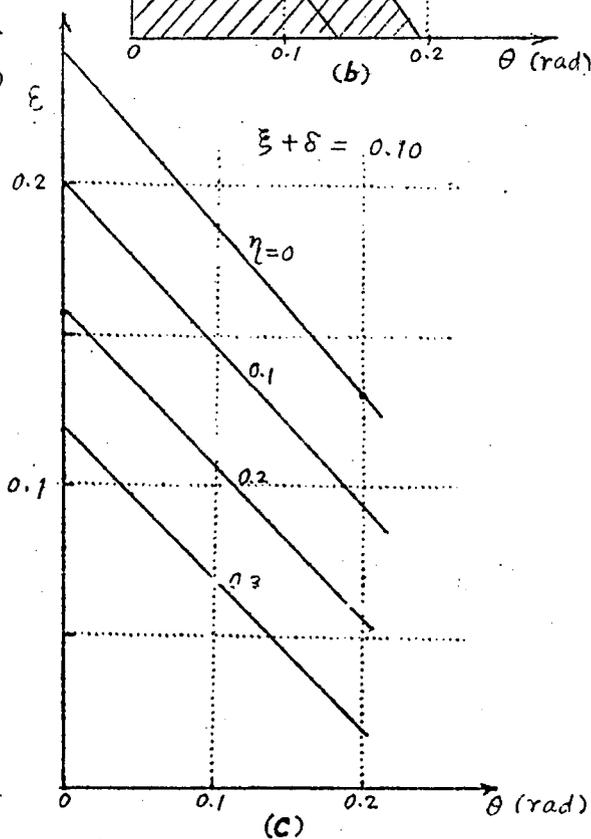
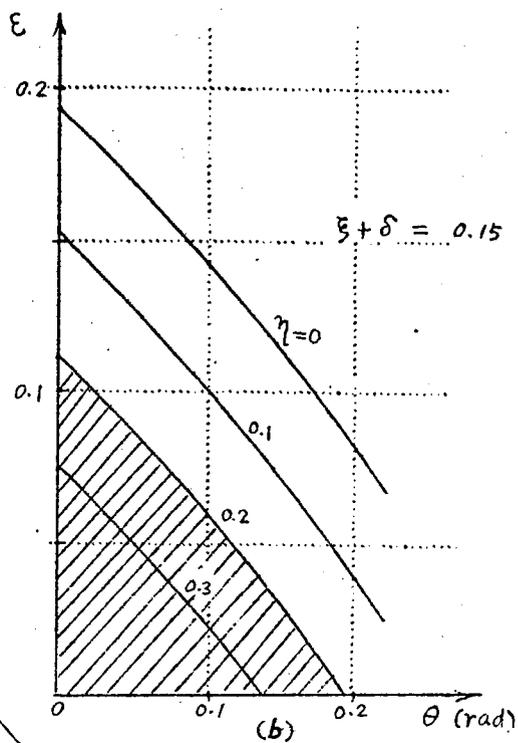
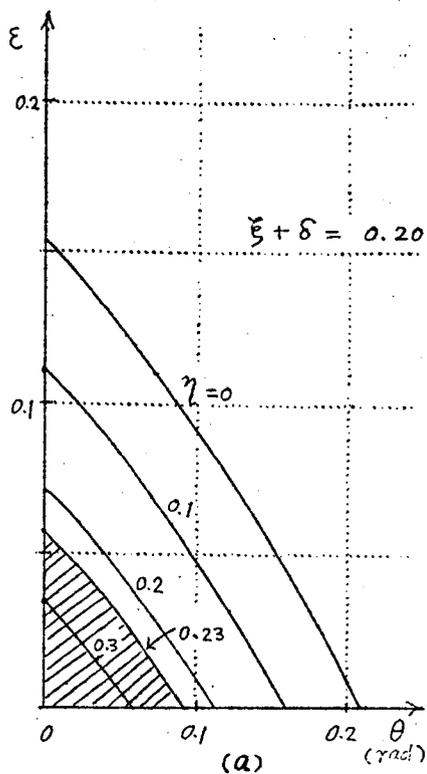


図 3.31
 励振電圧、位相の
 マージン

$I_u \leq 50 \mu A$ ($\eta = 0.2$), $\xi + \delta \leq 15\%$ であれば E, θ の動作範囲は 図3.31(b) に斜線で示した部分となり比較的広くなる。この程度は現状でも充分注意すれば実現可能である。

なお、さらに動作余裕度を広げるには最悪の状態を避けるよう論理設計に注意をはらうことが必要である。また、動作余裕度が狭い場合は当然励振電圧、位相の時間的な変動にも敏感になるから、励振電圧発生器の安定度が非常に重要となってくる。また、励振電圧の饋電の方法も考慮すべき問題となる。

(4) 結合抵抗の最適値

一般に結合抵抗 R_c が少なる程 入力信号電流が増し、 η は少になり動作余裕度は広くなるが、一方本章第3節に述べたように R_c が少になれば出力電圧が減少する。したがって、負荷の重い基本回路よりの入力と負荷の軽いものよりの入力により多数決演算を行う場合 R_c を少にすると、かえって動作余裕度は狭くなることが考えられる。こゝでこの点について考察し、 R_c の最適値を推定する。

本章第3節の式(3.31)より、回路に負荷 g_L を接続し、 $\pm E$ の励振電圧を加えた場合、負荷に流れる電流 I_L は次式で示される。

$$I_L = \frac{g_L (E g_1 - I_V)}{g_1 + g_L} \quad (3.43)$$

ただし、 g_1 : $0 \sim V_p$ 間のエサキダイオードのコンダクタンス

I_V : 谷電流

$$E \leq \frac{1}{g_L} (I_p - I_V) + V_p \quad ; \text{制限条件} \quad (3.44)$$

入出力分岐数を N とすれば

$$g_L = N \cdot g_c = N \frac{1}{R_c} \quad (3.45)$$

こゝに g_c : 結合抵抗のコンダクタンス

(2n+1)個の入出力分岐

最悪の場合すなわち (n+1) 個の入力は N 個の入出力分岐を持つ回路より供給され、n 個は 2 個の入出力分岐を持つ回路より供給される場合を考えると、入力信号電流の総和は次式で示される。

$$\begin{aligned}
 I_{in} &= \frac{Ng_c \left(\frac{E}{g_1} - I_v \right)}{g_1 + Ng_c} \cdot \frac{1}{N} \cdot (n+1)(1-\xi_1)(1-\delta) \\
 &\quad - \frac{2g_c \left(\frac{E}{g_1} - I_v \right)}{g_1 + 2g_c} \cdot \frac{1}{2} \cdot n \cdot (1+\xi_1)(1+\delta) \\
 &= g_c \left(\frac{E}{g_1} - I_v \right) \left\{ \frac{(n+1)(1-\xi_1)(1-\delta)}{g_1 + Ng_c} \right. \\
 &\quad \left. - \frac{n(1+\xi_1)(1+\delta)}{g_1 + 2g_c} \right\} \quad (3.46)
 \end{aligned}$$

ただし、 ξ_1 ; ダイオードの特性のバラッキによる出力電圧の偏差。

δ ; 結合抵抗値の偏差

I_{in} の最大を求めるため $\frac{dI_{in}}{dg_c} = 0$ とし g_c について解くと

$$\begin{aligned}
 g_c &= \frac{\sqrt{(n+1)(1-\xi_1)(1-\delta)} - \sqrt{n(1+\xi_1)(1+\delta)}}{N\sqrt{(1+\xi_1)(1+\delta)} - 2\sqrt{2(1+\xi_1+\delta)}} \cdot g_1 \\
 &\doteq \frac{\sqrt{(n+1)(1-\xi_1-\delta)} - \sqrt{n(1+\xi_1+\delta)}}{N\sqrt{1+\xi_1+\delta} - 2\sqrt{2(1+\xi_1+\delta)}} \cdot g_1 \quad (3.47)
 \end{aligned}$$

$g_1 = \frac{1}{30}$ 凸 $n=1$ (3入力), $\xi_1 + \delta = 10\%, 15\%, 20\%$ の場合の R_c を計算すると表 3.2 にしめすような値となる。

これより $\xi_1 + \delta$ が 15% 以下の場合は式 (3.47) よりもとめた R_c は式 (3.47) の制限条件を満たさないから、 R_c はむしろ式 (3.35) より定めるべきであるが、 $\xi_1 + \delta$ が 15~33% の間にあるときは R_c は式 (3.47) で定まる最適値を持つことが分かる。なお以上は g_1 を直線近似して計算したものであり実際とは若干異なるが、一応

の目安を与えるものと思われる。

$\xi_{1+\delta} (\%)$ \ N	5	6	7
20	540 (Ω)	760	960
15	360 "	500	640
10	265 "	373	480

表 3.2

第 5 節 第 3 章の結論

本章では第 1 節において、まさキダイオード対回路の等価回路より基礎方程式を導いた。この内 立ち上り特性に関する方程式を直線近似により解き、立ち上り時間を求め、対回路の最高クロック周波数を推定した。次に、第 2 節において 対回路の安定条件に関する方程式を解き その過渡現象を明らかにし、さらにこれに関する実験を行った。この結果直列インタクタンズが回路の安定性に大きく関係すること、クロック周波数が高くなる程この影響が大になることが定量的に明らかになった。第 3 節においては 対回路の出力電圧の変動の原因を回路自体の諸特性のバラツキによるものと、負荷抵抗によるものに分類し、各々について詳細に検討した。最後に、第 4 節において対回路の不均衡特性を述べ、さらに本回路の励振電圧、位相に対する動作マージンについてすべての変動量すなわち不均衡電流、出力電圧、結合抵抗等を含めて総合的に検討しそれらの関係を明らかにした。なお若干の仮定の下に動作マージンを最大にする結合抵抗の最適値を求めた。

第 4 章 無接地型ダイオード対論理回路

第 1 節 基本回路の諸特性 ⁽¹⁾⁽²⁾

(1) 回路構成および出力波形

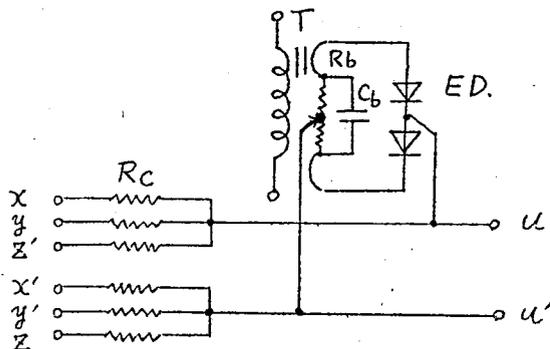


図 4.1 基本回路

図 4.1 は基本回路の結線図を示したものである。各部の定数、励振条件等は次の通りである。

エサキダイオード	1T1102 (ソニー社)
変成器巻線比	20T (1次側) : 1T (2次側)
標準励振電圧	$\left\{ \begin{array}{l} 1次側 \quad V_1 = 6.0 \text{ V (P-P)} \\ 2次側 \quad V_2 = 300 \text{ mV (P-P)} \end{array} \right.$
一次側よりみた基本回路のインピーダンス	約 1K Ω
バイアス用抵抗	$R_b = 20 \Omega$
バイアス用コンデンサ	$C_b = 0.02 \mu\text{F}$
直流バイアス電圧	$V_{dc} = 110 \text{ mV}$
結合抵抗	$R_c = 300 \Omega$
入出力分岐数	$N = 6$ 以下
クロック周波数	$f = 10 \text{ Mc}$

写真 4.1 は基本回路をプリント板に組み立てたものを示す。部品の配置に際して、変成器の二次巻線の長さをできるだけ短かく

なるよう注意した。これは前節に述べた寄生振動を抑制し安定性を増すためである。また、こうすることによりオートバイアス電圧値が大となり、出力信号の *duty-factor* を大にするにも効果がある。

変成器にはフェライト磁心 (P₃ D₄, 直径 4 mm 中), コンデンサはチタン酸バリウム製, 抵抗はすべて高周波用のもの (理研, 小型一種) を用いている。この基本回路の直列抵抗 R, 直列インダクタンス L を求めるため 図 4.2 に示すようにダイオード側よりみたインピーダンス Z₀ を 100 Mc, 200 Mc, 400 Mc において測定した結果を表 4.1 に示す。発振が 400 Mc 程度の周波数で起こるものとすれば R = 17 Ω, L = 20 mμH となる。R の大部分はフェライトの損失よりなり, これにオートバイアス回路の損失を含む。L は変成器の二次巻線の長さにより定まるインダクタンスにほぼ等しい。障壁容量 C = 5 pF, 負荷コンダクタンス -g = -10 mμ とし式 (3.23) より α, β を求めれば

$$\left. \begin{aligned} \alpha &= \frac{1}{2} \left(\frac{R}{L} + \frac{g}{C} \right) = 5.8 \times 10^8 > 0 \\ \beta &= \frac{1}{4} \left(\frac{R}{L} - \frac{g}{C} \right)^2 - \frac{1}{LC} = -8.05 \times 10^{18} < 0 \end{aligned} \right\} \dots\dots\dots (4.1)$$

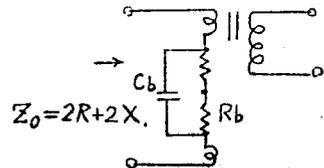


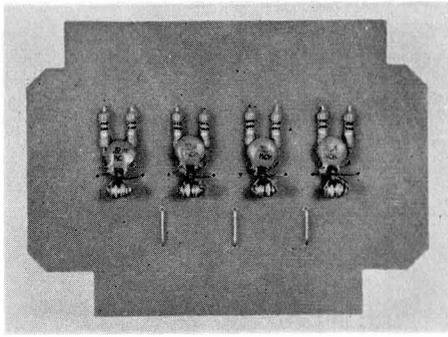
図 4.2 ダイオード側よりみたインピーダンス

となり、発振条件が満足される。一方エサキダイオード対の立ち上

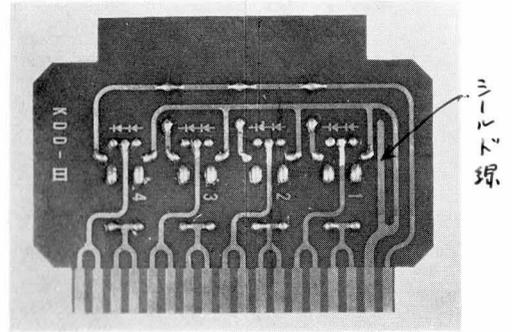
Z	f	100 Mc		200 Mc		400 Mc	
		2R(Ω)	2X(Ω)	2R(Ω)	2X(Ω)	2R(Ω)	2X(Ω)
二次側短絡		4	28	8	57	26	101
二次側開放		24	24	27	43	34	99

表 4.1 インピーダンス測定値

り時間 T_s は式 (3.11) より求めると入力信号電流 I = 100 μA, 励振電圧, 2E = 300 mV の場合 T_s = 1.70 mμs となる。クロック

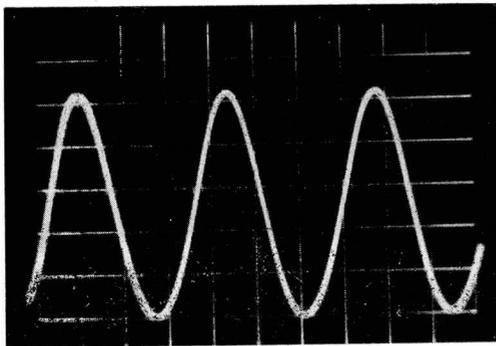


(a) 表側

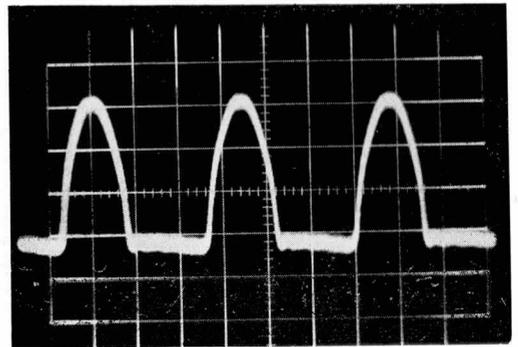


(b) 裏側

写真 4.1 基本回路の実装



(a) 励振波形

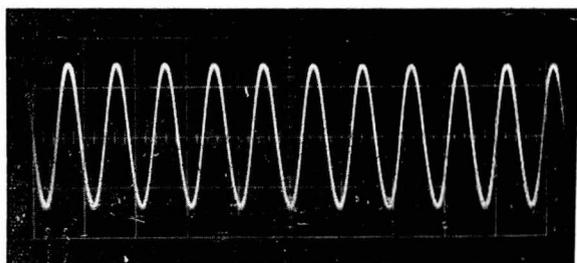


(b) 出力波形

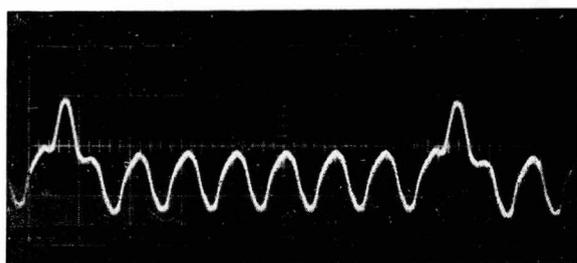
(V: 100 mV/div.)
(H: 30 m μ s/div)

写真 4.2 励振および出力波形 (70 μ 710Mc)

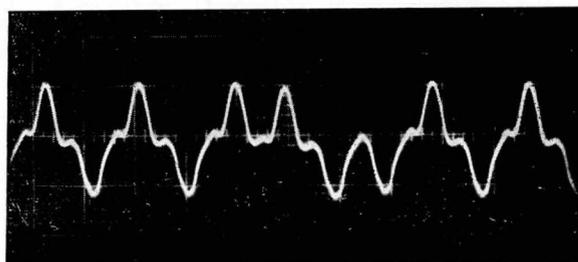
(Sampling Oscilloscope に よる)



(a) 励振波形 (一次側, V ; $2V/div.$)



(b) 出力波形 (V ; $150 mV/div.$)



(c) 出力波形 (V ; $150 mV/div.$)

図4.3 励振および出力波形 (70 μ 710Mc)

(Synchroscopeによる)

周波数を 10 Mc とすると出力信号パルスの幅は約 $50\text{ m}\mu\text{S}$ となり T_s に比して充分大きく、励振電圧はゆるやかな傾斜を持つものとみられるから前章第3節に述べた理由より発振現象は見られないものと考えられる。実験的にも発振は全然認められなかった。

基本回路の下平衡電流の原因は式(3.36)に示したようにダイオードの特性の不平衡によるものと、回路の下平衡によるものに分類される。このうち、後者は回路の構成、配置に大きく影響される。実際に用いたプリント板には写真4.1(a)に示したように4個(あるいは8個)の基本回路を実装し、これらに共通の励振線より励振電圧を与えている。したがって、基本回路のプリント板上の位置によって基本回路と励振線との相対的での関係が異なり、回路の不均衡も異なってくる。これは励振線に近い基本回路において著しい影響を受ける。これを少なくするため、写真4.1(b)に示すようにプリント板上にシールド線をもうけた。これらの注意により、回路の不均衡電流は $\pm 15\mu\text{A}$ 以下におさえることができた。

写真4.2, 4.3は標準状態における基本回路の励振波形および出力波形を示したものである。写真4.2(a), (b)は *Sampling Oscilloscope* (Hewlett Packard製, 185A), 写真4.3(a), (b), (c)は *Synchroscope* (Tektronix 585) により観測したものである。

(2) 励振電圧と直流バイアス、*duty factor*、出力電圧の関係

ここで基本回路の出力電圧の特性について述べる。図4.3は変成器の一次側の印加電圧と二次側の誘起電圧の関係を示したものである。この巻線比は $20:1$ であるから大体この比で *step down* されている。この図と次に述べる直流バイアス電圧より実際にダイオード対に加わる電圧を求めることができる。図4.4は励振電圧と直流バイアス電圧、図4.5は励振電圧と出力波形の *duty factor* の実験結果を示したものである。なお、図4.6は C_b を $0.02\mu\text{F}$ とし、バイアス用抵抗 R_b を変えた場合の *duty factor* を示したものである。これより $R_b = 20\Omega$ 以上で *duty factor* はほとんど一定となることがわかる。

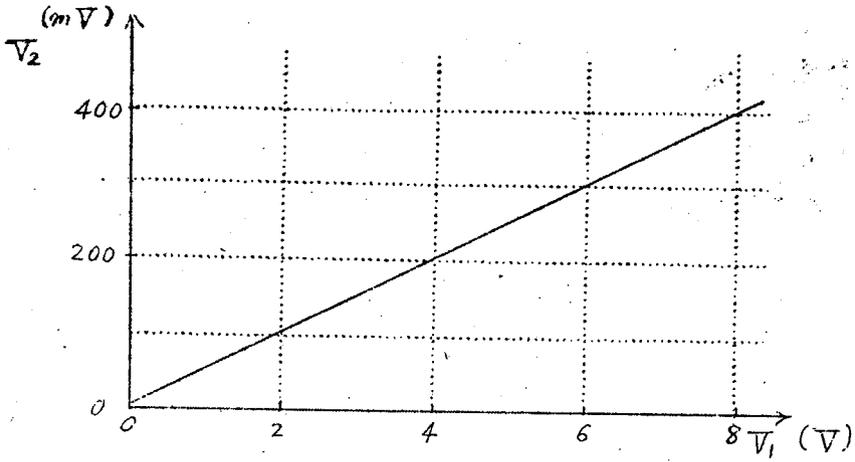


図4.3 励振電圧対変成器=次側出力電圧

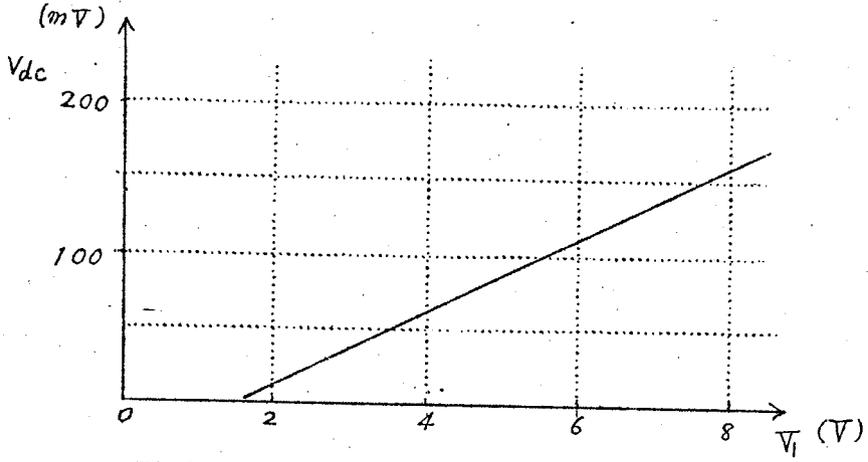


図4.4 励振電圧対直流バイアス電圧

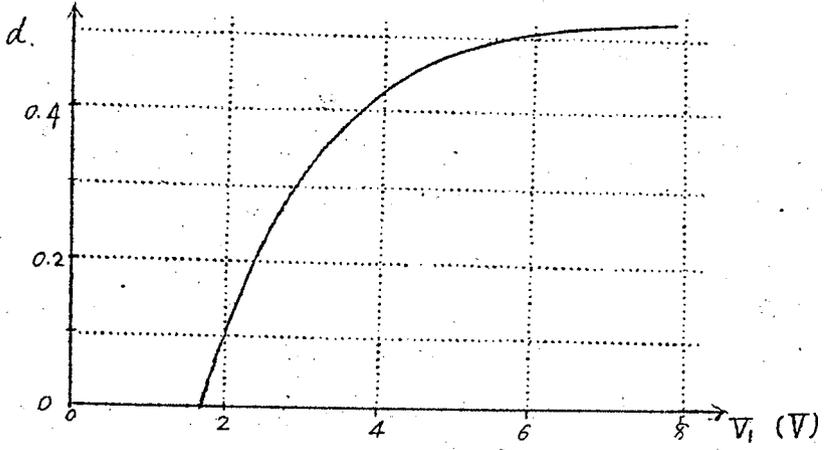


図4.5 励振電圧対 duty factor

図4.7は3相励振の場合の duty factor と overlap 比の関係を示す。duty factor 0.5では overlap 比 0.33 となり、充分3相励振しうることがわかる。

図4.8は励振電圧と基本回路の出力信号電圧(負荷抵抗 300 Ω)の実測結果を示す。励振電圧が7V(P-P)に達すると出力電圧は飽和し始め さらに電圧をあげると出力波形が割れ動作しなくなる。

以上の測定結果はすべてクロック周波数 10 Mc の場合であるが、クロック 20 Mc および 30 Mc においてほぼ同様な結果が得られている。

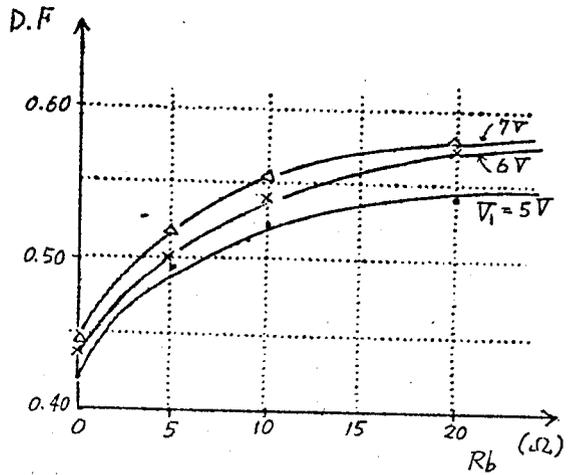


図4.6 R_b と duty factor の関係

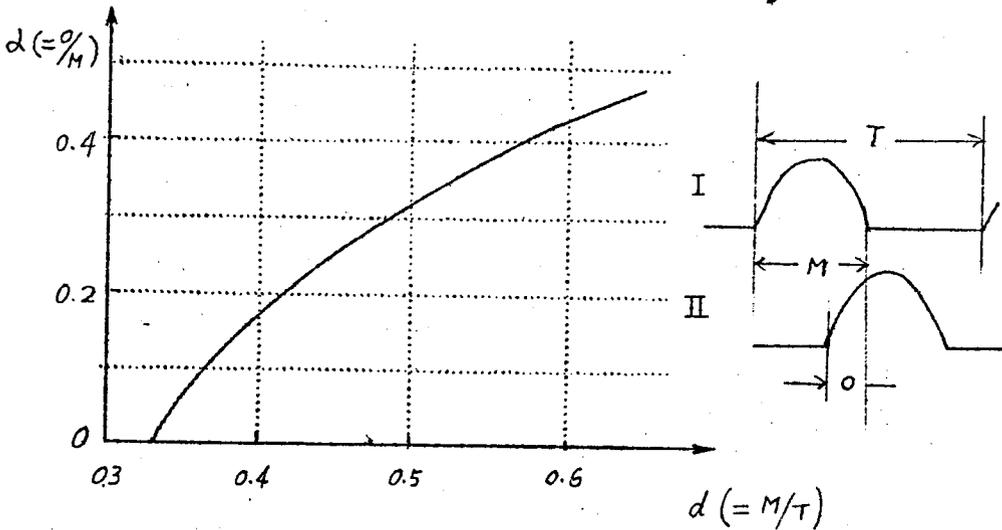


図4.7 duty factor 対 重さなり率

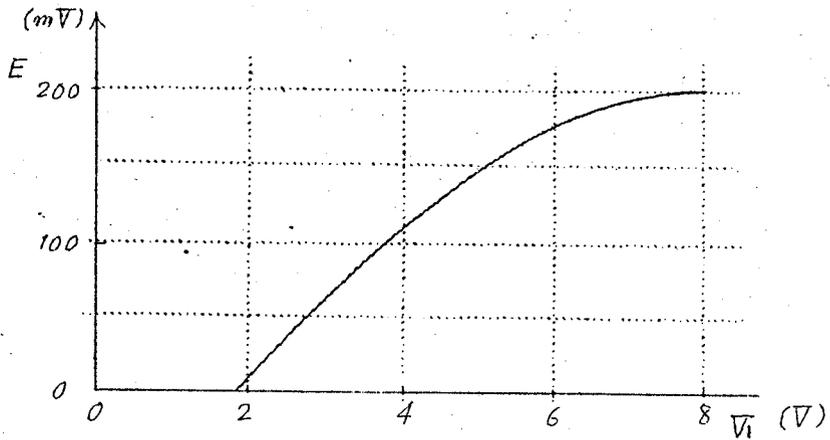


図4.8 励振電圧対 出力信号電圧 ($R_L = 200 \Omega$)

(3) 負荷特性

前章第3節に述べたように出力電流値すなわち負荷抵抗の値によって出力電圧は変化する。図4.9は励振電圧をパラメータとして出

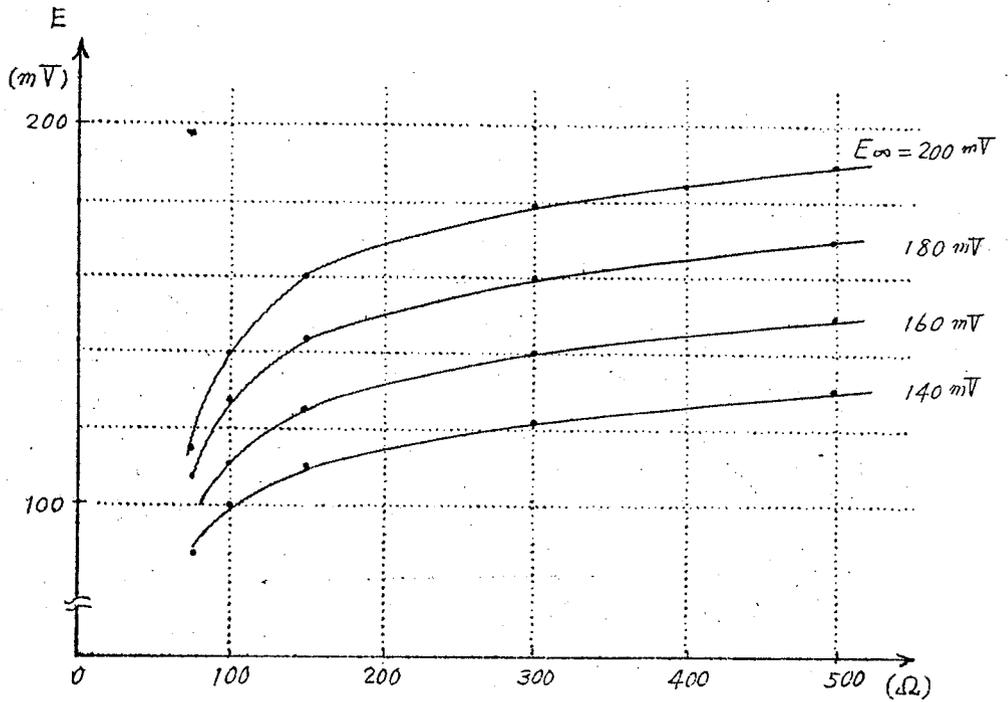


図4.9 負荷特性 ($I_p = 2 \text{ mA}$)

力電圧と負荷の関係を示したものであり、この実測値と 図 3. 23 に示した計算値とはよく一致する。図 4. 10 は $I_p = 6\text{mA}$ のエサキダイオードを用いた回路の負荷特性を示したものである。

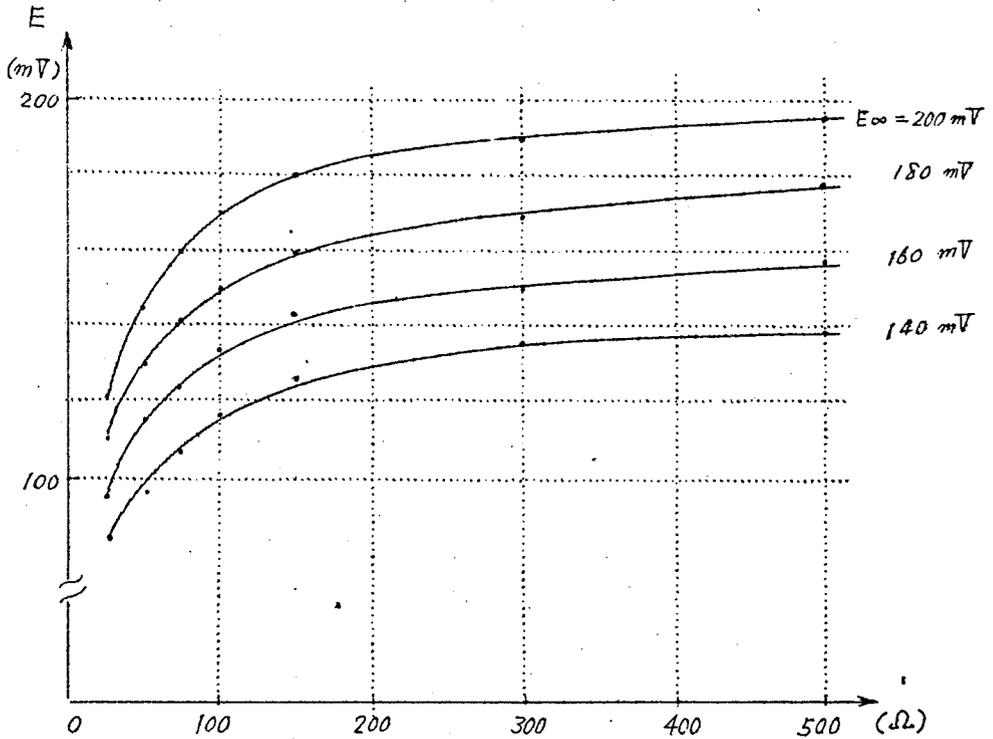


図 4. 10 負荷特性 ($I_p = 6\text{mA}$)

これより明らかなように I_p が大なる程出力電圧の定電圧性が保たれる、しかし、式 (3. 23) の安定条件より I_p が大となると外部の直列インダクタンスの影響を受け易くなる。したがって、ダイオードの時定数一定の条件の下では回路の組み立て (*assembly*) により最適の I_p があるものと考えられる。現在市販されている程度の時定数を持ったダイオードを用い、プリント基板に組み立てる場合 I_p は $2 \sim 3\text{mA}$ が適当と思われる。

なお、出力電圧の分布については図 3. 18 に示したからここでは省略する。

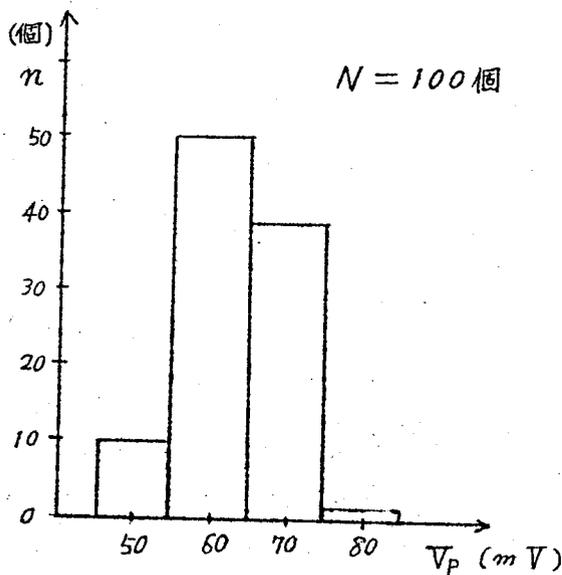
第 2 節 実用上の諸問題⁽³⁾

本節では多数の基本回路を用いて、あるシステムを構成するにあたり問題となる諸点を挙げ、それらの解決法あるいは今後に残された点を述べる。

(1) エサキダイオード対の選出

エサキダイオード対を基本とする論理回路は高速、高利得の特長を持つが、これは対を構成するダイオードの諸特性が完全に等しいという前提がある。しかし現状ではこの特性にかなりのバラツキがあり対は必然的に不平衡をともなってくる。

現在市販されているエサキダイオードの特性のバラツキは $I_p = 1.95 \sim 2.00$ また図 4.11 (a)(b) に示すように $C = 3 \sim 10 \text{ pF}$ 、 $V_p = 50 \sim 70 \text{ mV}$ 程度であるからこれを任意に組み合わせて対をつくれば、不平衡電流は極めて大きくなり実用にたえない。したがって何らかの方法で特性の揃ったダイオードを選出することが必要となる。



(a) V_p の分布

図 4.11 エサキダイオードの特性の分布

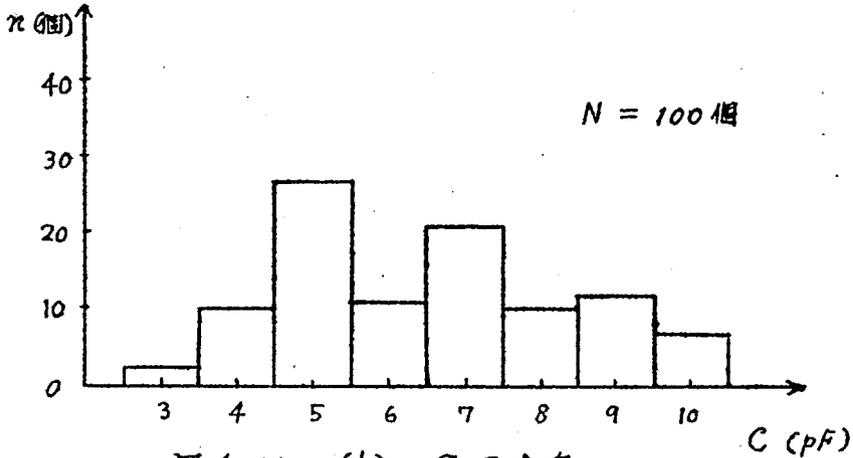


図4.11 (b). C の分布

この場合式(3.36)よりみれば I_p , V_p , C をそれぞれ揃えることがのぞましいが、実際問題として非常に困難であるから、一応これらすべてを総合して不平衡電流がある値以下になるような選出法をとるものとする。すなわち標準負荷 ($R_L = 200\Omega$)、標準励振 ($V_1 = 6V$ (P-P)) の状態において、平均的な I_p , V_p , C を持つ標準のエサキダイオード (尖頭電流 I_{ps} , 尖頭電圧 V_{ps} , 容量 C_s) に対する相対的な不平衡電流 $2i_{o1}$, $2i_{o2}$ ……を各エサキダイオードについて測定する。いまこれら i_{o1} , i_{o2} が等しいものとするればこれらのエサキダイオードにより構成される対の不平衡電流 $2i_{o12}$ は次式より明らかかなように 0 になる。

$$\begin{aligned}
 2i_{o12} &= (I_{p2} - I_{p1}) + \frac{1}{2} g_L (V_{p2} - V_{p1}) + d(C_2 - C_1) \\
 &= \{(I_{ps} - I_{p1}) - (I_{ps} - I_{p2})\} + \frac{1}{2} g_L \{(V_{ps} - V_{p1}) \\
 &\quad - (V_{ps} - V_{p2})\} + d \{(C_s - C_2) - (C_s - C_1)\} \\
 &= 2i_{o1} - 2i_{o2} = 0
 \end{aligned} \tag{4.2}$$

このようにして標準状態において不平衡電流 $0 \pm 20\mu A$ 以内のものを選出することは容易である。

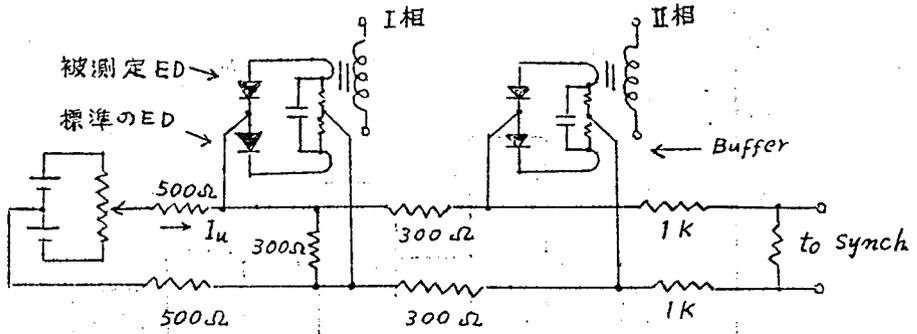


図 4.12 対の選出回路

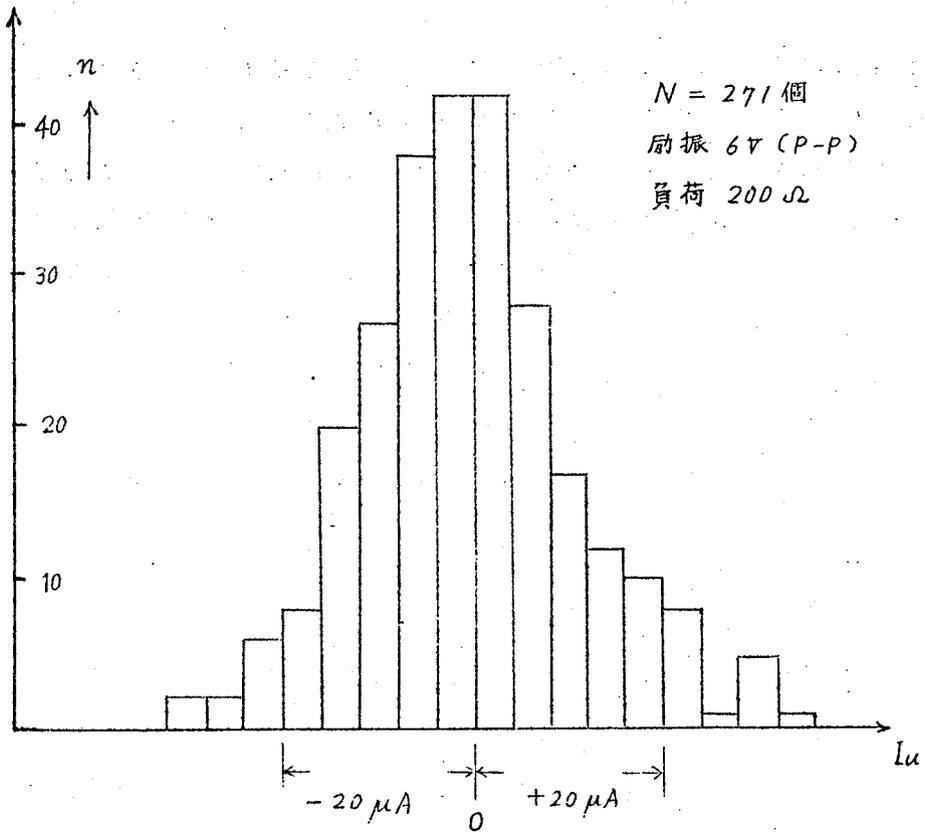


図 4.13 不平衡電流の分布

図 4.12 はこの選出のための回路を示したものである。図 4.13 はこの方法で選出しプリント板上に取りつけて実測した場合の対の不平衡電流の分布を示したものである。なおこの図には回路の不平衡 K の影響も含まれている。

なお、対相互間の I_p の差は出力電圧の微少な差異となるだけであり回路の動作にはほとんど影響しない。したがって、この選出法による歩止まりは 95% 以上で非常によい。

さらに厳密な選出を行うには、あらかじめ C 、 V_p によって大体分類した後、上述の選出法を取ればよい。

(2) 配線の問題

論理回路の数が多くなるにしたがって、励振線、論理配線の長さが無視できなくなる。ここに述べた論理回路は図 4.14 に示すように並列饋電を行うから、場所により励振電圧、位相が異なり動作余裕度が減少する。これをさけるために、回路を数グループに分け、

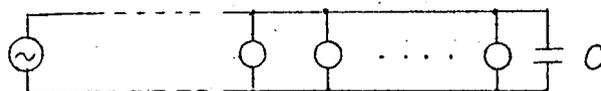


図 4.14 饋電法

その幾何学的距離に無関係に一定長のケーブルにより励振電源に接続し、電気的距離を一定にする方法が有効である。また励振電源と負荷のインピーダンスの不整合による端末よりの反射を防ぐため同図に示すようにコンデンサを挿入して補償を行う。この真正弦波励振は極めて有利である。その他、できるだけ多くの異で同相の励振線向を接続し、全体に一樣な励振がかかるよう注意が必要である。

つぎに論理配線であるが、クロック 10 Mc のとき単線を用いて配線するものとするれば約 10 m ($0.033 \mu S$) まで許しうるはずである。しかし多数決論理をおこなう場合を考えれば当然これより短かくなって来る。実験によれば単なる shift の場合 10 Mc クロックにおい

て配線長 5m で充分動作した。さらに長い配線が必要な場合はその遅延時間を考慮に入れた分布定数的な取り扱いをせねばならない。この場合、同軸ケーブル、テープケーブルなどを用いるのが望ましい。

なお、この論理回路の内部インピーダンスは非常に低いから振動などによる波形歪、配線間の誘導はほとんど認められない。

(3) 外來雑音の影響

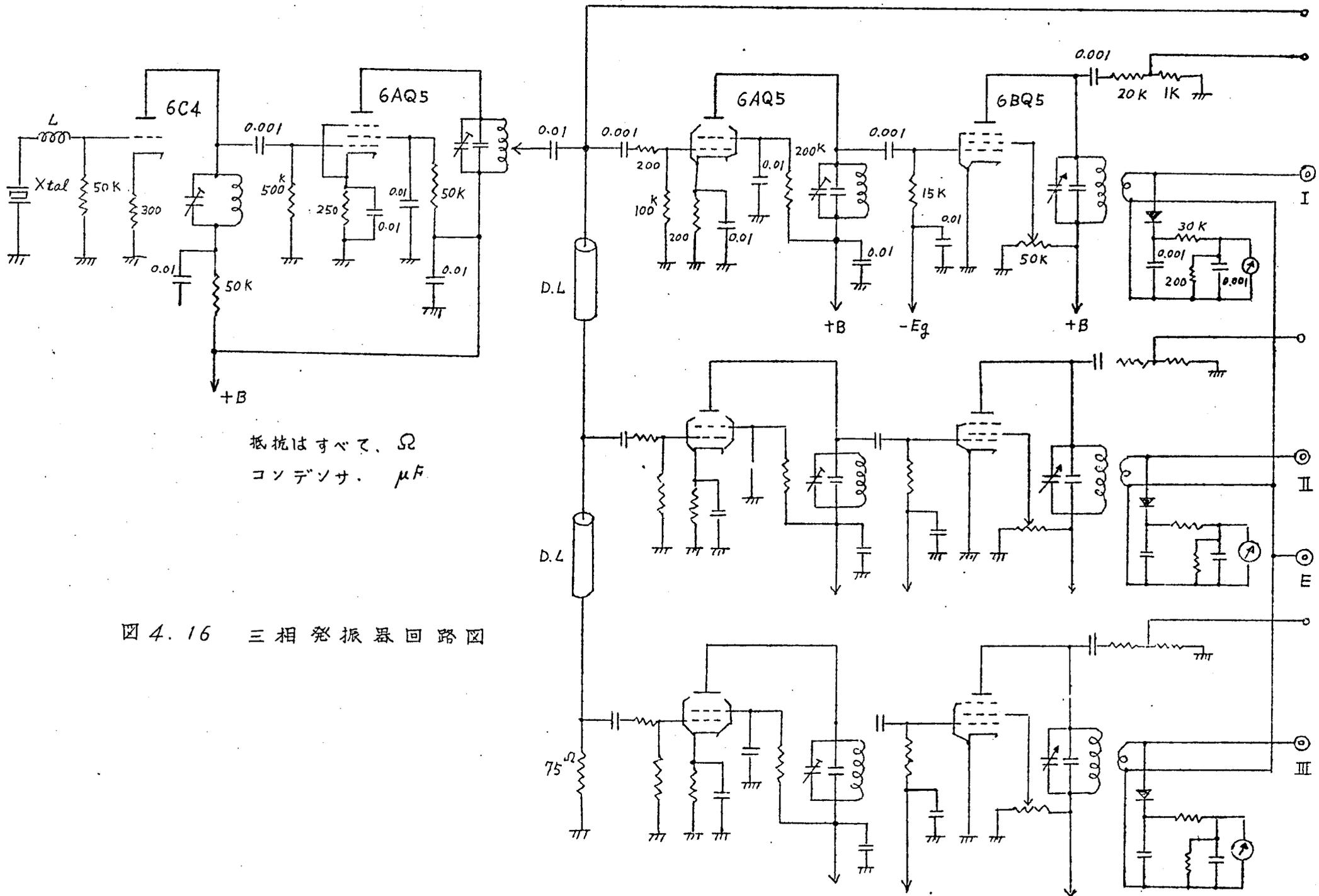
エサキタイオードは従来の素子に比して低レベル高感度であるから外來雑音の影響を受けやすい。本基本回路は変成器によりエサキタイオードを共通接地より切り離しているから、この影響は少ないと考えられるが、実際には若干認められた。外來雑音として最も悪影響を及ぼすものは機器の電源開閉などによる衝撃性雑音である。これらの雑音は (i) 誘導によるもの、(ii) 励振電源よりまわりこむもの、(iii) シンクロスコープ等の観測装置から侵入するものなどがある。(i) の妨害に対しては電磁遮蔽を完全にすればよく、場合によっては二重遮蔽が必要になる。(ii) に対しては励振線を接地より切り離し励振電源出力コイルとの間に静電的遮蔽を行うことが望ましい。(iii) に対しては一方向性の Buffer を備えればよい。

これらに充分考慮を払えば実用上問題は無い。

(4) 励振電源および饋電法

励振電源の安定度は回路の動作余裕度と密接な関連のあることはすでに述べた。励振電源としては3相の正弦波が必要であるが、これらの電圧、相互の位相関係を長時間一定に保つことはかなり困難である。実験に用いた3相発振器は図 4.15 に示すように水晶発振器と遅延線により位相の安定化をはかった。図 4.16 はこの構成により三和無線測器 K.K で試作した高出力3相発振器の回路図である。本機の主な性能は次の通りである。

i) 周波数、 10 MC (水晶制御)



抵抗はすべて、 Ω
 コンデンサ、 μF

図 4. 16 三相発振器回路図

- ii) 高周波出力 1相当り 3W 以上
- iii) 出力電圧可変範囲 $0 \sim 3V$ ($r.p.m.$)
- iv) 出力位相可変範囲 $\pm 20^\circ$ 微調可能

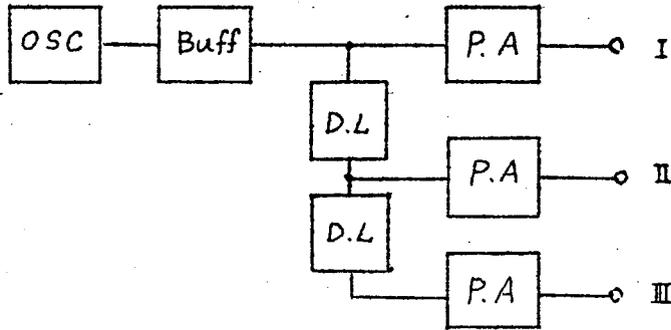


図4.15 3相発振器のブロック図

この他各相間の遮蔽は嚴重に行い、各相は機械的電氣的になるべく同一性能を持つようにした。また最終段の同調回路と出力コイルの間は静電遮蔽し出力端子は接地から切り離なして平衡型で取り出した。

なお、何らかの方法で 三相正弦波の位相差をつねに自動的に $\frac{2\pi}{3}$ になるよう制御する回路が望ましい。これは回路が多少複雑になるが可能である。基本回路に饋電するには図4.17 に示すような方法を取った。

ここにZは負荷となる基本回路である。中点A、Bを結ぶ線は三相電源および負荷が完全に対称であれば省略でき三線式饋電を行うことができる。

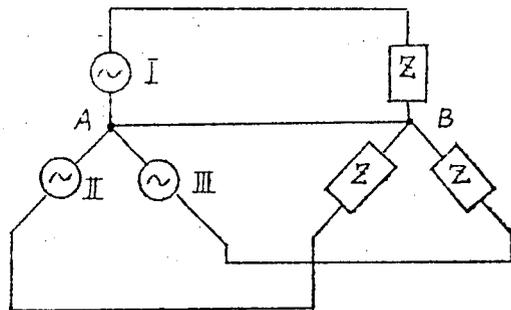


図4.17 3相饋電法

(5) 信頼度

論理回路を評価する場合、信頼度は最も重要な要素である。基本回路の抵抗、容量、変成器の劣化は無視しうるとしても、エサキダイオードの特性は変化する可能性がある。一般に半導体素子の劣化する原因はその表面状態による劣化および機械的な故障に大別される。トランジスタの場合その特性は表面状態に影響されることが知られているが、エサキダイオードは第2章に述べたように不純物濃度が極めて高く、また、その負性抵抗が多数キャリアの移動に基くため表面状態に影響されることはない。これは種々の実験によりすでに実証されている⁽⁴⁾ 図4.18は第5章に述べる装置において、各基本回路の不均衡電流の経年変化を測定した結果を示す。この分布が6ヶ月の間に全然広がっていない事実より、その特性の安定性がうかがわれる。

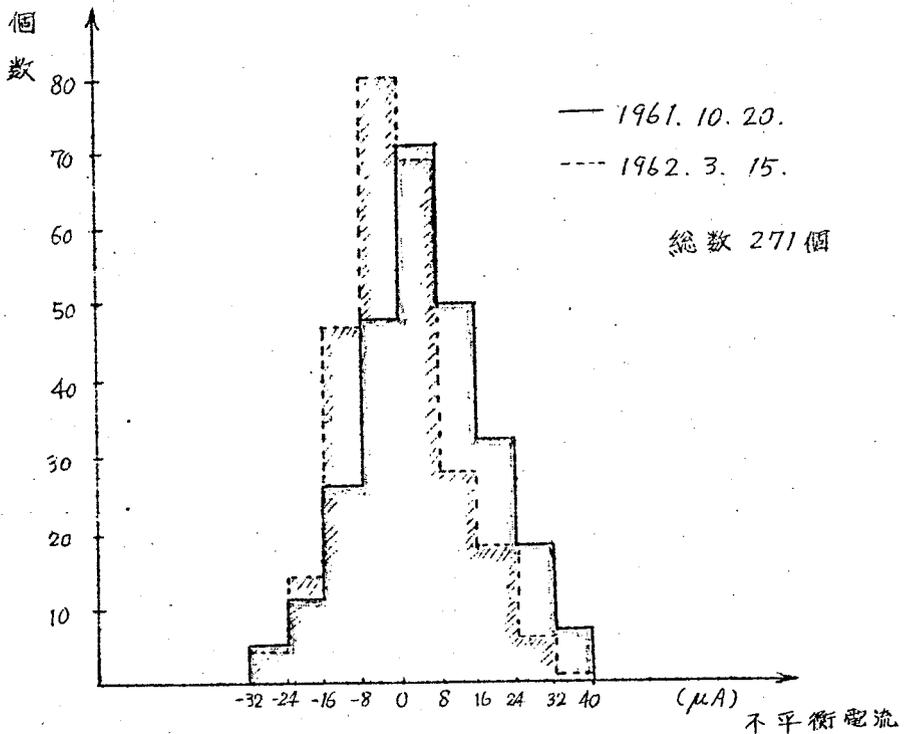


図4.18 不平衡電流の経年変化

一方機械的な故障は接合部の破損、リードのはずれ等がある。現在エサキダイオードにおいて発生する事故のほとんどすべてはこの種のものである。エサキダイオードの尖頭電流を2mA程度にするには接合部の直径は20 μ 程度となり、極端な *etching* が必要である。また、外部直列インダクタンスを少にするにはなるべく太いリードを用いねばならない。したがって機械的熱的な外力に対して極めて弱い構造である。図4.19は第5章に述べる装置における基本回路の断線事故を示すものであり、1000時間の失格率は4.8%となりかなり高い。しかし、同図において事故率は次第に減少して行く傾向を示している。また、この断線事故は製造技術の進歩により解決しうる性質のものである。事実最近製作されたエサキダイオードの故障はほとんどなく明るい見通しが得られている。

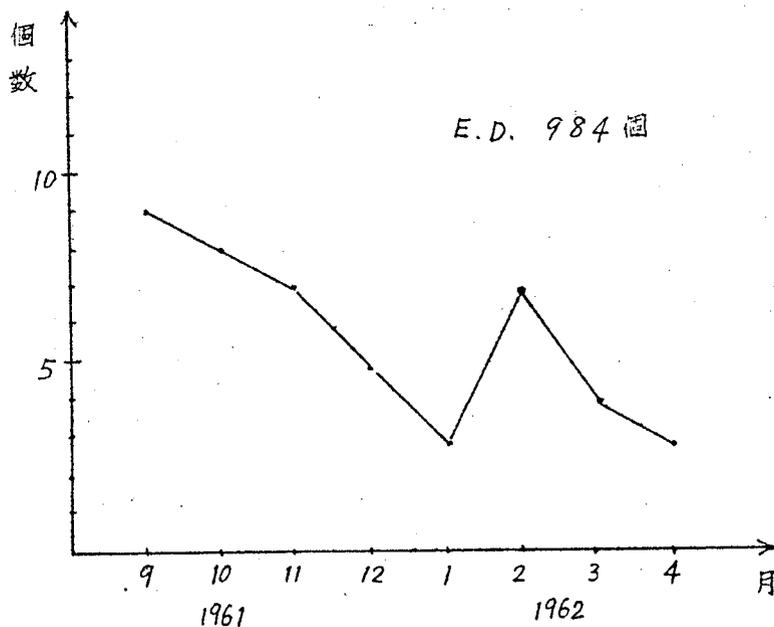


図4.19 エサキダイオードの故障個数
断線

(6) 消費電力

多数の論理回路を駆動する場合、励振電源の負担を軽くするためには個々の回路の消費電力の少さいことが望ましい。エサキダイオードはその動作電圧、電流の範囲より明らかのように、消費電力は極めて小さく、これが大きな特長の一つである。

本基本回路の消費電力を周波数3 Mcにおいて実測した結果約1.5 mWであった。これはダイオード自体の損失の他に変成器およびオートバイアス回路の損失を含んでいる。クロック10 Mcでは正確な測定を行っていないが、5 mW以下と考えられる。このほとんどは変成器に用いたフェライトの損失よりなるものと思われる。

(7) 入力、出力回路

基本回路は微少な直流電流により制御されるから、外部の信号と基本回路を結合するための入力回路は極めて簡単である。平衡型の入力信号に対しては図4.20(a)に示すような構成で充分である。不平衡型の入力すなわち入力信号電圧が接地電位に対して

unbalanceの場合は図4.20

(b)に示した入力回路により平衡型に変換した後論理回路に導びけばよい。

一方、基本回路の出力電圧は $\pm 180\text{ mV}$ 程度で極めて低いため外部の回路、例えば記憶回路、出力装置、表示回路等と結合する場合かなり増幅することが必要となる。

機械的な出力装置、あるいは表示回路のような低速の信号で充分な場合、(+1, -1)論理を(+1, 0)論理に変換した後、図4.21(a)に示すようにこれを正弦波と見做して同調型増幅回路で増幅すると比較的簡単である。また、図4.21(b)に示すように $\frac{1}{2}$ 分周し

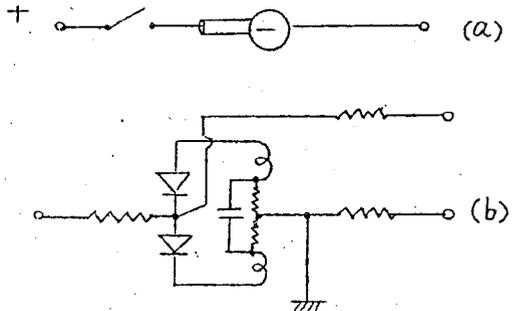


図4.20 入力変換回路

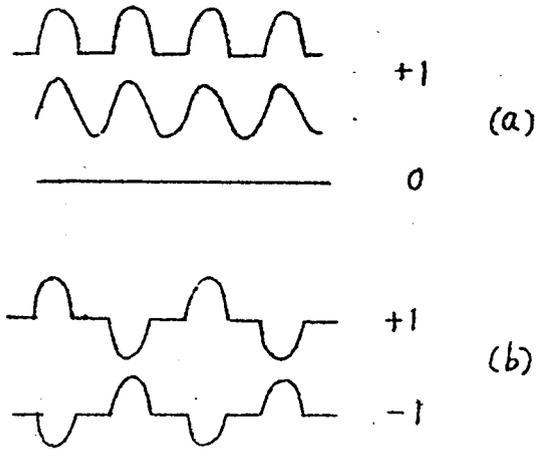


図4.21 出力のための波形変換

た後増幅することも考えられる。

記憶回路に結合する場合のように高速の出力が必要なときは当然高速トランジスタによるパルス増幅が要求される。図4.22はその一つの回路例を示したものであり differential amp および Power ampにより出力として 75Ω に $1V(p-p)$ を得る。

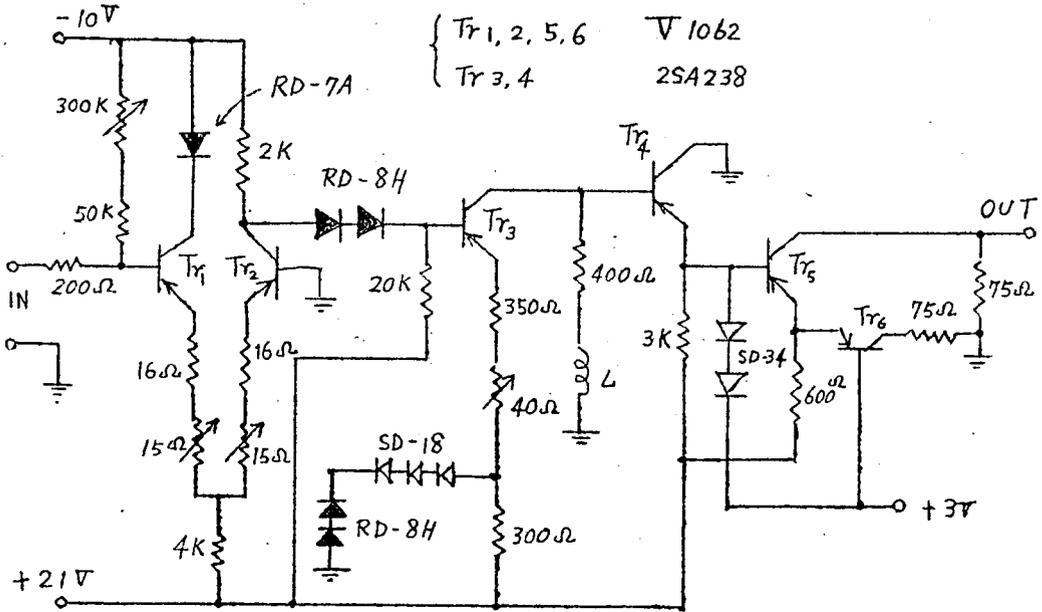


図4.22 出力増幅回路

なお、この他出力回路には図4.23に示すように基本回路を積み重ねて出力電圧を増す方法や、高電圧範囲で動作するGaAsのエサキマイオードの使用も有効であろう。

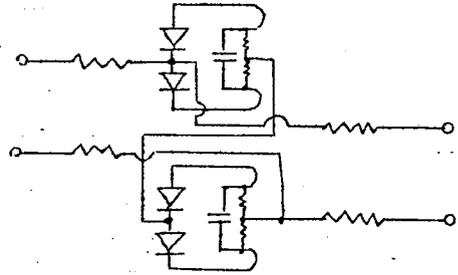


図4.23 重ね回路

(8) 論理定数

多数決論理演算において論理和、論理積を得るには3入力の一つを情報を持たない定まった極性の論理定数により置き換えねばならない。これは直流を加えた基本回路あるいは不平衡電流の大きい対回路を用いれば容易に得られ動作余裕度も広がるが経済的でない。実験ではもっとも簡単な方法として直流電圧よりこの定数を得た。すなわち図4.24に示すような直流電圧 V_c を定数として加えれば、定まった極性の論理回路の出力を加えたに等しくなる。この直流電圧は接地より切り離すか、または接地に対して正負対称にする必要がある。定数の極性を反転するには論理配線と同様な方法で配線すればよい。この方法は3相励振電源の電圧、位相がバランスしていれば相に無関係に配線しうる利点がある。

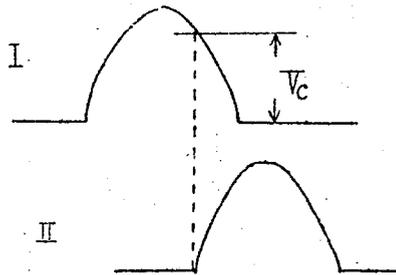


図4.24 直流による定数電圧

第3節 高速化の諸問題

(1) クロック周波数の上限

前節までの論述はほとんどすべてクロック周波数10 Mcにおける実験に関するものであるが、この程度のクロックはトランジスタ回路でも可能な範囲内にある。エサキダイオードが真価を發揮するのはさらに高い周波数領域にあると考えられるので、この点について考察する。

まず、図4.25に示した簡単な時計回路が安定に動作する上限周波数を実験的に求めた。こゝに用いた基本回路は本章第1節に述べたものである。この結果クロック50 Mcまで動作することが確認された。

第3章第2節に述べたように最高クロック周波数はエサキダイオードの性能指数にほぼ比例し、こゝに用いたエサキダイオードは理論的には約100 Mcのクロックで動作する。この理論

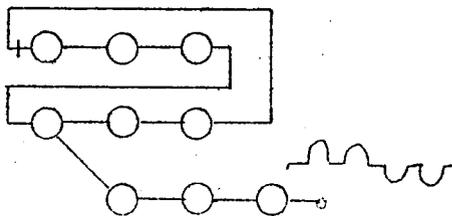


図4.25 時計回路

値と実験値の差は主として、エサキダイオードの特性のバラツキ特に接合容量のバラツキおよび不可避免的な直列インダクタンスの影響によるものと考えられる。すなわち、第3章第5節に述べたようにクロック周波数が高くなれば対の接合容量の差に基づく不平衡電流が増大し動作範囲を越え誤動作する。たとえば、接合容量が等しい場合でも、第3章第3節に述べたようにクロック周波数が上がれば回路に附属する直列インダクタンスの影響により発振し、動作不良となる。これらの点に充分注意をはらえば、クロック周波数の上限はさらに理論値に近づくものと思われ、この点は今後に残された重要な課題の一つである。

最近米国において開発されたと伝えられるエサキダイオードは尖頭電流10 mA に対して接合容量は1 pF 程度であり現在のわが国

で市販されているものに比してその性能指数は数 10 倍優れている。この種のエサキダイオードでは最高クロック周波数は接合容量よりもむしろ直列インダクタンスの影響が支配的となる。現在技術的に可能な構成法により、直列インダクタンスを最少にした場合、対回路が安定に動作する上限周波数は 250 MC 程度であるという報告がなされている。⁽⁵⁾

(2) その他の方法

クロック周波数自体を高めることなしに、実効的に演算速度をあげるには次の 2 つの方法が考えられる。その一つは基本回路の入力数を大にし 1 段当り取り扱いうる論理変数を多くすることであり、他の方法は励振電源の相数を多くすることである。

まず多入力演算の場合であるが、本基本回路のような多数決論理にしたがうものでは、入力数は奇数個であればよく、5 入力、7 入力等々が考えられる。ある論理関数に対しては 3 入力多数決演算 2 段に相当するものを 5 入力 1 段で構成することが可能であり演算速度は実効的に 2 倍となる。しかし、多入力演算においては明らかに入力信号電流のバラツキの影響が大きくなり動作マージンが減少する。多入力演算が用いられるか否かはこの点にかかっている。

図 4.26 に示す回路において基本回路 $A_1, A_2, A_3, \dots, A_5$ を取り換え A_6 がスイッチ X_1, X_2, \dots, X_5 の種々の組み合わせに対して規定の多数決演算を行うことを実験的に確認した。

この他、入力に *backward diode* を用い多入力の演算を行う方法も考えられる。

つぎに第 2 の方法として励振電源を多相化することが考えられる。なかでも図 4.27 に示すように 6 相励振を行なうには

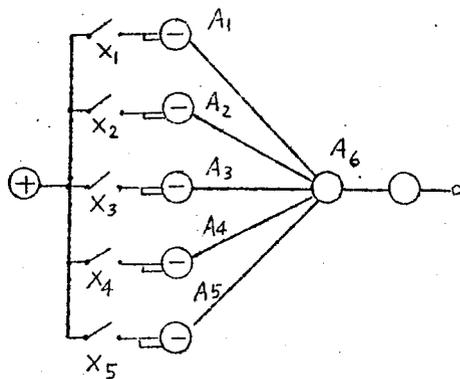


図 4.26 5 入力回路

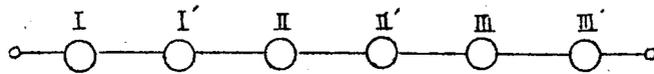


図 4.27 6相励振法

基本回路の変成器にそれぞれ図に示したような逆相の励振を加えればよくきわめて簡単である。これは特に速い論理操作の必要な部分例えば高速桁上げ回路、奇偶検出回路に3相励振とともに用いれば有効であろう。また出力分岐数の多い場所に図4.28に示すように Buffer 回路として用いることも考えられる。

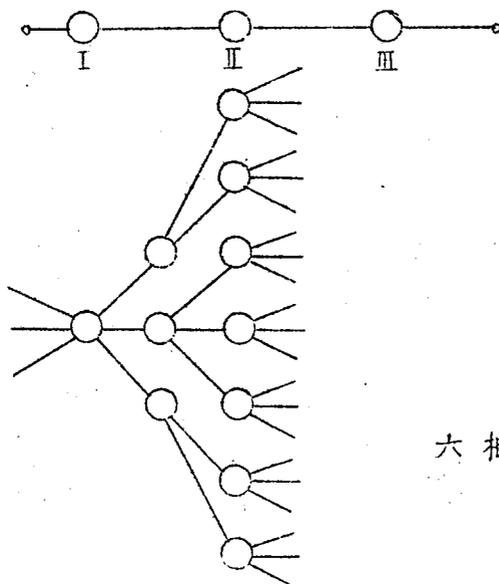


図 4.28

六相励振の応用

第4節 第4章の結論

本章では第1節においてまず基本回路の構成、励振条件、出力波形等を示し、励振電圧と出力電圧、直流バイアス出力の *duty factor* の関係を実験的に求めた。さらに負荷特性および出力電圧の分布を示した。この結果基本回路の諸特性が明らかになった。第2節においては基本回路を多数個用いる場合に生ずる諸問題として エサキダイオード対の選出法、配線の問題、外来雑音の影響、励振電源、エサキダイオードの信頼度、消費電力、入出力回路等をあげ、これ

らの解決法を述べた。この結果、基本回路の実用の見通しを得られた。第3節においては基本回路のクロック周波数の上限を実験的に求め、さらに実効的に演算速度を上げる方法として5入力演算、6相励振法を提案した。

第5章 各種装置への応用

第1節 多数決論理回路⁽¹⁾

(1) ブール代数による表現

基本回路は前述したように3相励振、多数決論理を採用する。したがってパラメトロンの論理構成がそのままこの回路に適用しうる。パラメトロンは 180° 位相の異なった正弦波を2進数1, 0に対応させるが、この正弦波が図5.1に示すように一個のパルスに縮退したものが基本回路であると考えられる。

多数決演算を行なうには、奇数個の入力が必要であるが、実際は3入力一般に用いられる。この3個の入力変数を x, y, z 、出力を w とすれば、この関係は次の論理式により表わされる、

$$w = x \cdot y + y \cdot z + z \cdot x \quad (5.1)$$

ここで $z=1$ 、あるいは $z=0$ とすれば上式はそれぞれ次のようになる。

$$w = x \cdot y + y \cdot 1 + 1 \cdot y = x + y \quad (5.2)$$

$$w = x \cdot y + y \cdot 0 + 0 \cdot x = x \cdot y \quad (5.3)$$

式(5.1), (5.2), (5.3)の回路はそれぞれ図5.2(a), (b), (c)のように表現される。(b)は論理和、(c)は論理積を与える。1入力

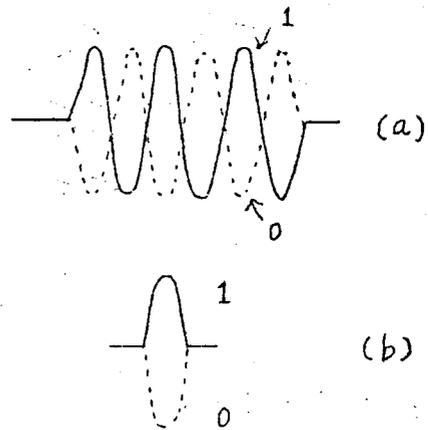


図5.1 出力波形

の回路は遅延を与えるために用いられる。
 (同図 (d))。信号反転(否定)は結合線
 に棒を入れ (e) のように表わすのが慣例
 である。すべての論理回路はこれら遅延、
 否定、論理和、(あるいは論理積、多数決)
 により構成しうる事が明らかにされて
 いる。

(2) 簡単な論理回路の例

一般に論理函数が与えられたとき、こ
 れを満足する論理回路を構成する方法は
 いろいろ考えられている。しかし、実際
 はすでに知られている基本的な論理回路
 を組み合わせて、観察によつて回路を求め
 る場合が多い。ここでは本章第3節、第5節に述べる装置に用いら
 れている種々の論理回路の実例を挙げ説明する。

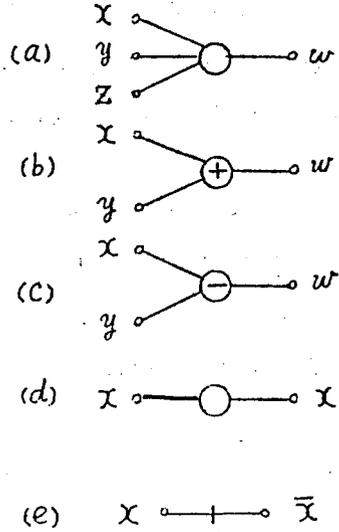


図 5.2 基礎回路

図 5.3 (a), (b), (c) はフリップフロップ回路、すなわち 1 ビットの
 の記憶回路を示す。(a), (b) 共
 Set 信号でフリップフロップ回
 路は 1, Reset 信号で 0 にな
 る。ただし、Set と Reset の
 信号が同時に加えられた場合
 (a) はその内容が不変、(b) は
 0 に Reset される。(c) はゲ
 ート付きのフリップフロップであ
 り、ゲートパルス G によつて
 情報が書き込まれる。

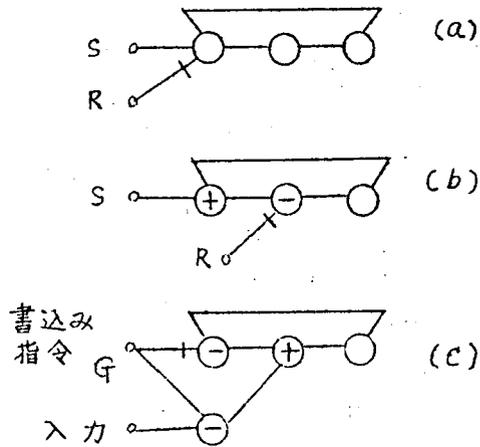


図 5.3 フリップフロップ回路

図 5.4 は 2 進計数回路を
 3 段接続した 8 進計数回路で
 ある。これは入力パルスが加

わる毎に3個のフリップフロップ回路の状態が変り、1ずつ増加する。出力端子には8個毎に1個1のパルスを得る。

図5.5は微分回路と呼ばれ、(a)は入力信号が0から1に変化したとき1個のパルスを出し、(b)は入力信号が1から0に変化したときパルスが得られる。

スイッチ、リレー等の接点はその動作時にチャタリングを起こすことがあるが、これを除去するのに図5.6の回路が用いられる。

図5.7は2進数の全加算器 (full adder) を示すものである。加数 x , 被加数 y , 桁上げ C , とし、和を S , 次段への桁上げを C' とすればこの回路は次の論理式を表わす。

$$\left. \begin{aligned} S &= x\bar{y}\bar{C} + \bar{x}y\bar{C} + \bar{x}\bar{y}C + xyc \\ C' &= xy + yC + Cx \end{aligned} \right\} \text{.....(5.4)}$$

この他多数の有用な回路が考案されているが後述する装置に関係がないので省略する。

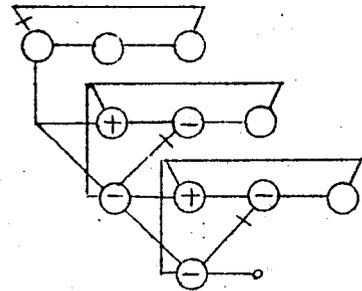


図 5.4 計数回路

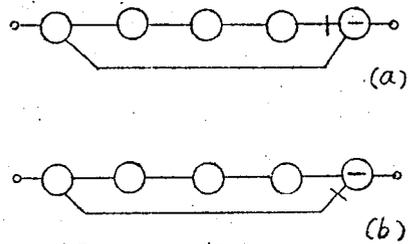


図 5.5 微分回路

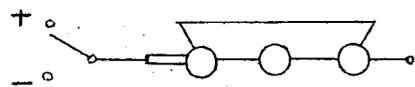


図 5.6 チャタリング防止回路

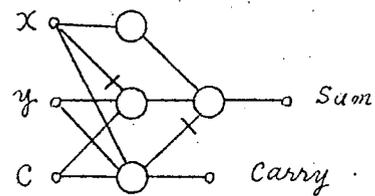


図 5.7 全加算器

第 2 節 高速 A-D 変換器 ⁽²⁾⁽³⁾⁽⁴⁾

(1) 高速 A-D 変換器 の概要

本節では基本回路の一応用として試作した高速 A-D 変換器の試作結果を述べる。A-D 変換器 (Analogue-Digital Converter) は

アナログ量すなわち連続的な値を持つ量をデジタル量すなわち不連続的な符号または数字に変換するための装置である。

このような装置は通信方面では例えば音声等を符号化 (PCM) 伝送する場合利用され、自動制御の面では、いわゆるデジタル制御を行なう場合に計算機への入力変換装置として用いられる。

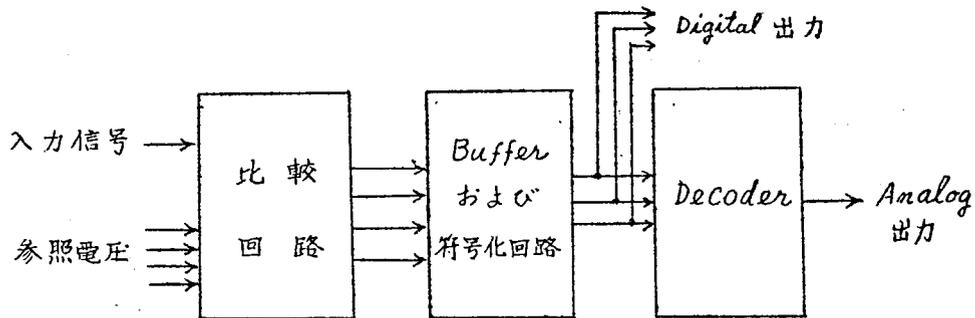


図 5.8 A-D 変換器のブロック図

図 5.8 は試作した A-D 変換器の概略を示したものである。この変換器は高速を主な目的としているため構成は非常に簡単なものとなっている。比較回路としては分割レベル数に施した数の検出回路をおき、各回路にはあらかじめ定まった参照電圧を与え、この電圧と入力信号電圧を比較することにより入力レベルを検出する。これらの出力をそれぞれ Buffer 回路を通した後、符号化回路に算びを 2 進数に変換する。以上の操作はすべて並列に行なわれる。

このようにして A-D 変換されるが、符号化された信号を D-A 変換回路を通し再びアナログ信号に変換し、入力信号と比較することにより量子化誤差を観測できるようにしている。

これらの回路はすべて基本回路より構成され、クロック周波数 10 Mc の 3 相正弦波により駆動される。サンプリング周波数はこのクロック周波数に等しい。

(2) 比較回路

A-D 変換器において最も重要なものは比較回路であり、この速

度、精度、安定度が装置の性能を決定する。今迄テレビ信号等の高速信号の符号化は主として符号管 (Coding tube) が用いられた。これは符号化に電子ビームと符号板を用いるものであり、この製作には機械的にかなり困難な技術が要求される。こゝではエサキダイオード対回路が極めて高速高感度かつ安定に動作することに着目しこれを比較回路に用いた。

図 5.9 は比較回路を示したものである。このように、オートバイアス側の中実を接地し、ダイオード対の中実に 2 個の等しい入

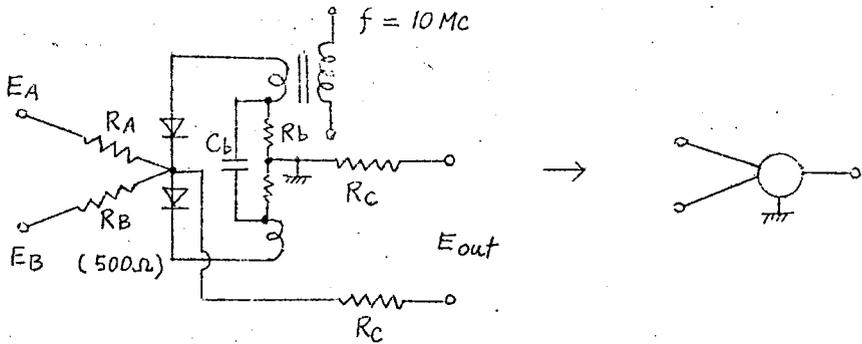


図 5.9 比較回路

力抵抗 R_A , R_B を接続する。ダイオード対の平衡が完全であればこの回路の出力電圧の極性は入力よりダイオードに流れる電流の総和の正負、すなわち入力端子電圧の代数和、 $E_A - E_B$ の正負により定まる。この回路を図 5.10 に示すように量子化レベル数に依じた個数配列し、各回路の一方の入力端子にそれぞれ定まった参照電圧 $-E_1 > -E_2 > \dots > -E_n$ を与える。参照電圧の間隔は任意に選ぶことができるが、こゝでは便宜上等間隔 (100mV 間隔) とした。これらは電池の電圧を入力抵抗 (500Ω) より充分低い値の抵抗

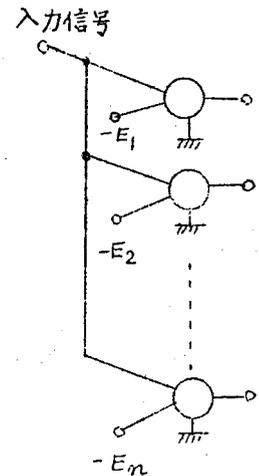


図 5.10 比較回路の配列

で分割し供給した。

他の入力端子は図 5.10 に示すようにすべて共通に接続し、こゝに符号化すべき信号を加える。今、入力信号電圧 $+E_{in}$ が

$$E_{m-1} < E_{in} < E_m \quad (5.5)$$

の範囲にあり、このとき比較回路に励振が加えられたとすると

($m-1$) 以下の比較回路の出力の極性は負、 m 以上は正の極性の出力を得る。したがって $0 \sim +E_n$ の入力信号のレベルは出力の極性の変化する位置によって検出することができる。入力信号が参照電圧の絶対値と一致すればその比較回路の出力の極性は無作為的となり 1 レベルの誤差を生ずる。

以上は入力信号の極性が正の場合であるが、例えばコンデンサを通ったような正負の極性の信号を符号化する場合は、参照電圧を正より負に順次変わるよう変更すればよい。

こゝで比較回路の感度について考察する。第 3 章第 2 節式 (3.11) に、立ち上り時間 $T_s = 5 \text{ m}\mu\text{s}$ (10 Mc 励振に相当)、エサキダイオードの容量 $C = 5 \text{ pF}$ 、負性コンタクトンス $-g = -10 \text{ m}\mu\text{S}$ 、励振電圧 $2E = 300 \text{ mV}$ を代入し、入力電流 (トリカ電流) I を求めると $0.15 \mu\text{A}$ となる。言い換えれば $\pm 0.15 \mu\text{A}$ でスイッチングし感度は非常に高い。

図 5.11 はこのトリカ特性を測定した結果である。外部よりの雑音、漂遊容量、漂遊インダクタンス等のためトリカ電流は理論値よりかなり増大している。いま、参照電圧の間隔を 100 mV 、入力抵抗を 500Ω とすれば、レベル間の電流差は $200 \mu\text{A}$ となる。精度はこの値とトリカ電流の比で定義されるものとすれば、この場合精度 5%、理論的には 0.07% となる。実際はダイオード対の不平衡電流、入力抵抗、参照電圧のバラツキ、飛び越し結合等のため、精度はこれらの値より悪くなるが全体として 10% 以下にすることは可能である。試作した装置では不平衡電流は $\pm 15 \mu\text{A}$ 以下、入力抵抗の偏

差は $\pm 5\%$ 以内のものであり、精度は $\pm 15\%$ 程度である。
 なお第3章第5節式(3.36)に示したように対を構成するエサキタ

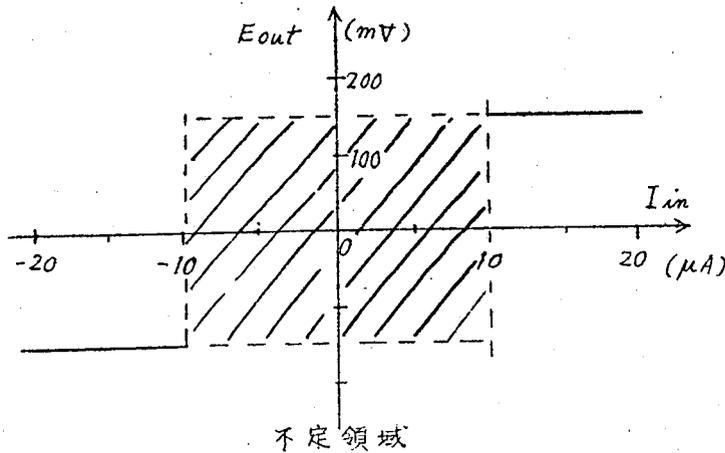


図 5.11 ダイオード対のトリカ特性

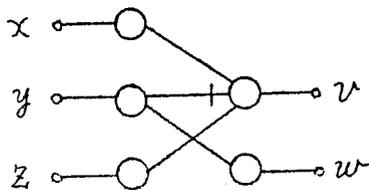
イオードの障壁容量に差があれば励振電圧の値によって不平衡電流が変動するから、厳密には励振電圧の変動をおさえるか障壁容量の揃ったものを選出する等の考慮が必要である。

この種の変換器の最大量子化レベル数を推定するためにはダイオード対が動作する最大入力電流 I_{max} を知る必要がある。この値はダイオードの最大許容電流値まで増すことができるが、これをあまり大にすると比較回路の内部インピーダンスのため入力の一部が出力に重畳するから好ましくない。したがって I_{max} を 20mA に制限し、レベル間隔を $200\mu\text{A}$ とすると 100 レベルは可能である。

(3) Buffer 回路および符号化回路

比較回路の出力は Buffer 回路を通り符号化回路に導かれ 2 進数に変換される。これらはすべて前述した基本回路により構成される。Buffer 回路は入力信号の一部が直接符号化回路に入るのを防ぐためと、比較回路への飛び越し結合の影響を少なくするためである。また比較回路は一端が接地された不平衡型であるからこれを平衡型に変換する作用もある。

Buffer回路の出力はパラメトロンにおけると同様の符号化回路により2進数に変換される。図5.12は基本となる4レベルの符号化回路。表5.1はその真理表を示したものである。この回路を組み合わせるにより容易にレベル数を増やすことができる。



x	0	1	1	1
y	0	0	1	1
z	0	0	0	1
v	0	1	0	1
w	0	0	1	1

図5.12 符号化回路

表5.1

図5.13は試作した16レベルの符号化回路を示したものであり、2進数4ビットに変換される。写真5.1は一例として入力に約50Kcの半波整流された正弦波を加えた場合の各桁の出力波形を示したものである。

(4) 附属論理回路

本変換器の一つの特長は容易に論理回路を附加できる点にある。例えば並列に得られた2進出力を時間的に直列にすることは容易である。また2進出力を他の符号、例えば *error detecting Code*, *error correcting code* に変換したり、*Parity check bit* を附加することもできる。図5.14(a)は *parity check bit* を得るための回路である。受信側にもこの回路を備えることにより伝送中の誤りを検出することができる。図5.14(b)は符号化出力を一回毎反転するいわゆる *alternate interchange* を行うための半加算回路を示す。その他 Δ 変調回路や予測回路も可能であり、更に複雑な回路も原理的にはすべて基本回路で構成しうる。

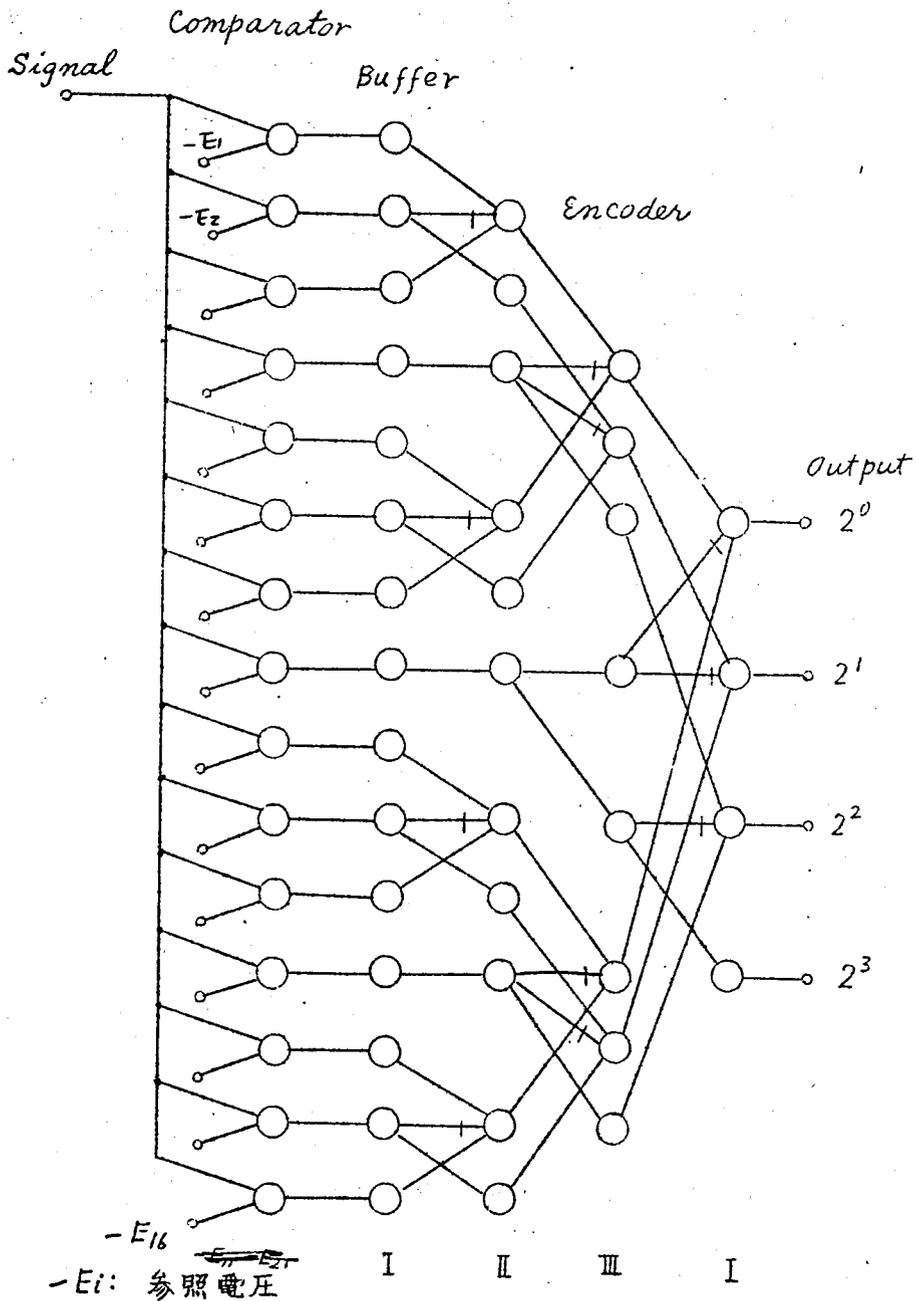
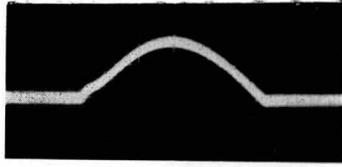
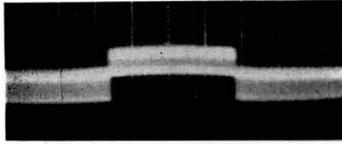


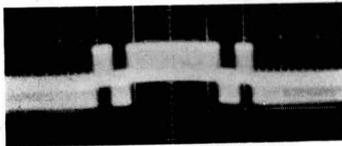
图 5.13 16 电平符号化回路



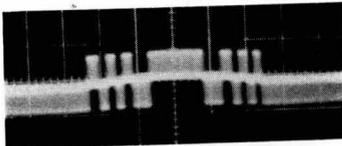
入力波形
(50 Kc)



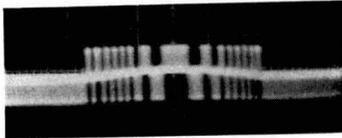
2^0 出力



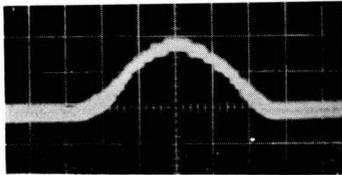
2^1 出力



2^2 出力



2^3 出力



複写器出力

写真 5.1 A-D変換器出力波形

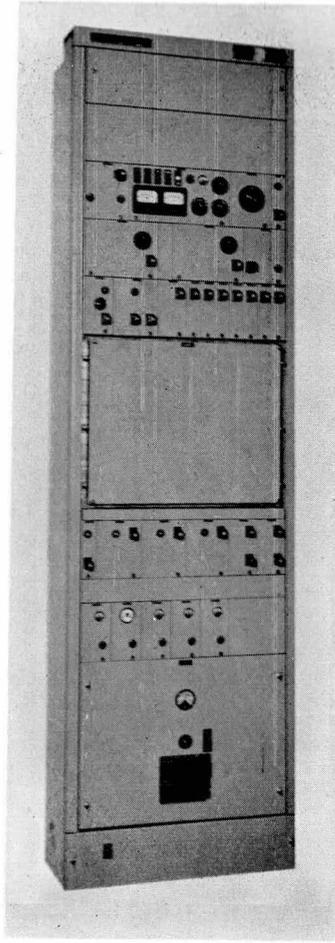
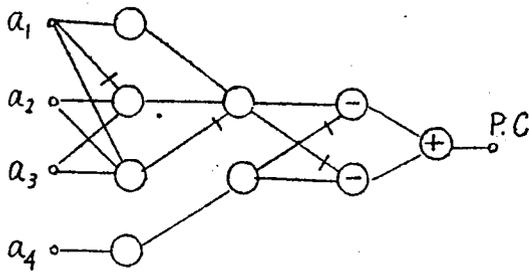
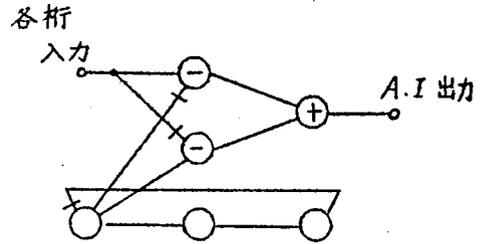


写真 5,2

テレビ信号デジタル変換器



(a) Parity Check 附加回路の一例



(b) Alternate Interchange

図 5. 14

(5) 符号管との比較

こゝで現在速度の点で本装置に匹敵すると考えられる符号管との比較を行なう。

(i) 本 A-D 変換器はすべて電子的なものであるが、符号管はかなり複雑な機械的構造を有し簡単には製作できない。また前者は全体として非常に小形化しうる。

(ii) 符号管の精度が符号板や電子ビームのフォーカス等により支配されるのに対し本装置はエサキダイオード対のトリが感度および不平衡電流、回路素子のバラツキに影響される。

(iii) 安定性の点はまだ明らかではないが、ゲルマニウム、エサキダイオードは注意して製作されれば経年変化はほとんどない。符号管についての詳細は不明である。

(iv) 符号化しうる最高速度はエサキダイオードを用いたものは百 MC 程度まで可能と思われる。

(v) 符号管では量子化誤差を少なくするため、交番 2 進符号を用いる必要があるが、本装置では必要ない。

(vi) 符号管の出力レベルは極めて低いため、これを増幅するための附属回路がかなり複雑になるが本装置はこの点有利である。

(6) D-A変換部 (Decoder)

符号化に伴う量子化誤差を観測するためには、符号化出力を再びもとのアナログ信号に変換する必要がある。これにはD-A変換器が用いられるが、ここでは基本回路の内部インピーダンスが非常に低く定電圧電源と考えられるので、図5.15に示すような抵抗回路網によるLadder型のD-A変換回路を用いた。⁽⁵⁾ k 桁 ($0 \leq k \leq n$)の出力電圧を E_k とすれば、 E_k により出力負荷抵抗に発生する電圧 E_{out} は次式で示される。

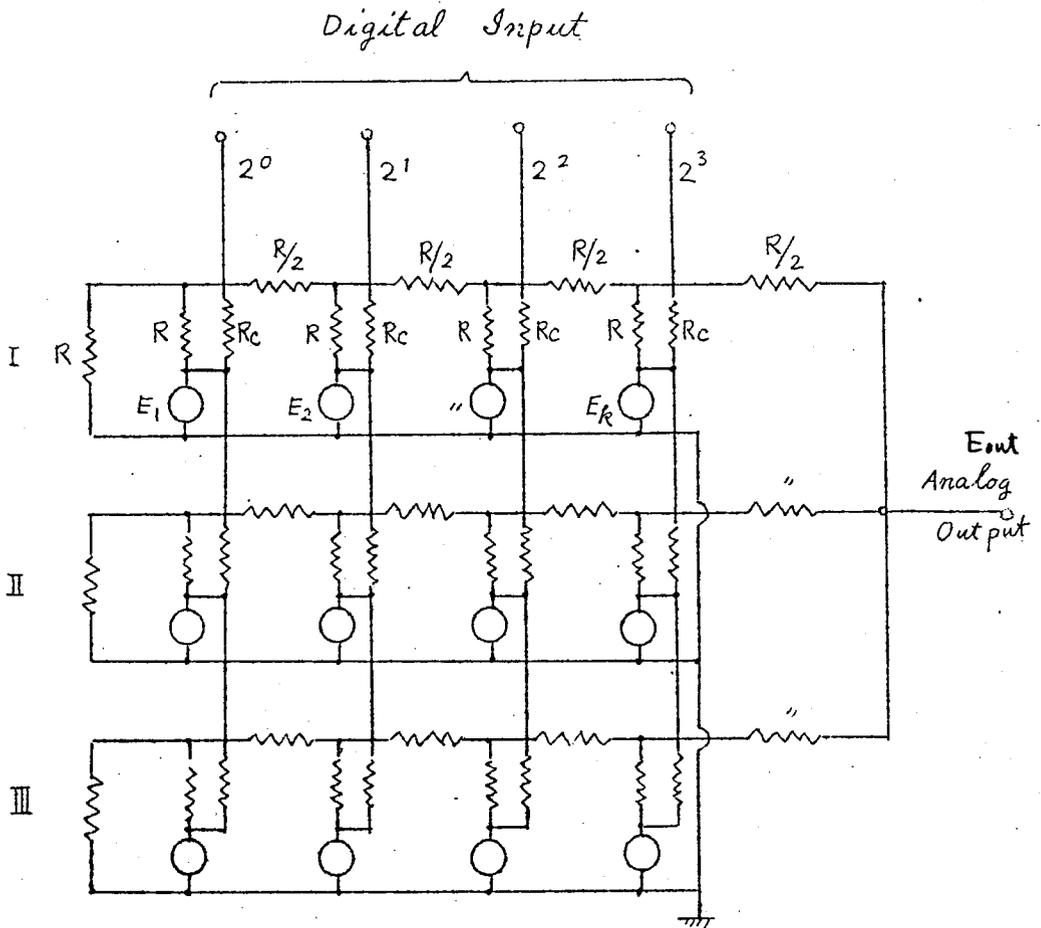


図 5.15 D-A変換回路

$$E_{out} = \frac{1}{2^{n+1}} \sum_{k=1}^n E_k 2^k \quad (5.6)$$

~~ただし R_L : 負荷抵抗~~

~~R_o : 出力抵抗 ($\leftarrow R$)~~

図 5.15 の回路より D-A 変換された出力にはこのまゝでは 10 Mc のクロックが重畳している。これを除くには帯域 5 Mc の低域フィルタを通せばよい。また図 5.16 に示すように 3 相出力を重畳すれば 10 Mc の成分がなくなるから、低域フィルタと同様の効果を得られる。この方法は出力電力が 3 倍に増加する利点がある。

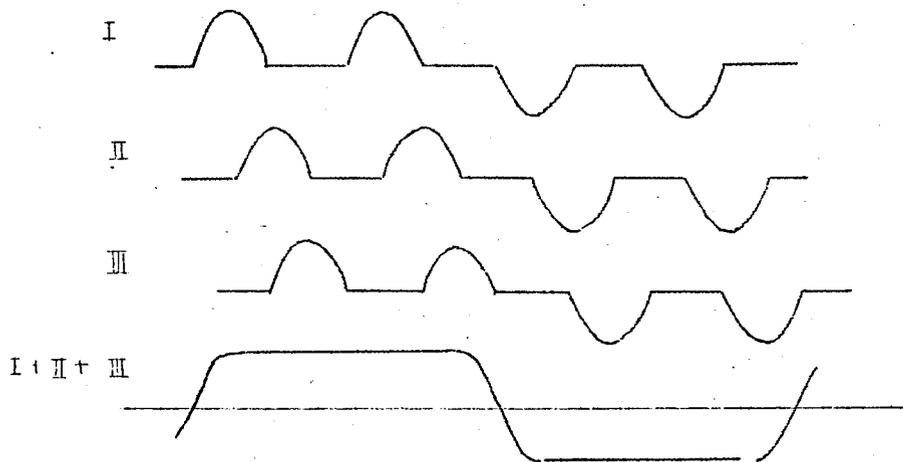


図 5.16 3 相出力の重畳

第 3 節 テレビ信号デジタル変換器⁽⁶⁾

(1) テレビ信号デジタル変換器の概要

前節に述べた方式により 日本電気 K.K. において テレビジョン信号を PCM することを目的として テレビ信号デジタル変換器を試作した。写真 5.2 は装置の全形、図 5.17 はその系統図、また主な性能を下に掲げる。

テレビ信号 デジタル変換器の主な規格

- | | |
|-----------------|-------------------------------------|
| 1. 映像入力信号レベル | 1.4 V _{p-p} (75 Ω) |
| 2. 伝送周波数帯域 | 0 ~ 4.3 Mc |
| 3. 符号化ビット数 | 1ビット ~ 5ビット 可変 |
| 4. サンプリング周波数 | 10 Mc (±5 × 10 ⁻⁵ 以下) |
| 5. Wobbling 発振器 | 3.5 Mc 振幅可変 |
| 6. デジタル出力レベル | 1 V _(p-p) (75 Ω) |
| 7. 試験信号 | 三角波 + 同期パルス (1.4 V _{p-p}) |
| 8. 装置構成 | 図 5.17 参照 |

{ 符号器, 復号器, エサキダイオード対による回路
 { その他の回路, トランジスタ化回路

本装置の特長を列記すれば次のようになる。

- 1) 映像増幅器, 励振電源等すべてトランジスタ化されている。
- 2) 試験信号として三角波と水平同期パルスを重畳したものを備え回路の動作チェックを行なうことが容易である。
- 3) Parity Check bit を附加したため, 誤まりを検出することができる。
- 4) 励振電源として必要な三相発振器は各相間を自動的に $\frac{2\pi}{3}$ の位相間隔に保つよう自動的に制御される。

写真 5.3 (a) は試験信号波形, 同 (b) は ^(f) 1, 2, 3, 4, 5 ~~5, 4, 3, 2~~ ビットに符号化した後復号した波形を示している。本装置はエサキダイオードを多数個用いたシステムとしてはわが国では初めてのものであると思われるが, 試作後極めて安定に動作しており, 満足すべき結果を得ている。

(93)

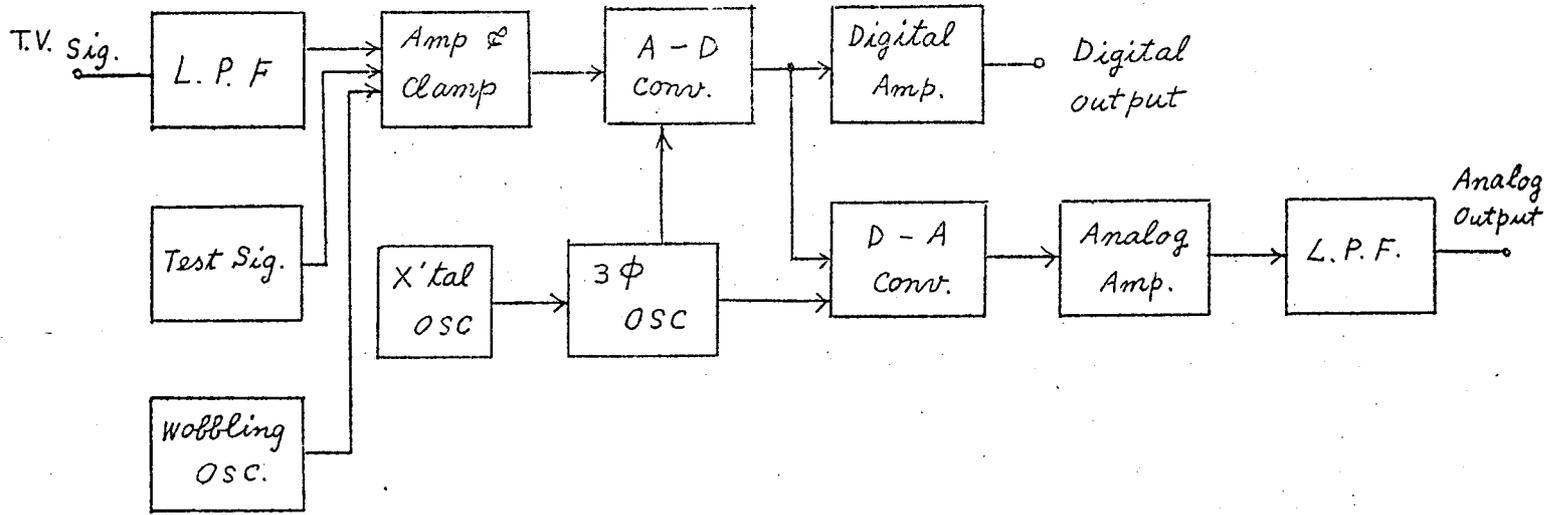


図5.17 テレビ信号デジタル変換器ブロック図

第 4 節 テレビ信号の符号化⁽³⁾

(1) テレビ信号の P.C.M.

前節に述べた A-D 変換器の一応用としてテレビ信号の P.C.M. を行なった。この種の実験については符号管を交換器に用いたものは既に報告されている⁽¹⁰⁾⁽¹¹⁾ので原理的な説明は省略する。

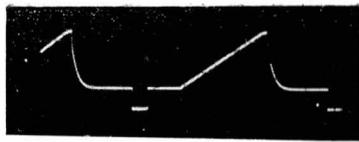
入力信号としてはパタン発生器、ビデオカメラ出力、テレビ受信器よりの信号を用いた。入力信号レベルは同期信号を含めて最大 1.5V (P-P) (入力インピーダンス 30Ω) である。信号の直流再生は行っていない。信号の映像分を有効に P.C.M. するためには、同期信号を除き直流再生を行った後 P.C.M. するのが望ましい。量子化レベル数は切換スイッチによつて 16, 8, 4, 2 に切り換えることができる。

P.C.M. された信号を D-A 変換した後増幅し、モニターテレビに加えもとの映像と比較することにより量子化雑音を観測する。視覚に不自然さを感じない程度の量子化レベル数については種々の誤があり、目的用途により、また主観によつて異なるが、この実験結果よりみると 16 分割でもかなり良好な再生信号が得られた。写真 5.4 は量子化したテレビ映像の一例を示したものである。

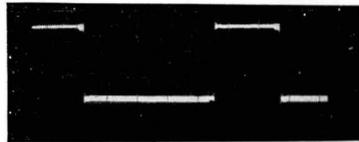
(2) テレビ信号の一符号化法⁽⁸⁾⁽⁹⁾

P.C.M. による伝送は S/N がある *Threshold* 以上あれば雑音を抑制し完全に原信号を再生しうる特長があるが、一方 P.C.M. することにより必然的に量子化誤差を伴ってくる。この誤差は実際の画面上では、原信号の明るさが連続的に変化する部分に 1 量子間隔の輪郭を生ずる。これは明るさがゆるやかに変化する部分特に背景等において目立つてくる。この誤差を少にするには量子間隔を少にし 2 進数 6 bits 以上に符号化すればよいが、符号化装置が複雑になり、また信号伝送のための帯域幅が広くなる欠点がある。

これを避けるには bit 数を増やすに原信号に適當な波形を重ねし



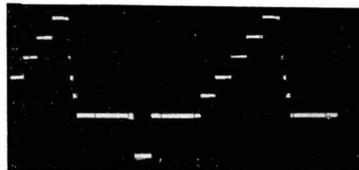
(a) 入力波形



(b) ビット符号化出力



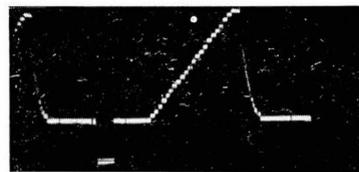
(c) 2 "



(d) 3 "



(e) 4 "



(f) 5 "

写真 5.3

入力および出力波形



(1) 原画



(2)
サンプリング速度10MC
4ビット(16レベル)に
量子化した像



(3)
同上
3ビット(8レベル)
量子化



(4)
約3MCのWobblingを
行った場合
(3ビット量子化)

た後符号化し、視覚の生理的作用を利用して突初的に量子化雑音を減少させる方法が考えられる。これには白色雑音を重畳する方法⁽¹⁰⁾、各フレーム毎、あるいは水平走査線毎に1量子化レベルの $\frac{1}{2}$ 程度の正負の電圧を重畳する方法⁽⁷⁾等がある。こゝでは後者の考えを拡張して、高周波を重畳する方法(*wobbling*法)を考案しその実験を行った。この方法によれば4レベル(2bits)量子化でもかなり良好な映像を再生することができ、極端な場合2レベル(1bit)量子化も可能である。

以下簡単のため2レベル量子化の場合について説明する。

図5.18(a)は走査線の一部を拡大したものである。重畳する高周波 f_w を三角波とし、その周波数は信号に比して高いものとする。

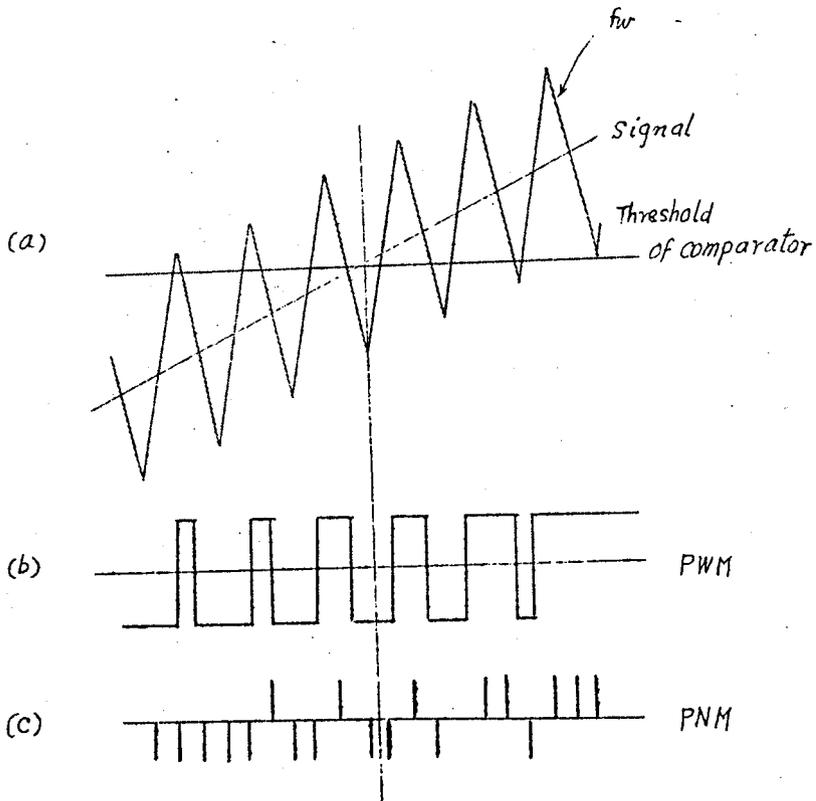


図 5.18 *Wobbling* の作用

標本化周波数(f_s)を f_w に比して充分高いものとする。符号化出力は同図(b)に示したような形となる。今図5.19に示すように f_w の周期を T_0 、その振幅を1量子間隔に等しい値 A 、信号レベルを S 、 f_w がThresholdをこす幅を T とすれば、明るさ B は T/T_0 に比例するとして、

$$B = K \left(\frac{T}{T_0} \right) = K \left(\frac{1}{2} - \frac{S}{2A} \right) \quad (5.7)$$

となる。すなわち B は S に比例し、明るさの情報がパルスの幅に変換されたことになる。實際上 f_s は f_w と同程度の周波数であるから、符号化出力は図5.18(c)に示すように、パルスの密度が明るさに比例した一種のPNMとなる。このようなパルス列が水平走査線ごと、フレームごとに現われるから、再生画面においては、統計的に原信号レベルに比例した明るさが得られ、量子化誤差による不自然な輪郭がなくなる。なお實際上 f_w は正弦波であるが、これはほぼ三角波と見做すことができ、式(5.7)は近似的に成立する。

この符号化方式における映像の品質は f_w の周波数に関係する。まず画面上に縞を生じないためには、隣り合う水平走査線間の f_w の位相が 180° 異ならなければならないから、 f_w は次の関係を満足せねばならない。

$$f_w = \frac{f_H}{2} \cdot (2n + 1) \quad (5.8)$$

f_H : 水平走査周波数

n : 正の整数

この他サンプリング周波数 f_s およびその高調波とサブサンプリング周波数 f_w およびその高調波との間にビートを生じ、このため画面に縞を生ずることがある。したがってこのビートによる縞を目立たなくするためには、このビート周波数 f_b に対して式(5.9)が成立

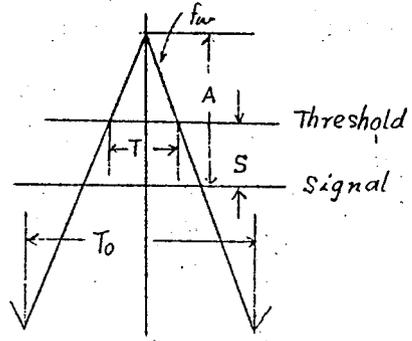


図5.19 Wobblingの説明図



(a) $f_s = 10 \text{ Mc}$, $f_w \approx 3.5 \text{ Mc}$, 4レベル量子化



(b) $f_s = 20 \text{ Mc}$, $f_w \approx 7 \text{ Mc}$, 2レベル量子化

写真 5.5 Wobbling した映像信号

せねはならない。

$$f_b = |Mf_s - Nf_w| = \frac{f_s}{2} (2m+1) \quad (5.9)$$

ただし M, N, m 正の整数

この場合、実際には M, N は 5 以下を考慮すればよい。

f_w の決定には式(5.8), (5.9)を合わせて考えねばならない。この他 眼の解像力の衰、および原信号の周波数帯域を減らさないことなどを考慮すると、 f_w は高いほどよい。したがって f_w はカラーテレビにおける副搬送波 3.5 Mc 程度に選べばよいと思われる。

上に述べたことを確かめるため、実験を行った。図 5.20 はこの系統図を示したものであり、信号源としては、ビデオコンカメラの出力(静止像)、受信した映像信号を用いた。なお同期信号は便宜上別系統でモニターに加えた。

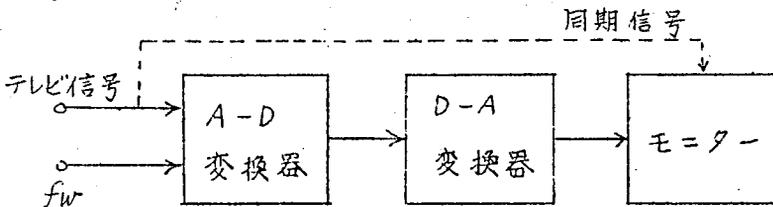


図 5. 20

(1) 写真 5.4⁵(a) は $f_s = 10 \text{ Mc}$, $f_w \doteq 3.5 \text{ Mc}$ 4 レベル (2 bits) 量子化の場合を示したものである。原画像と比較してかなり良好な再生画像が得られた。これは明るさが急激に大きく変化する部分は 2 bits にあらく量子化し、明るさのゆるやかな変化や微小な変化は重畳した高周波により統計的に量子化したものと考えてよい。この方法により 6 bits 符号化とほぼ同品質の画像が得られるものとするれば、bit 減少率は $\frac{1}{3}$ となる。

(2) 写真 5.4⁵(b) は $f_s = 20 \text{ Mc}$, $f_w \doteq 7 \text{ Mc}$ 2 レベル (1 bit) 量子化の場合である。図 5.21 は実験回路を示したものであり、比較回路 Buffer 回路はすべてエサキダイオード対により構成されてい

る。符号化信号の帯域幅は(1)と同様であるが、1 bit 伝送の場合は、周波数分割や、時分割の必要がなく、伝送が容易となる利点がある。再生画像は(1)に比して若干劣るがほぼ満足なものを得ることができた。

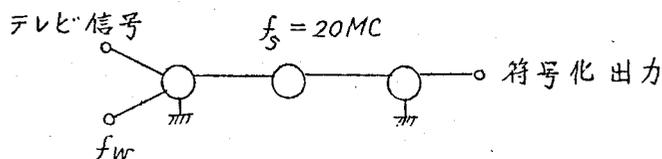


図 5.21 1ビット符号化回路

第 5 節 パイロット計算機の試作 ^{(12),(13),(14)}

(1) パイロット計算機の概要

本節では、この基本回路を用いたパイロット計算機について述べる。本機を試作した目的は主として多数個励振の場合の回路的な問題を調べるためであるが、このパイロットモデルは一応 *Stored-program* 計算機の性能を備え、単語長、指令の種類、記憶容量を増し、入出力装置を設備すれば、容易に小型計算機とすることができる。

この計算機の主な性能は次の通りである。

- 1) 方式 クロック 10 Mc 3相, 多数決論理
- 2) 単語 直列 2進, 数値語 8 bits.
指令語, 指令 (3 bits) + 番地 (3 bits) + 2 bits
- 3) 指令 6種類 (Clear Add. Add. Store Acc. Unlon
Jump. Acc 0 Jump. Stop)
- 4) 記憶容量 8 words
- 5) 使用基本回路数

}	演算制御部	300個
}	記憶部	200個

図 5.22 に本機のブロック図を示す。計算機内で取り扱はれる指令, 数値はまず Input SW より手動で Accumulator (Acc),

Instruction Register (I.R) に load され、I.R 内の Store Acc の指令により Acc の内容が順次手動で Memory の指定された番地に Store される。

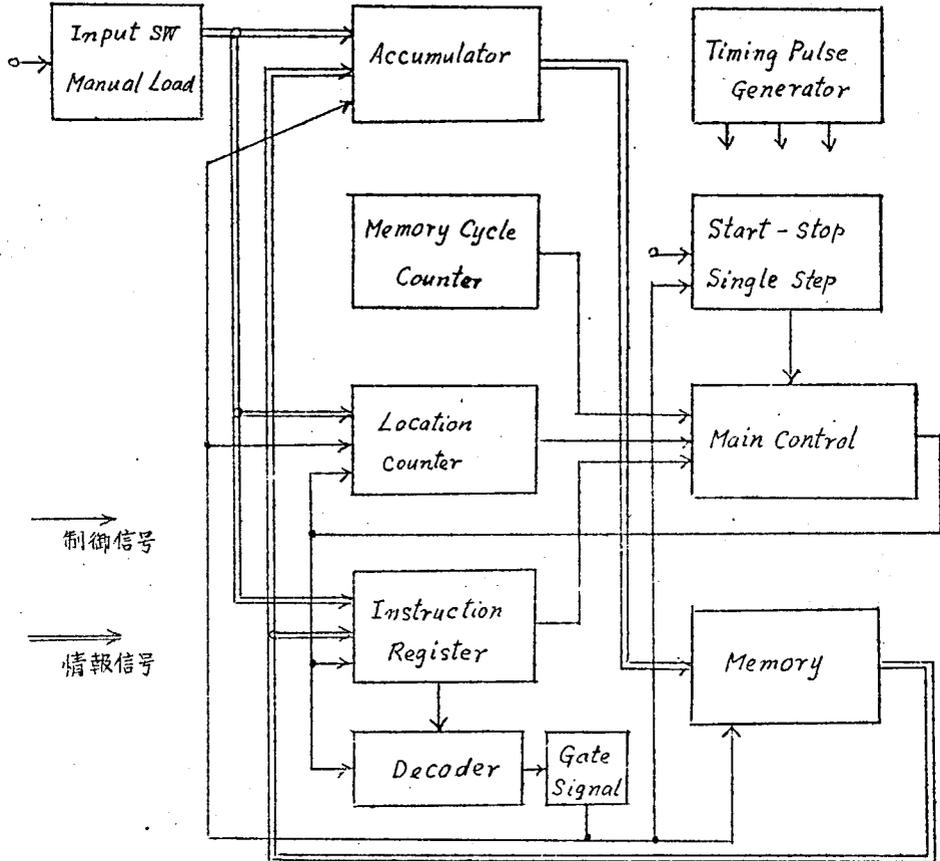


図 5.22 ブロックタイアグラム

つぎに Location Counter (L.C) を reset し、Start-Button を押せば、0 番地より順次 Program にしたがって演算が実行される。これらの動作はすべて main control 部により制御される。すなわち一般の計算機と同様、次の過程により進行する。

- 1) memory cycle counter (M.C.C) と L.C の一致をとり、指定された指令を I.R に読み込み、命令部 decode する。

- 2) 命令が *memory* に働きかけない場合 (*Jump* 等) ただちに *Start pulse* を発生し指定された命令を行う。
- 3) 命令が *Memory* に働きかける場合 (*Add. Store* 等) *I.R* の番地部と *M.C.C* の一致をとった後 *Start pulse* を発生し指定された演算を行う。
- 4) 以上の動作が完了すれば 1) にもどり次の指令にうつる。

(2) 各部回路の動作

(2.1) *Input SW*, および *Manual load*

E.D. 対論理回路が直流電流により制御されることを考えれば、入力回路は図 5.23 に示すように極めて簡単となる。すなわち $SW_1 \sim SW_8$ をとじることにより、*Timing Pulse Generator* よりのパルスを阻止し、開けばそのまま通過する。したがって論理和回路の出力には $SW_1 \sim SW_8$ の開閉に応じたパルス系列が得られる。*Manual load* 回路の *switch* を押すことにより、1 word time の間のゲートパルスを発生し *input SW* の数字を $SW_{10} \sim SW_{12}$ により指定された *Register* に load する。この回路にはパラメトロン回路と同様 *chattering* 防止回路が必要である。

(2.2) *Timing Pulse Generator*.

計算機各部の動作を制御するための *Timing Pulse* を発生する回路で、2進計数回路3段および *Delay* 回路より成り立っている。図 5.23, 5.24 における g_i はこの回路よりの *Timing Pulse* を示している。

(2.3) *Accumulator*

8 bit の直列 *Register* および *Full Adder* より成り立つ。 G_a , G_c にゲート信号を加えたことにより *Add Clear* の演算が行われる。なお *M.S.D.* よりの *Carry* を阻止するため g_{12} を加える。

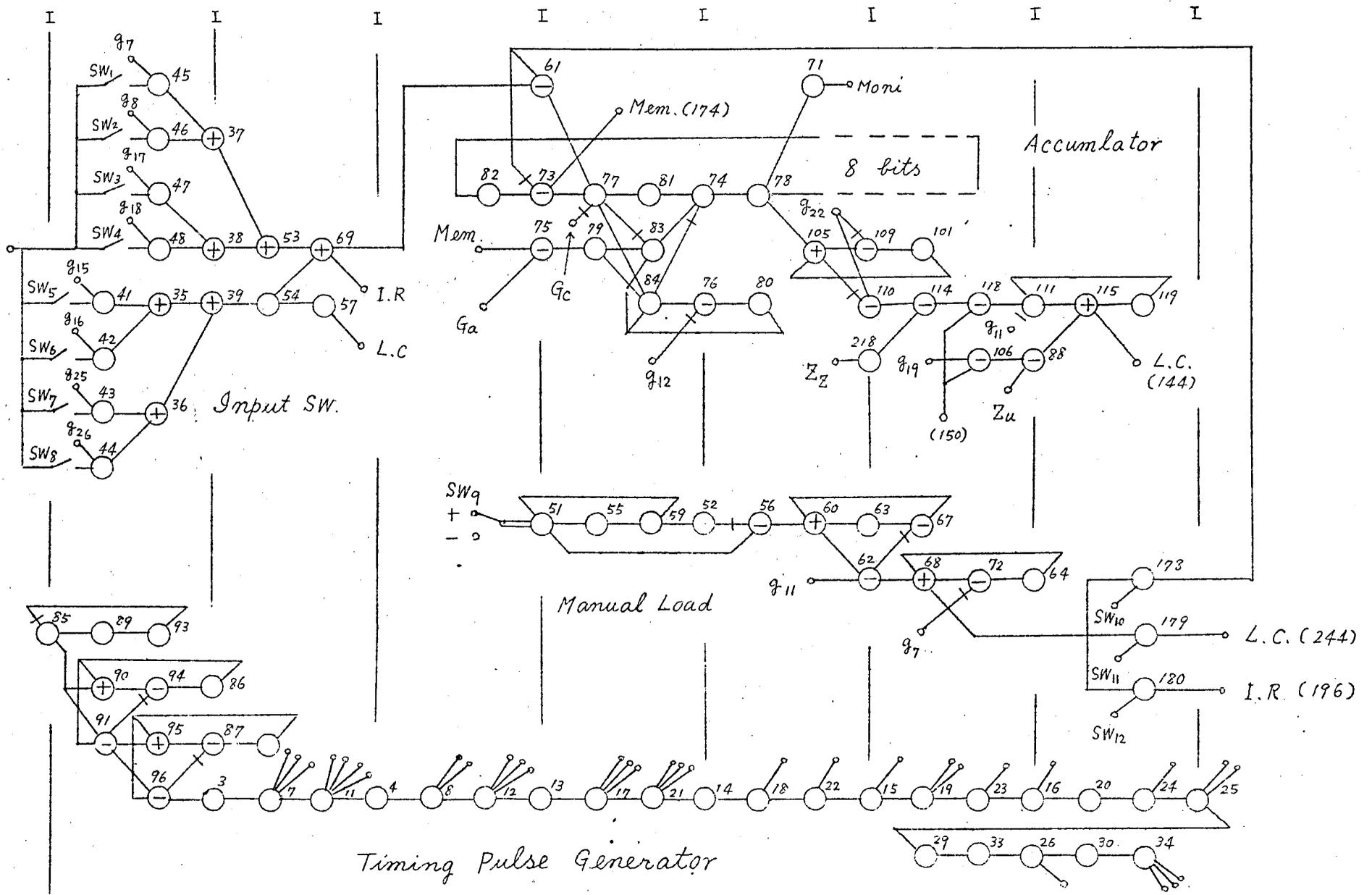


図5.23 パイロット計算機の回路図

(2.4) Location Counter

現在実行されている指令の番地を示すものであり、4 bits の直列 Register と Full Adder より成り立つ。

一つの演算が行われるごとに1が加算され、Jump 指令の場合、L.Cの内容はI.Rの番地部により置き換えられる。

(2.5) Instruction Register および Decoder.

指令語は Memory より一旦 I.R.に入り、その命令部が Flip-Flop に移され Decoder により解説され、相当した端子に出力が得られる。この出力と main Control の Flip-Flop および Timing pulse により種のゲート信号を発生し演算を実行する。命令は適当な6種類を選んだが、8種類まで増やすことができる。

(2.6) Memory Cycle Counter および Memory.

M.C.C. は4 bits の直列 Register と Full Adder より成り立ち Timing pulse を数える。一方 Memory は直列64 bits (8 words) の Register より成るから、M.C.C.と Memory は同期しており、M.C.C.の内容より Memory の番地を指定することができる。

なお、ほとんど回路変更をおこなわずに、記憶容量を16 words にすることができる。Memory および Register 内では否定演算は不要であり、この部分の基本回路は不平衡型すなわち変成器側の端子を共通にしたものを用いている。

(2.7) Main Control および Start-Stop Button.

前節にのべた基本制御動作は図5.24の main Control 部により行われる。図の F.F.C が + であれば M.C.C と L.C, - であれば M.C.C と I.R の番地部との一致が比較回路により検出される。前者の場合一致パルスによりゲートが開き、Memory より指令語が I.R. に読み込まれる。後者の場合一致パルス (Start pulse になる) により、各種のゲートが働き Clear, Add, Store などの演算が実行される。また Memory に働きかけない命令 (Jump 等) の場合は、命令が

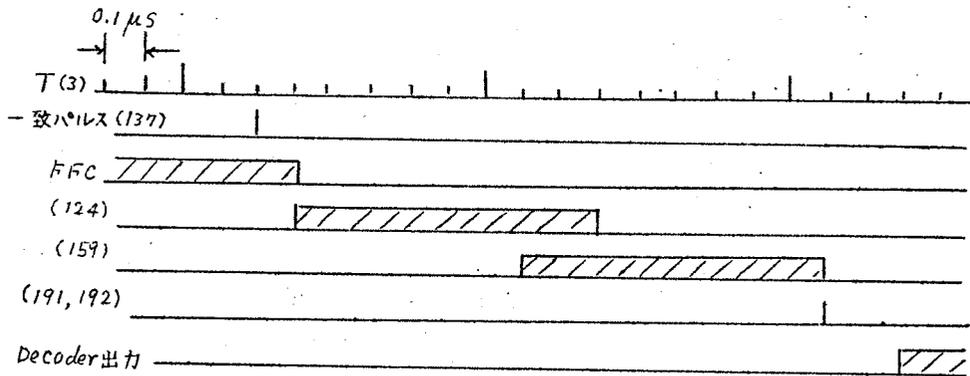
Decode されるとすぐ Start Pulse を発生し命令を実行する。

A.F.C は一致パルスにより - に, Start Pulse により + に Set され順次演算が実行される。図 5.25 はそれぞれの場合の Time Chart を示したものである。

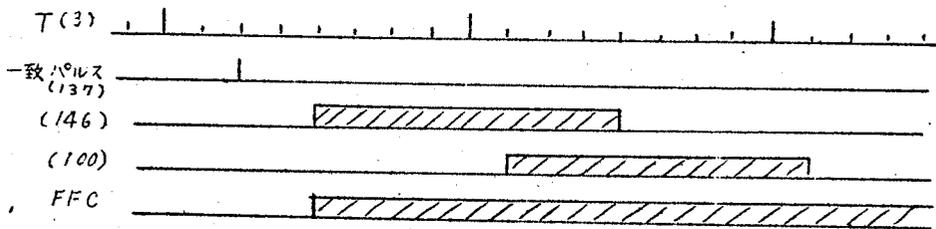
これらの動作は Start-Button を押すことにより開始される。

Single Step Sw を倒すと Start-Button を押すごとに一段階づつ演算が行われる。

表 5.2 は Program の一例を示したものである。これは Single Step であやまりなく実行されることが認められた。

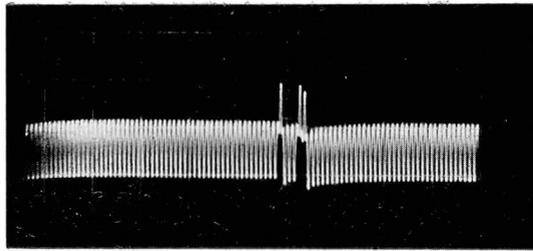


(a) 指令読み込み

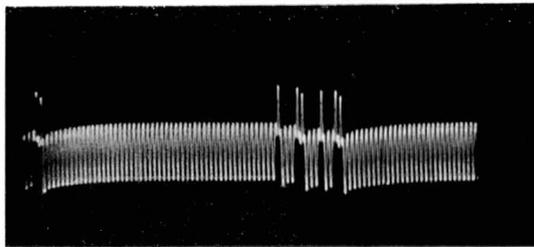


(b) 指令実行

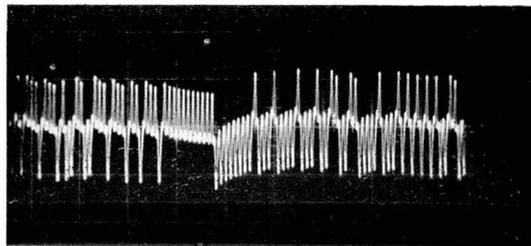
図 5.25 Time chart



(a) Memory の内容



(b) Memory の内容



(c) Counter の波形

写真 5.4 Memory および Counter の波形

本計算機の試作過程において前章、第2節に述べたような実用上の諸問題はすべて解決された。本機は昭和36年9月ほど試作を完了し、その後連続的な試験を行なっているが、前章第2節(5)に述べたエサキタイオード自体の信頼度の矣を除き、ほとんど問題はない。本機の励振電圧の動作マージンは表5.3に示したような範囲にある。なお、これらの値は位相関係を固定し、各相単独に変化させた場合を示している。

0	Clear Add	7
1	Add	7
2	Store Acc	6
3	Acc 0 Jump	5
4	Uncon Jump	1
5	Stop	
6	[]
7	00000001	

表 5. 2

	動作範囲	標準値	動作マージン
I 相	5.1 ~ 5.7	5.4	± 5.5 %
II 相	4.6 ~ 6.0	5.3	± 13.2 %
III 相	5.5 ~ 6.0	5.8	± 3.5 %

表 5. 3 励振電圧のマージン

第 6 節 基本回路と遅延線を用いたレジスタ⁽¹⁶⁾

(1) 基本回路と遅延線の結合

計算機の演算部、制御部には指令、数値等を一時的に記憶するための種々のレジスタが含まれている。直列型計算機において一般にレジスタは遅延回路とその減衰を償うための増幅器より構成され、

こゝに遅延線 (Delay line)⁽¹⁵⁾ を用いることができる。長い時間の遅延を電氣的に行うことは經濟的でないため、電氣信号を一旦機械的振動に変換して遅延させる方法が一般に行なわれている。しかし本基本回路のようにクロック周波数 数 10 MC の回路においては電氣的遅延も可能となる。

図 5.26 に示すように基本回路 A、B 間に遅延時間 D を持つ遅延線を挿入する。こゝに

$$D = n\tau, \quad \tau = \frac{1}{f} \quad (5.10)$$

ただし f: クロック周波数

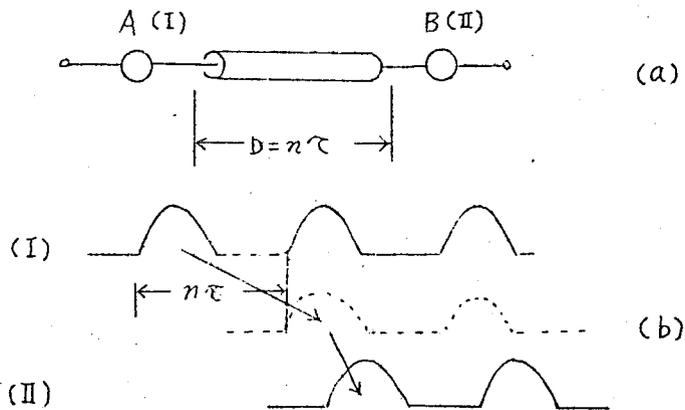


図 5.26 基本回路と遅延線の結合

基本回路 A を I 相、B を II 相 とすれば 同図 (b) に示すタイムチャートより明らかなように A より出た信号が B に到着する時刻には丁度 B に励振が印加され信号は再生増幅される。したがって n 比の記憶が行なわれる。基本回路、遅延線自体は方向性を持たないから B より出た信号は逆に A に到達する。しかし、この時刻には基本回路 A に励振が印加されていないからこの信号により A が制御されることはなく方向性は維持される。

遅延線は入出力端を特性インピーダンスで終端することにより反射波の影響を除去しうるが完全に整合させることは困難である。

したがって遅延線を多数個直列に接続する場合はこの影響を考慮せねばならない。しかし 図 5.27 に示すように遅延線向を 2 個以上の基本回路により再生中継する方法をとれば 反射波の影響は少なくなり安定になる。また同図においては中継回路が方向性を持っているから I 相 → II 相 → III 相 ばかりでなく I 相 → I 相, I 相 → III 相等の伝送も可能である。

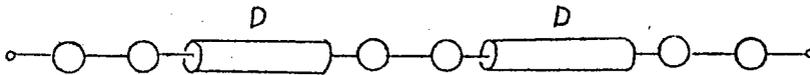


図 5.27 遅延線の縦続接続

(2) 最大記憶ビット数

上述した回路において 1 本の遅延線に記憶しうる最大ビット数は基本回路の最少感度, 遅延線の減衰特性, および周波特性, 反射波飛び越し結合等の雑音レベルによって定まる。

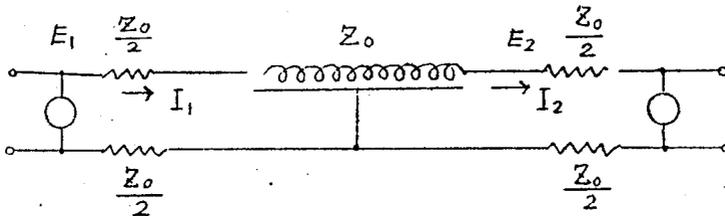


図 5.28 遅延線の整合

図 5.28 に示すように, 遅延線の特徴インピーダンスを $Z_0(\Omega)$ 長さ $l(m)$, クロック周波数 f における単位長当りの減衰量 $\alpha(db/m)$, 単位長当りの遅延時間を $T_0(\mu s)$ とする。

基本回路のインピーダンスは充分低いから入力, 出力端は同図に示したような型で整合を取ることができる。同図に示すように入力側の電圧, 電流を E_1, I_1 , 出力側の電圧, 電流を E_2, I_2 , とすれば 次式が成立する。

$$\begin{aligned} \alpha l &= 10 \log \left(\frac{\frac{E_1}{2} I_1}{E_2 I_2} \right) = 10 \log \left(\frac{E_1^2}{4 Z_0 / Z_0^2 I_2^2} \right) \\ &= 20 \log \left(\frac{E_1}{2 Z_0 I_2} \right) \end{aligned} \quad (5.11)$$

上式における E_1 は基本回路の出力電圧、 I_2 は基本回路が種々の雑音やダイオード対の不均衡に打ち勝つて動作するために必要な最少電流に等しい。

1 bit 当りの遅延時間を T_0 とすれば 1 bit 記憶するために必要な線路長 l_1 は

$$l_1 = \frac{\tau}{T_0} \quad (5.12)$$

したがって最大記憶 bit 数 n は次式より求まる。

$$n = \frac{l}{l_1} = \frac{20}{\alpha l_1} \log \left(\frac{E_1}{2 Z_0 I_2} \right) = \frac{20 T_0}{\alpha \tau} \log \left(\frac{E_1}{2 Z_0 I_2} \right) \quad (5.13)$$

n を求めるには式 (5.13) における I_2 を定めねばならないが、これには基本回路が動作する最少電流を測定すればよい。

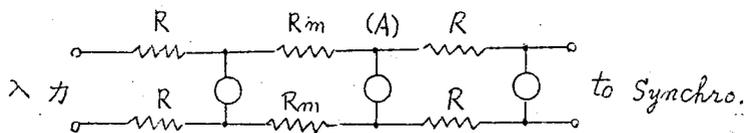


図 5.29 最少動作電流の測定

図 5.29 において、基本回路 A が安定に動作しうる最大の結合抵抗値を R_m とすれば、

$$I_2 = \frac{E_1}{2 R_m} \quad (5.14)$$

式 (5.14) を式 (5.13) に代入し次式を得る。

$$n = \frac{20T_0}{\alpha\tau} \log \left(\frac{R_m}{Z_0} \right) \quad (5.15)$$

この式より n を求めることができる。遅延線の特性インピーダンス Z_0 が少なる程 n は大になるが Z_0 は基本回路の最少負荷抵抗以下にすることはできない。

遅延線として同軸ケーブル 3C-2V を用いた場合を例として n を求める。 $\alpha = 0.04 \text{ db/m}$ (10Mc), $T_0 = 0.005 \mu\text{s/m}$, $Z_0 = 75 \Omega$, $\tau = 0.1 \mu\text{s}$ (10Mc). R_m は多少余裕度を見て $2k\Omega$ とすれば, $n = 35 \text{ Bits}$ となる。

なお、特性インピーダンスの高い遅延線の場合、完全に整合を取ると基本回路への入力電流が減少するから、実際は特性インピーダンスより低い抵抗で終端する方がよい。一方遅延線は周波数の高い領域では純抵抗と見做すことはできず若干のリアクタンス分を持つしたがってこのリアクタンスの基本回路への影響が無視しうる程度に抵抗値を大にしなければならぬから、最適の結合抵抗値があるものと思われる。なおこのときは式(5.15)は当然修正しなければならない。

(3) 実験結果

実験に用いた遅延線は同軸ケーブル 3C-2V; および遅延ケーブル HH2500, HH1000 (日立電線), RG-65/u (藤倉電線) である。実験は種々の波形 例えば 2 進計数回路の出力を遅延線に加え、その出力を Buffer を通して再生した後その波形を観測し、入力と同じ波形であることによりその動作を確認した。遅延線は 1 bit の整数倍に切断しこれを組み合わせて所要の遅延を得るようにし、誤動作を起こさない最大記憶 bit 数を求めた。

図 5.30 は 1 bit ($0.1 \mu\text{s}$) 遅延するのに必要な長さにおける各遅延線の減衰量の周波数特性を示す。3C-2V では 1 bit 当り 20m 必要であるが HH2500 では約 5cm でよい。しかし後者は高周波の減衰が大きく記憶 bit 数は少ない。

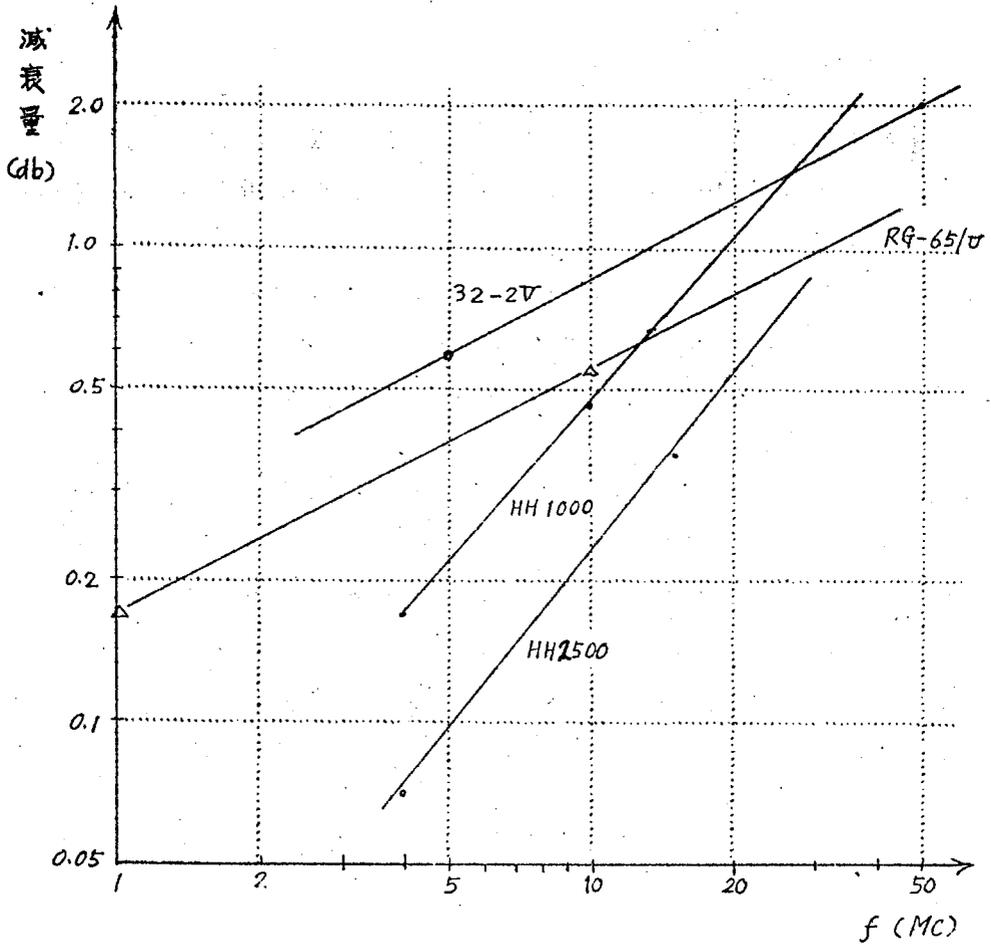


図5.30 各種遅延線の $0.1\mu\text{s}$ 当り
減衰量の周波数特性

3C-2Vの特性インピーダンスは 75Ω であるから結合抵抗は $75/2\Omega$ にするのが望ましい。しかし同軸ケーブルのリアクタンス分の影響を少くするためには抵抗値は若干大にした方がよく実際は図5.31(a)に示すようなT型回路により整合した。表5.4はこの場合の最大記憶ビット数を示したものである。相間で値の異なるのは励振波形の相間の不平衡によるものである。

なお計算値は $R_m = 2K\Omega$ として式(5.15)より求めたものである。

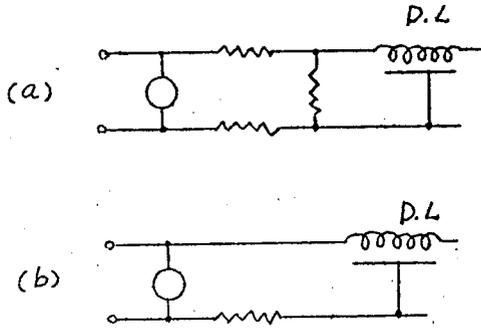


図 5.31

遅延線の整合

	I相→II相	II相→III相	III相→I相
n (bits)	15	14	17

計算値 $n = 19$

表 5.4 最大記憶 bit 数 (3C-2V)

RG-65/σ の場合、減衰特性よりみると 3C-2V と同程度記憶できるものと考えられる。しかし、特性インピーダンスが $950\ \Omega$ であるため、整合を取ると入力電流が減少するから、実際は結合抵抗を少くし、図 5.31 (b) に示すような非整合の状態を実験した。結合抵抗 $400\ \Omega$ で $n = 14$ bits 程度である。なお、実際は適当な動作マージンを考えて、最大記憶 bit 数 n は上記の値より若干少くしなければならぬ。

HH2500, HH1000 は心線に磁性材料を用いた特殊な高インピーダンス、高遅延ケーブルである。しかし高周波における減衰が大きいため実験の結果何れも $n = 2$ bit 程度であった。

図 5.32 は累算器 (Accumulator) に これら遅延線 (3C-2V, RG-65/σ) を応用した回路を示している。これは 8 bits (または 16 bits) の直列型レジスタと加算回路より構成されスイッチ SW を一回押す毎に最下位に 1 が加算される。この回路は極めて安定に動作した。

(1/2)

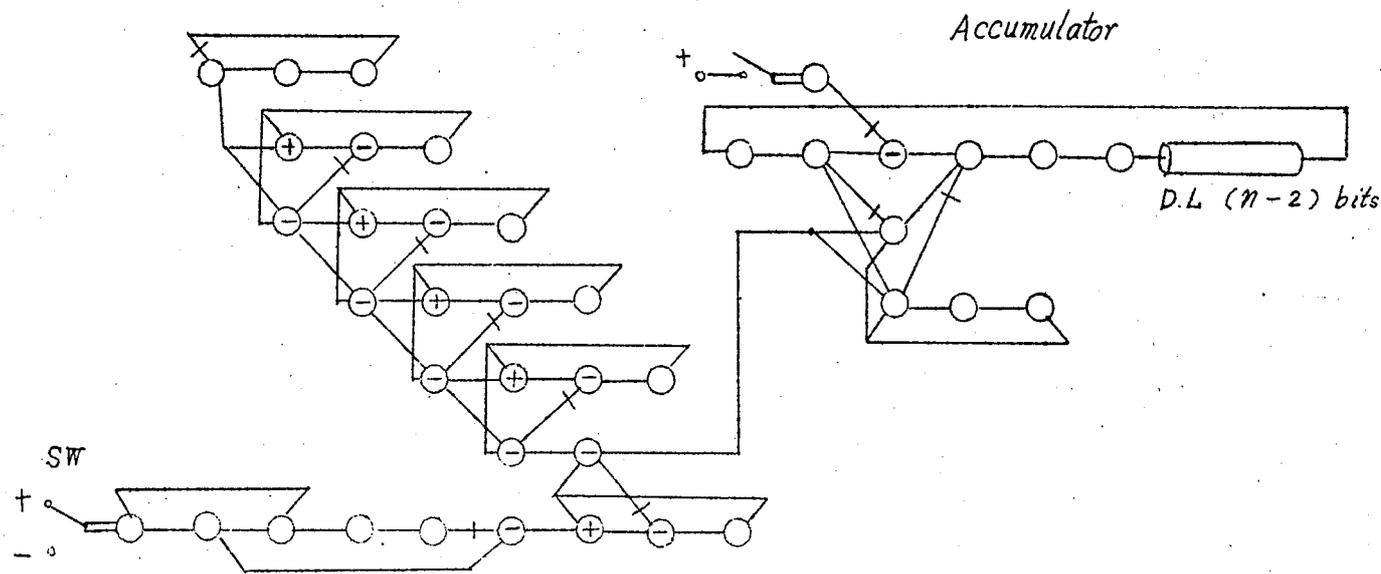


図 5.32 遅延線を用いた Accumulator

(4) 遅延線による記憶回路
 以上主として、遅延線を一時的な記憶を行うためのレジスタに
 用いた結果を述べたが、この考えはさらに計算機の記憶回路に適用
 することが出来る。

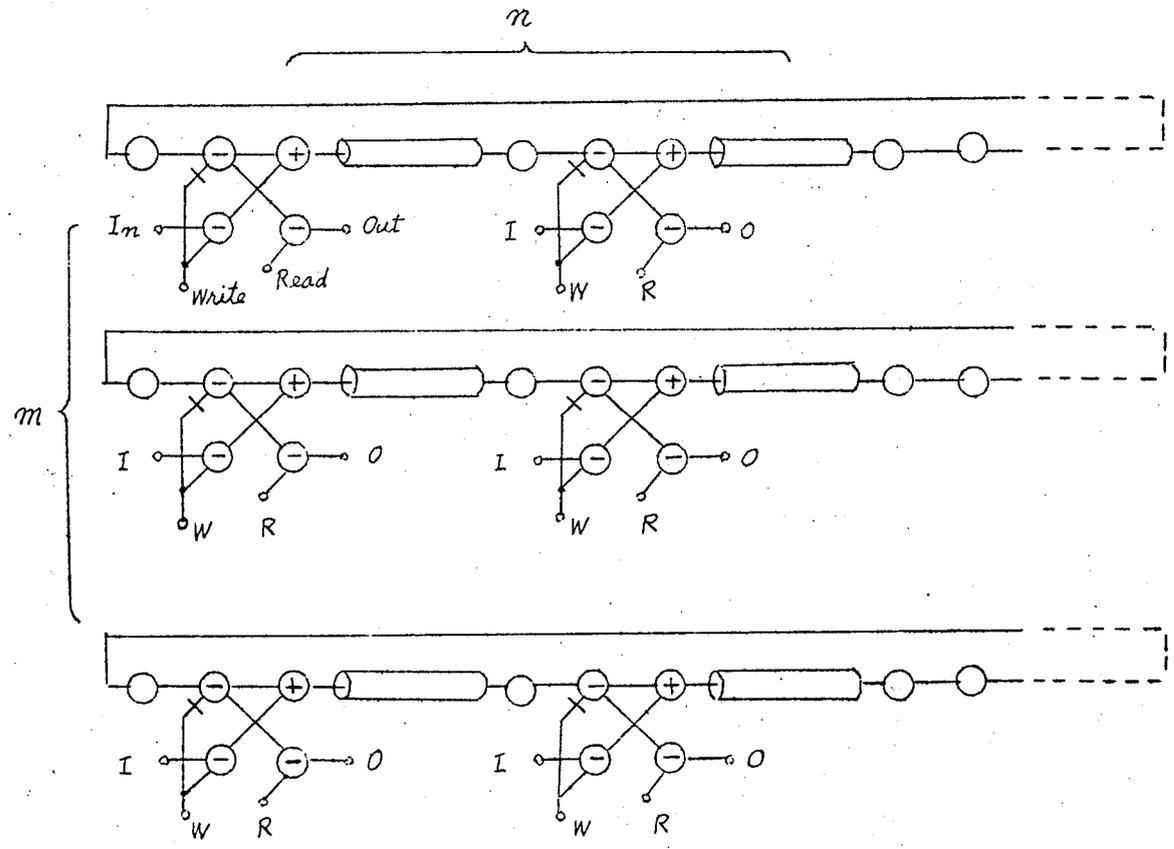


図 5.33 遅延線による記憶回路

図 5.33 は磁気ドラムに相当する記憶回路を遅延線で構成する場合の一方法である。動作は前述の事より明らかであるので省略するが、この回路により $m \times n$ bit の記憶を行なうことができる。各遅延線間に挿入された再生中継回路に読み出し、書き込み回路を附加することにより磁気ドラムにおける Quick access に相当する動作が可能である。

遅延線を記憶回路に用いる場合、問題となるのは容積の点である。例えば RQ-65/σ を用い 10 Mc において 10000 bits の記憶容量を得るには完全に密接に配置したとして $1.03 \times 1.03 \times 0.77 \text{ m}^3$ の容積となり尠大なものとなる。しかし、現在入手しうる遅延線は何れも低い周波数の信号を遅延させるために開発されたものであり、エサキダイオード回路と組み合わせるには適当でない。エサキダイオード回路の特殊性すなわち低電圧、低インピーダンス、高速性を考慮した小型の遅延線が開発されれば、ここに述べた方法は極めて有望なものと考えられる。

第 7 節 第 5 章の結論

本章では基本回路の各種装置への応用に関する研究をとりまとめた。第 1 節ではまず対回路あるいはパラメトロン等の属する多数決論理回路の表現および基礎となる論理回路の簡単な説明を行った。ついで第 2 節において本回路を用いたサンプリング速度 10 Mc, 4 ビット (16 レベル) 符号化回路を持つ高速 A-D 変換器の試作結果を述べた。さらに第 3 節においては第 2 節に述べた方式にしたがい日本電気 K.K で試作したテレビ信号デジタル変換器の概要を説明した。第 4 節においては、この高速 A-D 変換器をテレビ信号の P.C.M に応用した結果を記し、P.C.M の量子化雑音を実効的に減らす一符号化方法として wobbling 法を提案した。第 5 節においてはクロック周波数 10 Mc, 基本回路数約 500 個を用いた簡単なパイロット計算機の試作結果を述べ、これが満足に動作することを確かめた。最後に第 6 節において基本回路に結合する記憶回路の一つとし

て遅延線を用いることを試み、一応の見通しを得た。

第 6 章 結 言

本論文は エサキダイオードの高速論理回路への応用に関するものである。この研究結果の要旨をとりまとめると次の通りとなる。

論理回路自体に関するもの

1. ダイオード対論理回路の根本的な欠点を除くため、変成器を介して励振を加え、変成器の二次巻線の中実とダイオード対の中実を利用し、平行二線式結線を行うことにより否定演算の容易な回路を提案した。さらに出力信号の幅を広げるために必要な直流電圧はオートバイアス回路より供給する方法を考案した。これらによりエサキダイオードの実用の結が開かれた。

2. 本回路の等価回路による解析より、スイッチ特性に最も影響するものはダイオードの性能指数の他に直列インダクタンス(変成器の二次巻線等によるもの)であることがわかり、実際回路の構成においてこれに充分注意した。

3. 本回路を多数個用いた場合、不平衡電流値 エサキダイオード特性および結合抵抗値の偏差と励振電圧、位相の間の関係を調べその動作マージンを明らかにし、これを最大にするよう回路定数を設定した。

4. 本回路を実用する上の諸問題 すなわち、エサキダイオード対の選出法、外來雑音の影響、配線の問題、励振電源、信頼度などを明らかにし、これらの解決法を示した。

5. 本回路の動作クロック周波数の上限を実験的に求めその結果 50 MC で動作することを確認した。

論理回路の応用に関するもの

6. 本回路を利用してサンプリング周波数 10 MC、レベル数 16 の高速 A-D 変換器を試作し満足な結果を得た。

7. さらに、レベル数を 32 に増したテレビ信号デジタル変換

器を試作し、良好な結果を得た。

8. このA-D変換器をテレビ信号のPCMに応用し、充分実用しうることを確認し、さらにPCMした場合の量子化雑音を減らすための一符号化方法(wobbling法)を提案した。

9. 本回路を約500個用い、クロック周波数10MCで、一応stored-program計算機の機能を備えたパイロットモデル計算機を試作し満足な結果を得た。これにより本回路の実用の見通しを得られた。

10. 遅延ケーブルを本回路の記憶回路に応用することについて実験を行い、一応の見通しを得た。

本回路はわが国において、すでに開発されているパラメトロン論理構成がそのまま流用できる特長があり、将来信頼度の高い、特性の揃ったエサキタイオードが安価に大量に得られるようになればエサキタイオードの特長を生かした論理回路になり、種々の応用分野が開けるものと思われる。

言うまでもなく、本回路は完成されたものではなく、今後解決を要する点も多い。なかでも高速になれば配線中の信号の遅れが問題となり回路の小型化が重要課題となる。

この他計算機を構成するうえで、この回路に適した高速記憶回路が不可欠である。こゝに実験的に用いた記憶回路は暫定的ものであり、現在のところ、高速小容量の記憶回路としてはエサキタイオード⁽¹⁾、磁性薄膜⁽²⁾が好適であると思われる。これらはすでに実用化のきざしが見えており、今後この方針が開発されればエサキタイオードを主体とする超高速計算機の実現が可能となるであろう。

また本回路の高速性を生かして小型計算機あるいはmicro-programming的な計算機に応用するのも興味あるものと思われる。

最後に本研究の機会を与えられ、終始御指導御激励賜わった難波研究所長、新川研究所次長、太島調査課長、榎本課査役、中込調査役に深く感謝する。また、研究に際し、種々の有益な助言をいただいた当調査課 渡辺主任、井上社員始め調査課各位およびソニ

一 K.K. 福井初昭博士 に厚く御礼申し上げます。

さらに貴重な試料を提供いただいたソニー K.K., 東芝トランジスタ工場, 日電半導体工場および機器の試作に協力された日本電気 K.K. ~~送信課~~, 三和無線測器 K.K., 元武蔵電子 K.K. の方々に感謝する。 **伝送課**

参考文献

第 1 章 文献

- (1) 高橋秀俊. 超高速計算機の問題点.
昭和 36 年四学会連大. S2-1.
- (2) 高橋 茂. 電子計算機技術の動向.
情報処理 1. 3. P.125/131 (1960-11).
- (3) 後藤英一. 最近の電子計算機技術.
情報処理 2. 4. P.181/187 (1961-7)
- (4) A. W. Lo. *Some Thoughts on Digital Components
and Circuit Techniques.*
IRE Trans. EC-10 3.

第 2 章 文献

- (1) L. Esaki; *New phenomenon in narrow germanium P-n junction.* Phys. Rev. 109
P.604 (1958).
- (2) H. S. Sommers, Tr; *Tunnel diode as high-freq.
devices.* Proc. I.R.E 47 7 P1201/1206.
- (3) 江崎 玲於奈. エサキダイオードについて.
電子計算と制御 1 (1959-10) P22/29.
- (4) 福井初昭. エサキダイオード
信学誌 43 4 (1960-04) P462/467
- (5) *Electronics.* April. 27. 1962. P.133.
- (6) 古川吉孝. エサキダイオードの電気的特性
信学誌 43 12. 1396/1402.
- (7) I. A. Lesk. N. Holonyak Jr. V. S. Davidson.
The tunnel diode - Circuits and applications.
Electronics 32. 48 60/64.

- (8) H. J. Hartmann et al.
 Die Tunnel Diode - Physikalische Grundlagen.
 Herstellung und Anwendung.
 Arch. elek. Übertragung 15 3 125/144.
- (9) P. Leclerc, *Principl, technologie et application
 des diodes tunnel.*
 Onde elec. 41, 409. 323/326.
- (10) 渡辺 寧. 半導体とトランジスタ. (II).
 オーム社 P318~367.
- (11) 天野橋太郎 エサキダイオードについて.
 K.D.D.研究資料 No. 196, (1960-2).
- (12) 東大超高速計算機研
 江崎ダイオードによる超高速計算機の可能性について.
 電子計算機研専委 (1959-10).
- (13) エサキダイオードを用いて超高速計算機の可能性を実証する.
 電子科学 9, No. 10. 65/75.
- (14) 1960. International Solid-State Circuit Conference.
 Digest of Technical Papers. (1960-02).
 C. W. Neff et al. Esaki (Tunnel)-diode Logic Circuits.
 M. H. Lewin. A. C. Samusenko. A. W. Lo.
 The tunnel diode as a logic element.
 W. F. Chow. Tunnel-diode digital circuitry.
- (15) E. Goto. et al. Esaki diode high-speed logical Circuits.
 I.R.E. Trans. EC-9. 1.
- (16) 第2回電子科学講座テキスト (1960-4)
 最近における半導体技術の発展とエサキダイオード.
 岩田三郎 エサキダイオードの特性、構造、製造技術。
 後藤英一 エサキダイオード回路。

- (17) 榎本 肇, 渡辺昭治, 天野橋太郎:
論理演算回路, 特願 9036/1960.
- (18) 榎本 肇, 渡辺昭治, 天野橋太郎:
エサキダイオードを用いた論理回路,
電子計算機研專委 (1960-5)
- (19) 榎本 肇, 渡辺昭治, 天野橋太郎:
エサキダイオードを用いた論理回路の一方法,
1960 三学会連大 338.
- (20) 駒宮安男, エサキダイオードを用いた超高速回路
昭和36年 四学連大 S2-4.
- (21) 福井初昭, 池田秀也, エサキダイオード対のトリカ特性,
トランジスタ研專委 (1961-03).
- (22) W. F. Chow, Tunnel Diode Digital Circuitry,
I.R.E Trans. EC-9, 3 295/301.
- (23) G. W. Neff, S. A. Butler, D. L. Critchlow,
Esaki diode logic circuit,
I. R. E. Trans. EC-9, 4
- (24) R. H. Bergman, Tunnel diode logic circuits,
I. R. E - Trans. EC-9, 4
- (25) 1961. International Solid-State Circuit Conference.
(1961-02)
E. Goto, Parametron and Esaki-Diode Progress in
Japan.
- (26) C. B. Herzog, Utilization de la diode tunnel
Comme élément de calcul à vitesse
extrêmement élevée. Onde élec. 41
409. 370/381.
- (27) R. C. Sims, E. R. Beck, Jr. V. C. Kamm.
A Survey of tunnel-diode digital Techniques.
P. I. R. E 49, 1, 136/146 (1961-01)
(120)

第 3 章 文 献

- (1) 元岡 達, 松岡 泰, エサキダイオードのスイッチング特性,
トランジスタ研専委 (1960-6).
- (2) 後藤 英一, 中川 圭介, 石田 晴久,
電子計算機によるエサキダイオード回路のシミュレーション,
1960年 三学会連合大会 383.
- (3) 喜安 善市, 伏見 和郎, 松山 泰宏,
M-1によるエサキダイオード対の立ち上り時間の計算,
1960年 三学会連合大会, 1548.
- (4) H. R. Kaupp, D. R. Crosby,
Calculated waveforms for tunnel diode locked pair.
PIRE 49, 1, 146/154
- (5) 福井 初昭, 池田 秀也, エサキダイオード対のトリガ特性,
トランジスタ研専委 (1961-03).
- (6) 別所 照彦, エサキダイオード対の中負電位波形の計算,
昭和 37 年 運大, 1126.
- (7) 大島 信太郎, 榎本 肇, 天野 橋太郎,
エサキダイオード論理回路の諸特性,
トランジスタ研専委 (1960-10)
- (8) 福井 初昭, エサキダイオードの安定条件について—電圧,
電流特性測定法, 信学誌, 44, 1, 55/62.
- (9) M. E. Hines, W. W. Anderson,
*High-frequency negative-resistance circuit
principles for Esaki Diode application.*
1960 Int. Solid-State Cct Conference.
- (10) 前田, 矢島, 太田, 釜江, エサキダイオード論理回路につ
いて, 電子計算機研専委, 1961. 10.

- (11) 伏見和郎, 別所照彦, 稲村隆弘.
 エサキダイオード対の不平衡と出力電圧.
 1960 電気通信学会全国大会. 59-17
- (12) C.H. Alford Jr. *Analysis and design of the Twin-tunnel diode logic circuit.*
 1960. I.R.E. WESCON. Conv. Rec. pt 2. 94/101.
- (13) 喜安善市, 伏見和郎, 小柴典居, 新山肇.
 エサキダイオード対の不平衡特性.
 信学誌. 43. 9. 959/965.
- (14) 伏見和郎. 対ダイオード論理回路におけるエサキダイオード特性の許容偏差.
 トランジスタ研専委. (1961-6).
- (15) 第2章の文献 (21)
- (16) 天野橋太郎. エサキダイオード対論理回路のマージン.
 電子計算機研専委. (1962-1).
- (17) 天野橋太郎. エサキダイオード対論理回路のマージン.
 1962. 四学連大.

第4章 文献

- (1) 大島信太郎, 榎本肇, 天野橋太郎.
 エサキダイオードを用いた高速論理回路
 通学誌採録決定.
- (2) 第2章 (15), (16) の文献.
- (3) 天野橋太郎, 大島信太郎, 榎本肇.
 エサキダイオードを用いたパイロット計算機.
 電子計算機研専委 (1961-12).
- (4) 第2章の文献 (5).

- (5) J.J. Gibson., G.B. Herzog., H.S. Miller., R.A. Powlus.
Tunnel-Diode Balanced-Pair Switching Characteristics. 1962. Int. Solid-state Cct Conf.

第 5 章 文 献

- (1) 電気通信学会編 “パラメトロンとその応用”
第 2 章、第 2 節、P.53~68 および附録 3.
- (2) 天野橋太郎. エサキダイオードを用いた超高速 A-D
変換器. 昭和 36 年 四学連大. 294.
- (3) 大島信太郎. 榎本肇. 天野橋太郎.
テレビジョン信号の PCM.
通信方式研専委 (1961-7)
- (4) 天野橋太郎. エサキダイオードによる超高速 A-D 変換器.
電子科学 (1962-1)
- (5) Susskind. Notes on Analog-Digital Conversion Techniques
The Technology Press. 1957
- (6) 大島. 榎本. 天野. 松島. 辻井.
テレビ信号デジタル変換器.
昭和 37 年 通信学会投稿.
- (7) 榎本肇. テレビジョン信号の帯域圧縮
信学誌. 42 P.12 36-07.
- (8) 大島. 榎本. 天野. テレビ信号の一符号化方式.
昭和 36 年 通信学会. 58-12.
- (9) 大島. 榎本. 天野. テレビ信号の一符号化方式.
特願 32172/1961.
- (10) W. M. Goodall. "Television by pulse code modulation."
BSTJ. Vol. 30. No. 1.
- (11) R.L. Carbrej. Video transmission over telephone cable
pairs by pulse code modulation.
PIRE. Vol. 48 P.1546~1561.

(12) 第4章 文献 (3)

(13) 天野橘太郎、大島信太郎、榎本肇

エサキダイオードを用いたパイロット計算機

昭和37年 四学連大

(14) 大島信太郎、榎本肇、井上誠一、天野橘太郎、小関康雄

Digital Simulator KR-1 の概要

昭和37年 連大

(15) J. Blackburn (ed) "Component Handbook"

MIT Series. Vol. 17, Chap. 6

(16) 榎本肇、天野橘太郎、深田恭夫

エサキダイオードと遅延線による記憶

昭和37年 四学会連大

第6章 文献

(1) 石井治、高橋茂、トンネルダイオードによる高速記憶装置

通学誌、45, 3, 291/297

(2) 大島信太郎、二見格男、磁性薄膜とその応用

昭和36年 四学会連大、S2-3