

非接地導体を有するパッケージ用いた
LSI 電源系コモンモードノイズ低減手法松嶋徹[†] 李愛花[†] 馬淵雄一^{††} 和田修己[†][†] 京都大学大学院工学研究科^{††} 日立製作所

E-mail: †{matsushima,wada}@kuee.kyoto-u.ac.jp

あらまし 我々の研究グループでは、これまでプリント回路基板 (PCB) に生じる寄生容量と電源グラウンド配線のインダクタンスを適切に設計することにより、LSI 電源系に生じるコモンモードノイズを低減する手法を提案した。今回の報告では、この手法を LSI パッケージに適用し、低コモンモードノイズ設計のための、非接地導体 (カバーメタル) でパッケージを覆った構造を提案した。本提案構造を有するパッケージでは、パッケージ近傍の電磁界が回路基板の外部金属や PCB の設計に依存しないため、パッケージ単体でコモンモード低減設計が実現できる。本報告では、試験基板を用いた実験および回路シミュレーションにより、提案構造およびコモンモードノイズ低減法の有用性を示した。特に実測結果では、電源およびグラウンド配線のインダクタンスを適切に設計することで、コモンモード電圧を約 40dB 程度低減した。

キーワード コモンモード電圧, インピーダンスバランス, LSI パッケージ, 寄生容量

Reduction of Common-mode Noise in Power Supply System
Using Floating Conductor in LSI PackageTohlu MATSUSHIMA[†], Aihua LI[†], Yuichi MABUCHI^{††}, and Osami WADA[†][†] Kyoto University^{††} Hitachi Ltd.,

E-mail: †{matsushima,wada}@kuee.kyoto-u.ac.jp

Abstract The authors have been proposed a method to reduce the common-mode current flowing on a wire harness attached to a PCB. In this method, chip inductors are equipped on power and/or ground lines on a PCB to control balance of impedance of the power distribution network, and we can reduce the common-mode current. In this paper, the authors apply this reduction method to LSI package, and propose new structure of the LSI package with floating conductor, which is called cover metal. We reduced the common-mode voltage about 40 dB because we used the new package with the cover metal and we selected apposite inductances on the power and ground line on the package.

Key words Common mode, Impedance balance, LSI package, Parasitic capacitor

1. まえがき

LSI の同時スイッチングによって LSI 電源系に流れる高周波電流は、自身の電源電圧変動を引き起こすだけでなく、パッケージやプリント回路基板 (PCB)、電源ケーブルを流れることにより不要電磁放射を引き起こす。この不要電磁放射は他の電子機器へ悪影響をおよぼす [1]。例えば、自動車に搭載される電子機器においては、車載ラジオなど電波を受信する機器も同時

に搭載されることから、この不要電磁放射を抑制することが重要な課題となっている [2]。

不要電磁放射の一因には LSI 電源系に生じるコモンモード電流がある。コモンモード電流は、電源およびグラウンド配線を同相に流れる電流であるため、互いの配線を流れる電流が作る遠方電界は打ち消し合うこと無く強め合う [3]。そのため、コモンモード電流がケーブル等に流れることにより大きな不要電磁放射を引き起こす [4]。

我々の研究グループでは、LSI 電源系のインピーダンスバランスに着目した共通モードノイズ低減手法を提案した [5]。この方法では、PCB 上の電源およびグラウンド配線とシステムグラウンドとの間の寄生容量に対して、電源およびグラウンド配線に実装するインダクタンスを適切に選択することで、共通モード電流の励振源となる基板端部の共通モード電圧を低減することが出来る。

一方で、LSI の動作が高速になるにつれて考慮する周波数も高くなり、これまで無視できた小さな寄生容量も考慮する必要がある。比較的基板サイズが大きな PCB では、考慮すべき寄生容量も多くなり、低共通モードノイズ設計が実現不可能となる。そこでよりノイズ源である LSI に近く基板サイズも小さなパッケージにおいて、インピーダンスバランスに着目した共通モードノイズ低減法が実現可能であるかを検討する。

2. パッケージにおける LSI 電源系共通モードノイズ低減手法

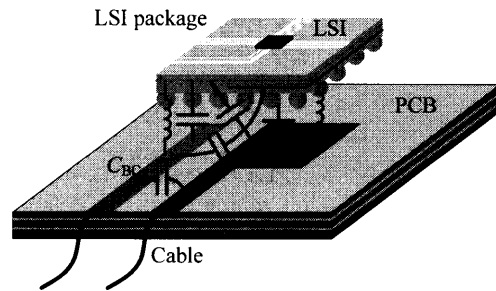
2.1 電源系共通モードノイズの発生メカニズム

参考文献 [5] で示された LSI 電源系共通モードノイズ発生メカニズムは、LSI が実装された PCB の電源およびグラウンド配線とシステムグラウンド間に生じる寄生結合に起因して共通モード電流が発生するというものであった。今回の報告では、これを拡張し LSI パッケージと PCB 間の寄生結合に着目して共通モード電流の発生を説明し、パッケージ上での共通モード電流制御を行う。

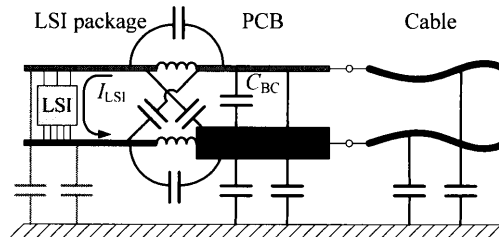
図 1(a) に示す LSI パッケージと PCB 間の接続において、半田ボールやリードフレームには寄生インダクタンスが存在する。さらに、LSI パッケージと PCB 上の導体は近傍に存在するため、これらの導体間に生じる寄生容量も無視することは出来ない。ここで、パッケージと PCB 間の寄生結合を含む近似的な等価回路は図 1(b) のようにかける。図 1(b) では、電源系にのみ着目して記述しているが、例えば、回路基板が 1 電源 1 グラウンドである電源系を有する場合であっても、パッケージ-PCB 間には電源-電源、電源-グラウンド、グラウンド-電源、グラウンド-グラウンドの 4 つの寄生容量が存在する。加えて、基板がシステムグラウンド近傍に存在する場合、僅かではあるがパッケージ上の導体とシステムグラウンドとの間に寄生容量が存在する。

PCB 上の電源-グラウンドがバイパスコンデンサによって低インピーダンスで接続された状態を考えると、PCB 上の電源およびグラウンドは同電位であるとみなすことが出来る [6]。この場合、図 1(a) は図 1(c) に示すように、PCB やケーブルはそれぞれの電源-グラウンドを束ねた共通モード伝送線路として考えることができ、この共通モード伝送線路を流れる共通モード電流が共通モードノイズの要因である。

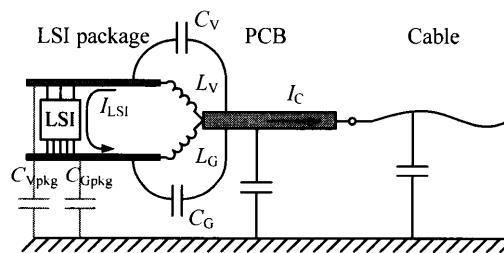
次に、共通モード電流の発生メカニズムについて考える。図 1(c) におけるパッケージ上の電源およびグラウンド導体とシステムグラウンドとの寄生容量や、PCB 上の電源およびグラウンド導体との寄生容量および寄生インダクタンスは、図 1(d) に示すように、ブリッジ回路を構成することが分かる。ここで、



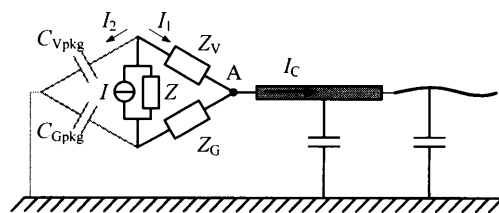
(a) LSI パッケージと PCB 間の寄生結合



(b) LSI 電源系等価回路



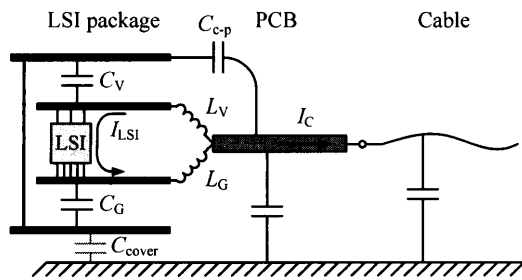
(c) LSI パッケージ近傍の寄生結合



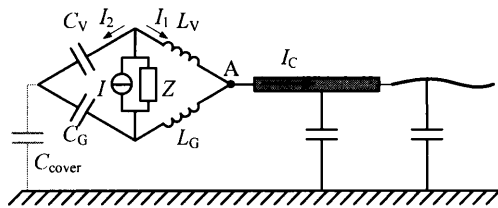
(d) コモンモード等価回路

図 1 パッケージ-PCB 間寄生結合寄生結合に起因する共通モードノイズの発生

Z_V は C_V と L_V の並列回路のインピーダンスであり、 Z_G は C_G と L_G の並列回路のインピーダンスを表す。共通モード伝送線路に流れる共通モード電流は、回路中の点 A の電位が変動すること励振されるため、点 A の電位を以下で求める。共通モード電流 I_C がほとんど流れず、電流 I_1 および I_2 に比べて十分小さい状態を仮定する。この仮定の下で、システムグラウンドを基準とした点 A の電位を共通モード電圧 V_{CM} とすると、



(a) パッケージとカバーメタル間に生じる寄生容量



(b) コモンモード等価回路

図2 カバーメタル付加時のコモンモード等価回路

$$V_{CM} = -I_1 \cdot Z_V + I_2 \cdot \frac{1}{j\omega C_{Vpk}},$$

$$= \frac{Z_G C_{Gpk} - Z_V C_{Vpk}}{(Z_G + Z_V)(C_{Gpk} + C_{Vpk})} V_D, \quad (1)$$

$$V_D = I \left\{ (Z_V + Z_G) // \left(\frac{1}{j\omega C_{Vpk}} + \frac{1}{j\omega C_{Gpk}} \right) // Z \right\}, \quad (2)$$

とかける。ここで、従来の PCB における LSI 電源系コモンモード発生メカニズム [5] と同様に考えると、

$$Z_G C_{Gpk} - Z_V C_{Vpk} = 0, \quad (3)$$

を満たす場合、 $V_{CM} = 0$ となりコモンモード電流は励振されず、満たさない場合にインピーダンスバランスがとれずコモンモード電流が励振される。

しかし、式 (3) に含まれる寄生容量や寄生インダクタンスを正確に知ることは困難である。例えば、パッケージとシステムグラウンドとの間の寄生容量は、絶対値が他の寄生容量に比べて小さく、また回路基板の外部環境が変わることで大きく変化することが予想される。さらに、パッケージと PCB との間の寄生容量も、PCB の設計が異なれば容易に変化してしまう。そのため、式 (3) を常に満足することは困難である。

2.2 非接地導体 (カバーメタル) を有するパッケージ

前節で述べたように、LSI パッケージにおいてコモンモード電流抑制のためのインピーダンスバランス条件を満たすことは困難である。そこで、回路基板の外部環境が変わった場合や、異なる設計の PCB に実装した場合でも低コモンモードノイズを実現するために、非接地導体 (以下、カバーメタルと呼ぶ) をパッケージと PCB の間に挿入したパッケージ構造を提案する。

カバーメタルは、図 2(a) に示すようにパッケージを覆うように配置された導体である。シールドとは異なり、グラウンドに

は接続せずフローティングとなっている。カバーメタルを配置することにより、パッケージ上の導体とシステムグラウンドや PCB 上の導体との寄生容量は、パッケージとカバーメタルとの容量 C_V および C_G と、カバーメタルと PCB 間の容量 C_{c-p} となる。パッケージ近傍に存在する寄生容量 C_V および C_G は、回路基板の外部環境が変わったり、PCB の設計が異なった場合でもほとんど変化することがない。

カバーメタルを有する構造では、図 1(d) で示した LSI 電源系の等価回路は図 2(b) のように書くことが出来る。ブリッジ回路が上述の寄生容量 C_V 、 C_G およびパッケージと PCB の接続部分のインダクタンス L_V 、 L_G で構成されている。このとき、前節と同様にコモンモード電流を励振する点 A の電圧 V_{CM} を求めると、

$$V_{CM} = \frac{L_G C_G - L_V C_V}{(L_G + L_V)(C_G + C_V)} V_D, \quad (4)$$

$$V_D = I \left\{ (j\omega L_V + j\omega L_G) // \left(\frac{1}{j\omega C_{Vpk}} + \frac{1}{j\omega C_{Gpk}} \right) // Z \right\}, \quad (5)$$

となる。ただし、コモンモード電流 I_C は I_1 および I_2 に比べて十分小さいと仮定している。

コモンモード電圧 V_{CM} を抑制するためには、

$$L_G C_G - L_V C_V = 0, \quad (6)$$

を満たせばよく、この条件を満たす場合、コモンモード電流 I_C は励振されない。また、式 (6) を構成する素子は、パッケージの構造が決まれば求めることができ、回路基板の外部環境や PCB の設計が異なってもほとんど変化することはない。そのため、カバーメタルを用いることで、LSI パッケージにおいて電源系コモンモードノイズを抑制する設計が可能となる。次節で行う実証実験には、寄生インダクタンスに加えて表面実装素子を加えることで、 L_V および L_G を可変とし、コモンモード電圧が最小となる点を探索する。

3. 試験基板を用いた提案法の実証

3.1 試験基板

前節で提案したカバーメタルを有するパッケージを用いた低コモンモードノイズ設計法を、試験基板を用いた実測および回路シミュレーションにより実証する。今回用いた試験基板は、図 3 に示すようなパッケージと PCB である。パッケージ、PCB 共に 2 層基板であり、層間誘電体は FR-4 ($\epsilon_r = 4.25$, $\tan\delta = 0.02$) であり、基板厚みは 0.8 mm である。

図 3(a) に示すパッケージ 1 層目中央に、ノイズ源として Fox Electronics 社製のクロックジェネレータ FXO-HC536R-20 を実装した。これは、4 端子からなるクロックジェネレータで、VDD-VSS 間に 3.3V を給電することにより、出力信号端子に 20 MHz の矩形波を出力する。さらに、E/D 端子を LOW 固定することにより回路動作を停止させることも出来る。

パッケージ 1 層目には電源 VDD およびグラウンド VSS のプレーンを持ち、それらの面積はほぼ等しい。さらに、出力信号端子および E/D 端子もパッケージ 1 層目に存在する。図 3(b)

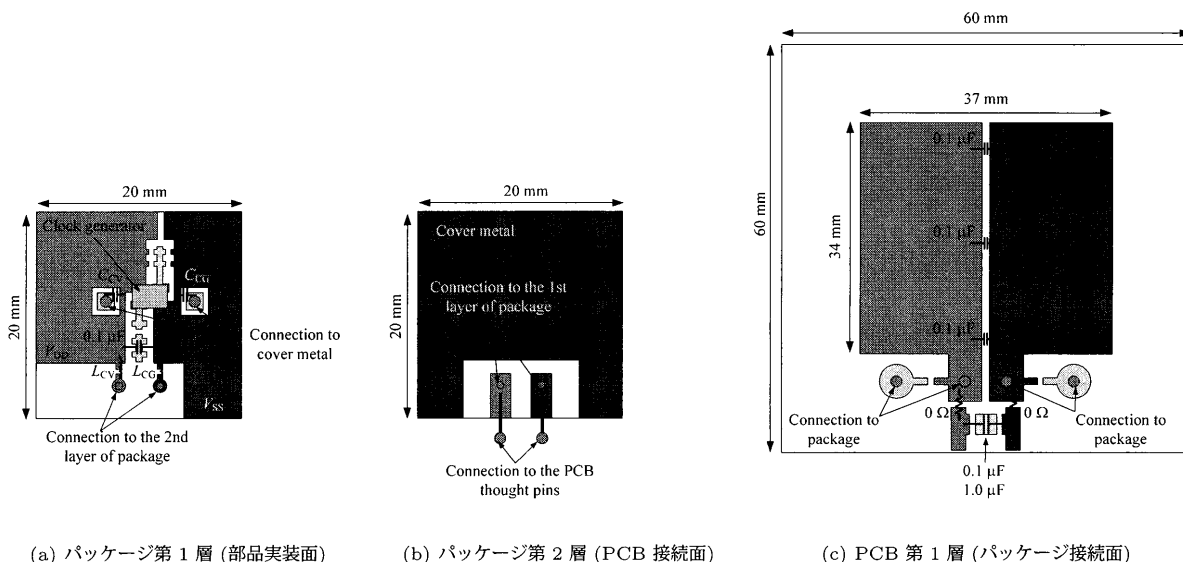


図3 試験基板概形

に示すパッケージ2層目には、ほぼ全面にカバーメタルとしてプレーンがあり、このカバーメタルはどの端子にも接続されていない。図2(a)に示すカバーメタルの構造ではパッケージ上部にもプレーンを描いているが、今回の構造ではパッケージ下部のみにプレーンを配置した。回路基板の外部金属からの影響を考慮すると、上部にもプレーンがあることが望ましいが、今回の実験では省略した。

電源およびグラウンドプレーンとカバーメタル間の容量は、3次元静電界解析により求められ、それぞれ12.2 pFおよび12.0 pFであった。加えて、パッケージ上の電源およびグラウンドプレーンとカバーメタルの間に表面実装タイプのキャパシタ C_{CV} および C_{CG} を配置し、これを変化させて式(6)中の C_V および C_G を変化させる。表面実装タイプのキャパシタの等価直列インダクタンス (ESL) が無視できる場合、 C_V および C_G はそれぞれ、

$$C_V = C_{CV} + 12.2 \text{ pF}, \quad C_G = C_{CG} + 12.0 \text{ pF}, \quad (7)$$

とかける。

PCBは図3(c)に示す1層目と全面ベタ導体の2層目からなる2層基板である。パッケージ直下には、電源およびグラウンドプレーンがあり、それらの面積は等しい。パッケージとPCBはピンにより接続され、ピンの寄生インダクタンスは2.27 nHである。また、パッケージ、PCB上の電源グラウンド間には図3に示す位置にバイパスコンデンサを配置した。

パッケージ上の電源およびグラウンドに表面実装タイプのインダクタ L_{CV} および L_{CG} を配置し、これを可変とし、実測および回路シミュレーションによりコモンモード電圧を求めた。

3.2 回路シミュレーション

パッケージにおけるコモンモード電圧低減法を実証するために、図4に示す等価回路を用いた回路シミュレーションによりコモンモード電圧を測定した。この時、PCBおよびケーブルは対称であるとし、コモンモード電圧 V_C は、

$$V_C \equiv \frac{V_{V_{meas}} + V_{G_{meas}}}{2}, \quad (8)$$

と定義した。

計算に用いた容量 C_{CV} は、10 pF、39 pF および 100 pF、 C_{CG} は 100 pF 固定である3種類とした。この時の C_G/C_V の値を表1に示す。一方で、インダクタンス L_{CV} および L_{CG} は 10 nH~82 nH の値を用いた。

回路シミュレーション結果を図5に示す。横軸は、ピンの寄生インダクタンス 2.27 nH をを考慮した L_V と L_G の比であり、

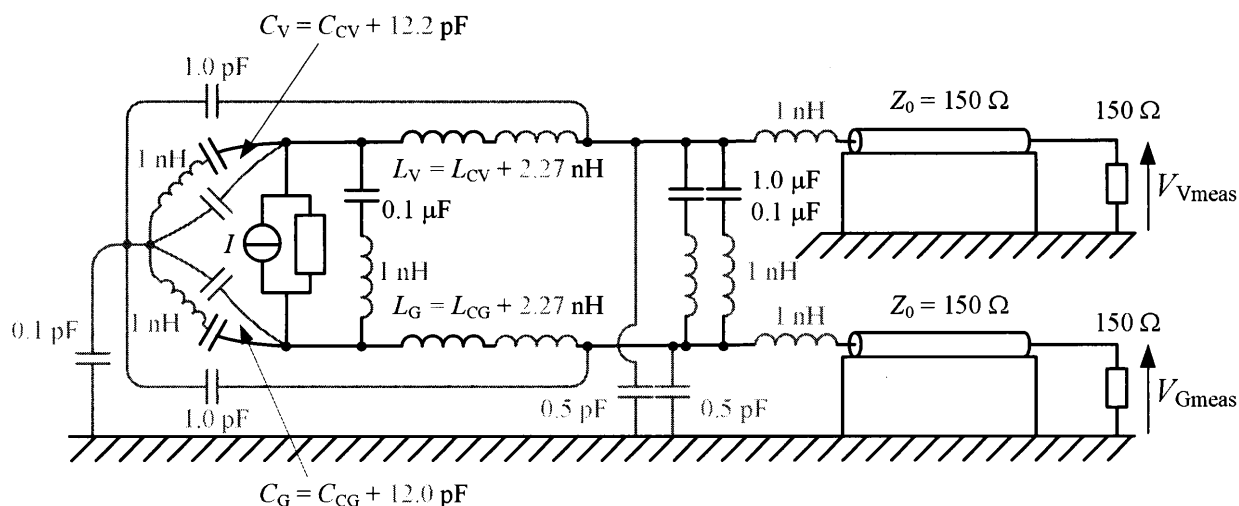
$$\frac{L_V}{L_G} = \frac{L_{CV} + 2.27 \text{ nH}}{L_{CG} + 2.27 \text{ nH}}, \quad (9)$$

である。またこの時、ノイズ源である電流源には1 A を給電し、次節で示す実験結果と比較するために補正を行った。補正量は、 $L_V/L_G = 0.15$ の点におけるコモンモード電圧が測定結果と一致する量とした。加えて、次節で述べる実験で用いたのは 20 MHz のクロックドライバであるため、電源系高周波電流が支配的となる偶数次高調波 [5] のみ記す。

図5および表1より、式(6)を満たす場合にコモンモード電圧が最小になっていることが分かる。すなわち、パッケージの電源およびグラウンドとカバーメタル間の容量と、パッケージ-PCB間の接続部のインダクタンスを適切な値とすることで、LSI電源系のコモンモードノイズを抑制することが出来る。また、280 MHz を超える周波数ではコモンモード電圧が最小となるインダクタンスの比 L_V/L_G が大きくなっている。これは、今回の検討でパッケージとカバーメタル間の容量として表面実装タイプのキャパシタを用いており、そのESLが影響してい

表1 回路シミュレーションおよび実験に用いた容量

C_{CV}	C_{CG}	C_V	C_G	C_G/C_V
10 pF	100pF	22.2 pF	112 pF	5.05
39 pF		51.2 pF		2.19
100 pF		112 pF		1.00



Black: Surface-mounted device (resistor, capacitor, inductor)

Grey: Parasitic inductance or capacitance

図4 シミュレーションに用いたLSI電源系等価回路

ると推測できる。

3.3 電源系コモンモードノイズ測定結果

本節では、試験基板を用いた実験により得たコモンモード電圧測定結果を示す。コモンモード電圧測定は、ワークベンチファラデーケージ [7] を用いた Dual probe approach [8] により行った。

前節で述べた回路シミュレーションと同様の条件で、コモンモード電圧を測定した。結果を図6に示す。電源系高周波電流が支配的となる偶数次高調波のみを示す。表1に示す C_G/C_V に比べて、若干小さいものの、回路シミュレーション結果と同様にコモンモードが最小となる点が観測された。また、回路シミュレーションと同様に高周波になるにつれてインダクタの比 L_V/L_G が大きな点でコモンモード電圧が最小となる点が見られる。これは、今回の実験で用いた表面実装タイプのキャパシタに含まれる ESL が支配的となり、図2(b)に示すインダクタンスとキャパシタンスによるブリッジ回路ではなく、キャパシタでモデル化されている経路がインダクティブになることで引き起こされる。コモンモード電圧が最小になる点が容量の比で求めた値と異なる点については、クロックジェネレータ信号端子等を考慮に入れるなど検討をすすめる必要がある。

4. むすび

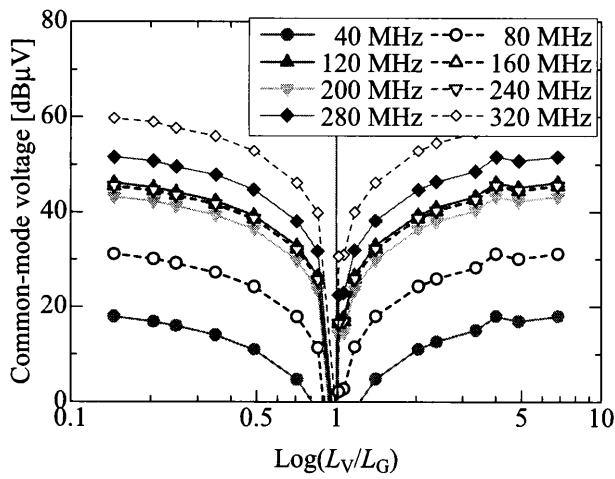
本報告では、LSI電源系に生じるコモンモードノイズについて、その発生がLSIパッケージとその近傍導体との間の寄生容量の比に起因することを明確にした。また、低コモンモードノイズ実装のために、パッケージにカバーメタルを配し、パッケージ近傍の電磁界を安定化させる構造を提案した。本提案構造は、従来のシールドとは異なり、カバーメタルが非接地導体であることが特徴であり、パッケージ上の電源およびグラウンドプレーンとカバーメタル間寄生容量がPCBの設計や回路基板の外部金属に影響されないようにする構造である。この寄生容量と、パッケージ-PCB間の接続部分のインダクタンスとを

適切に選ぶことでコモンモードノイズを最小化できることを回路シミュレーションおよび実測結果により示した。特に、実測結果では提案構造を用いて適切なインダクタンスの比を選択することで、約40dBのコモンモードノイズ低減効果を得た。

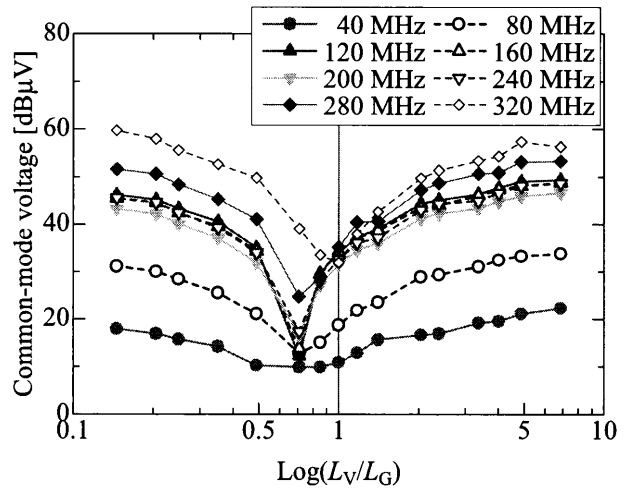
今後の課題として、今回の報告で検討したLSI電源系だけでなく、信号系の影響も考慮する必要がある。また、本報告では1電源1グラウンドの系について検討したが、多電源多グラウンドLSIに拡張する必要がある。

文 献

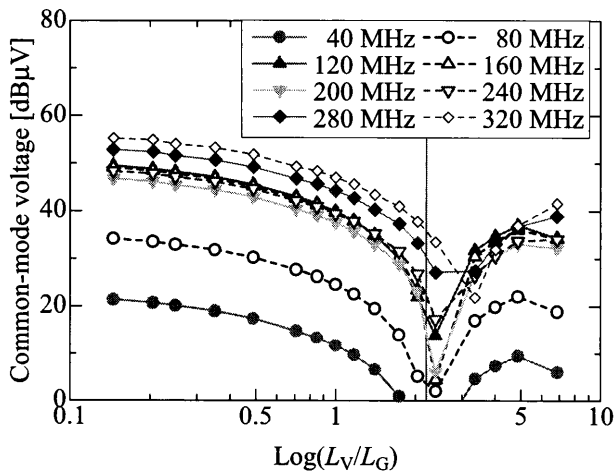
- [1] 須藤俊夫, “チップ, 半導体パッケージ給電特性の同時スイッチングノイズ, 放射ノイズへの影響度評価,” 信学論 (C), vol. J89-C, no.7, pp.429-439, July 2005.
- [2] 前野 剛, 市川浩司, “部品開発における EMC 作りこみノイズを出さない ic 開発への取り組み,” EMC 電磁環境工学情報, vol.15, no.1, pp.34-43, May 2005.
- [3] R.W. Dockey and R.F. German, “New techniques for reducing printed circuit board common-mode radiation,” Proc. IEEE Int. Symp. Electromagnetic Compatibility, pp.334-339, Dallas, TX, USA, Aug. 1993.
- [4] D.M. Hockanson, J.L. Drewniak, T.H. Hubing, T.P. Van Doren, F. Sha, and M.J. Wilhelm, “Investigation of fundamental EMI source mechanisms driving common-mode radiation from printed circuit boards with attached cables,” IEEE Trans. Electromagn. Compat., vol.38, no.4, pp.557-566, Nov. 1996.
- [5] 馬淵雄一, 中村 篤, 林 亨, 市川浩司, 鶴生高德, 水野 広, “ワイヤハーネスが接続された電子機器の電源系コモンモード電流発生メカニズム及び低減手法の検討,” 信学論 (C), vol. J89-C, no.11, pp.1345-2827, Nov. 2006.
- [6] 李 愛花, 馬淵雄一, 松嶋 徹, 和田修己, “プログラム動作時における lsi 電源系のバランス制御によるコモンモードノイズ低減,” 信学技報, EMCJ2010-13, pp.19-24, 2010.
- [7] IEC 61967-5, “Integrated circuits - measurement of conducted emission 150 kHz to 1 GHz - WBFC method,” 2003.
- [8] Y. Mabuchi, A. Nakamura, T. Uno, T. Matsushima, and O. Wada, “A new approach for measurement of common-mode voltage fluctuation with WBFC,” 2009 International Symposium on Electromagnetic Compatibility, pp.425-428, Kyoto, Japan, July 2009. 22Q3-4.



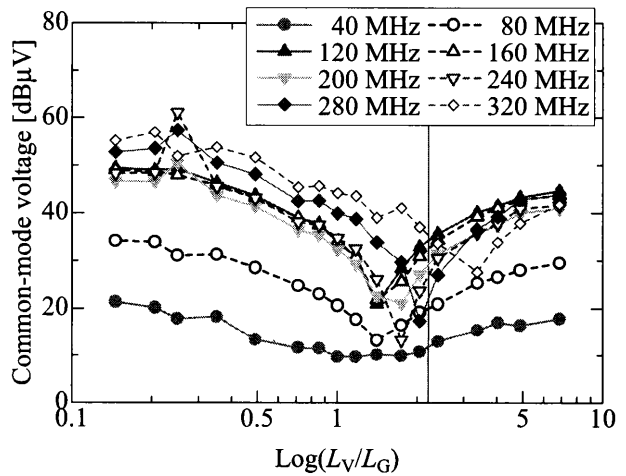
(a) $C_{cv} = 100 \text{ pF}$, $C_{CG} = 100 \text{ pF}$



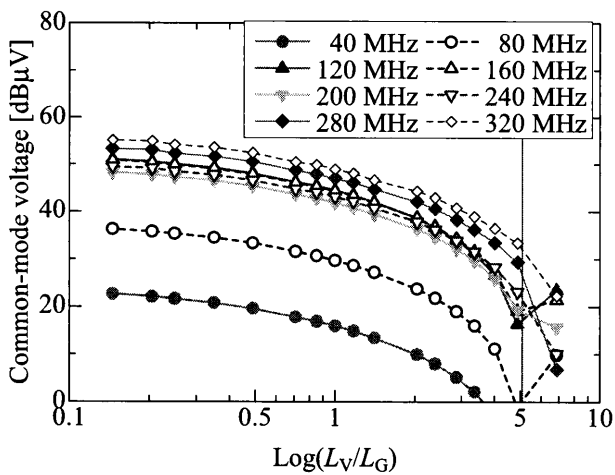
(a) $C_{cv} = 100 \text{ pF}$, $C_{CG} = 100 \text{ pF}$



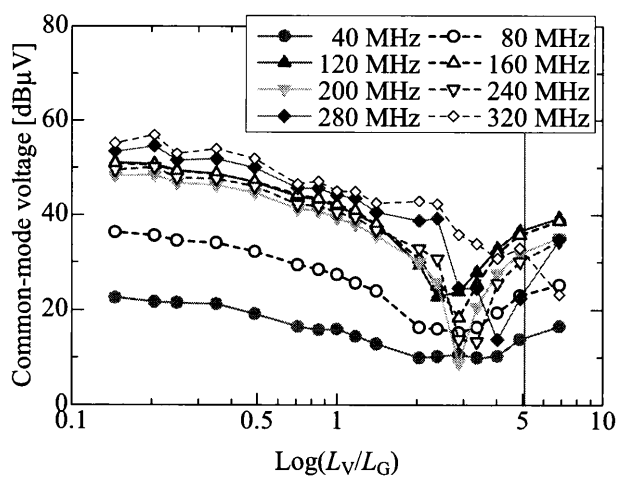
(b) $C_{cv} = 39 \text{ pF}$, $C_{CG} = 100 \text{ pF}$



(b) $C_{cv} = 39 \text{ pF}$, $C_{CG} = 100 \text{ pF}$



(c) $C_{cv} = 10 \text{ pF}$, $C_{CG} = 100 \text{ pF}$



(c) $C_{cv} = 10 \text{ pF}$, $C_{CG} = 100 \text{ pF}$

図 5 コモンモード電圧シミュレーション結果

図 6 コモンモード電圧測定結果