

電源系高周波電流による給電電圧変動を反映させた LECCS-core モデルの検討

出原 歩^{†*} 山崎 輝宣^{†*} 松嶋 徹^{†**}

久門 尚史^{†**} 和田 修己^{†**}

† 京都大学大学院工学研究科電気工学専攻 〒615-8510 京都市西京区京都大学桂

E-mail: *{izuhara, yamasaki}@circuit.kuee.kyoto-u.ac.jp

**{matsushima, hisakado, wada}@kuee.kyoto-u.ac.jp

あらまし LSIの動作に伴う電源系高周波電流を高速にシミュレーションするためのモデルとして、線形等価回路と内部等価電流源からなるLECCSモデルがある。このLECCSモデルを抽出する際には、LSIの給電電圧が一定であるとしてきたが、実際のLSIではオンチップ電源配線に電源系高周波電流が流れることで電圧変動が発生し、給電電圧が一定とはならない。本報告では、LSIの設計情報からブロック単位でLECCSモデルの構築を行い、給電電圧変動をその内部等価電流源に反映させる手法について提案する。そして、設計した試験チップを用いて提案手法により電源系高周波電流を精度良くシミュレーションできることを示す。

キーワード EMCマクロモデル, 電源系高周波電流, LECCS-coreモデル, 内部等価電流源, 給電電圧変動

LECCS-core Model Representing the Effect of Fluctuations in Supply Voltage by High-Frequency Current

Ayumu IZUHARA^{†*}, Teruyoshi YAMASAKI^{†*}, Tohlu MATSUSHIMA^{†**},

Takashi HISAKADO^{†**}, and Osami WADA^{†**}

† Department of Electrical Engineering, Kyoto University,
Kyotodaigakukatsura Nishikyo-ku, 615-8510, Kyoto, Japan

E-mail: *{izuhara, yamasaki}@circuit.kuee.kyoto-u.ac.jp

**{matsushima, hisakado, wada}@kuee.kyoto-u.ac.jp

Abstract For simulating high-frequency power-supply currents generated by an LSI chip, EMC macro-model called LECCS model composed of a linear equivalent circuit and internal equivalent current sources was proposed. This LECCS model has been extracted in the condition that supply voltage remains steady. However, supply voltage fluctuates depending on the high-frequency currents on the power distribution network (PDN). In this report, the authors propose a modeling method in which a LECCS model for each block unit is extracted from the design information of the LSI and the sub-block models are combined to construct a functional block model with the internal equivalent current sources representing the effect of fluctuations in supply voltage. Applying this method to a test chip designed by the authors, the LECCS model expresses high-frequency currents with good accuracy.

Key words EMC macro-model, high-frequency current, LECCS-core model, internal equivalent current source, supply voltage fluctuation

1. まえがき

LSIの高速動作に伴う電源系高周波電流が、電源供給ネット

ワークの配線抵抗や寄生インダクタンスを流れることで、本来一定であることが望ましいLSIの電源とグラウンドの電位変動を引き起こす。この電位の変動により、回路の機能低下や誤動作を

生じるパワーインテグリティ (Power Integrity) の問題や、ジッタが発生することでシグナルインテグリティ (Signal Integrity) が劣化する問題が生じる。また、電源系高周波電流がプリント回路基板や電源ケーブルに流れ込むことで不要電磁波を発生する EMI (Electro-Magnetic Interference) が問題になっている。これらの問題を避けるために、デジタル機器設計の際には電源系の高周波電流をシミュレーションすることで、予め問題を把握しておく必要がある。

我々のグループでは、この電源系高周波電流を高速にシミュレーションするためのモデルとして、線形等価回路と内部等価電流源で表す LECCS (Linear Equivalent Circuit and Current Sources) モデルと呼ばれる EMC マクロモデルの研究を行っている [1][2][3][4]。また、LECCS モデルと同様の EMC マクロモデルとして ICEM-CE (Integrated Circuit Emission Model, Conducted Emission) が開発されている [5][6]。

RAM (Random Access Memory) や ROM (Read Only Memory), CPU (Central Processing Unit) などの各種回路を含む LSI を、複数のブロックに分割して、それぞれを ICEM-CE または LECCS モデルで表すにあたり、インバータやフリップフロップなどの論理回路で発生する電源系高周波電流は、その論理回路の出力の負荷に依存するため、ブロックの接続を考慮して LECCS モデルの内部等価電流源を変える必要がある [7]。また、ブロックの給電電圧は、メッシュ状もしくはレール状などのオンチップ電源配線にそのブロック自体の動作や周囲のブロックの動作に伴う電源系高周波電流が流れることで電圧変動が発生し、一定とはならないため、LECCS モデルの内部等価電流源は給電電圧変動を反映する必要がある。これは、電源系高周波電流が給電電圧に依存しているためである [8]。しかし今まで、設計情報から構築する LECCS モデルは給電電圧が一定であることを仮定しており、この給電電圧変動を考慮した LECCS モデルは未だに開発されていない。

そこで、本報告では電源系高周波電流を精度良くシミュレーションすることを目的として、ブロックに給電されている給電電圧の変動を、LECCS モデルの内部等価電流源に反映させる手法を提案する。

2. 電源系高周波電流の電源電圧依存性

2.1 LECCS モデルの原理

給電電圧の違いが電源系高周波電流へ与える影響を図 1 に示すようなスイッチ回路モデルを用いて検討する。図 1 は、LSI 内部を構成している多数の CMOS ゲートの中で、出力が Low から High へ切り替わった後の回路の状態 (LH モデル) を、スイッチ回路モデルと LECCS モデルを用いて表した図である。ただし、図 1 の R_{cp} , R_{cn} はそれぞれ p-MOS, n-MOS のオン抵抗, C_{cp} , C_{cn} は MOS トランジスタのオフ容量である。LECCS モデルはスイッチ後の回路の状態遷移を、過渡状態と定常状態に分けて表し、その過渡状態をノートン等価回路を用いて内部等価電流源 $i_s(t)$ として表現するというものである [9]。

スイッチング開始時に定常状態である場合、図 1 における i_s は以下の式で表される [9]。

$$i_s(t) = \frac{V_{cc}C_{cn}}{(C_{cp} + C_{cn})R_{cp}} \exp\left(-\frac{t}{(C_{cp} + C_{cn})R_{cp}}\right) \quad (1)$$

式 (1) の V_{cc} は、スイッチ開始時に図 1 の V_{dd} と V_{ss} の間にかかる電圧 $V_{dd}-V_{ss}$ であり、内部等価電流源の値はこの給電電圧 V_{cc} の値に比例する。

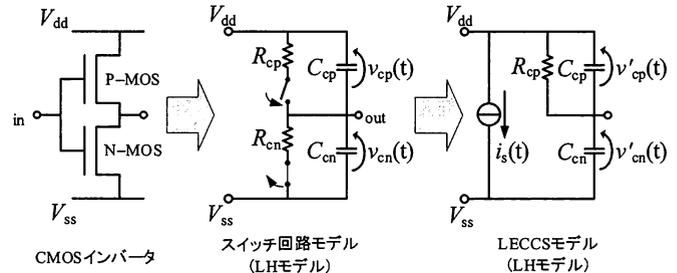


図 1: CMOS インバータのスイッチ回路モデルと LECCS モデル (出力が Low から High に遷移する場合)

2.2 CMOS インバータの電源系高周波電流

給電電圧の変動が電源系高周波電流に与える影響を、CMOS インバータ単体についてトランジスタの詳細モデルを用いた HSPICE のシミュレーションにより確かめる。用いる CMOS インバータは製造プロセスが CMOS 0.18 μ m で電源電圧の推奨範囲は 1.8V \pm 0.9V である。ここでは、出力の値が Low から High に状態遷移するときの検討を行う。図 2 に示すように、前後に同じ CMOS インバータを並べ、対象とする CMOS インバータの給電電圧 V_{cc} を直流で 1.6V から 2.0V まで変化させたときの、電源系高周波電流 I を図 2 に示す。1.8V を加えた状態で流れる電源系の電流と比べて、1.6V, 1.7V, 1.9V, 2.0V のときの電流の相関係数はそれぞれ 0.994, 0.998, 0.999, 0.995 でありほぼ相似な波形となっている。また、それぞれの電流を給電電圧で規格化した結果を図 3 に示す。規格化した電流を、0ns から 0.4ns まで積分した値は、1.6V から 2.0V までそれぞれ、0.128pC/V, 0.125pC/V, 0.123pC/V, 0.122pC/V, 0.121pC/V となり 1.8V のときを基準として相対誤差は 4.1%, 1.6%, 0.0%, -0.81%, -1.6% である。以上から、電源系高周波電流は給電電圧に比例していると近似する。

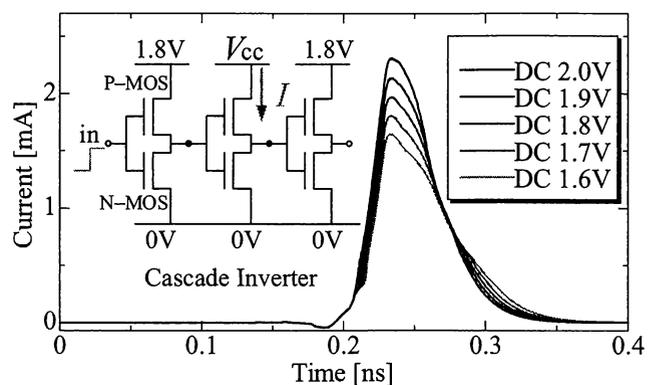


図 2: 給電電圧を変化させたときの高周波電流

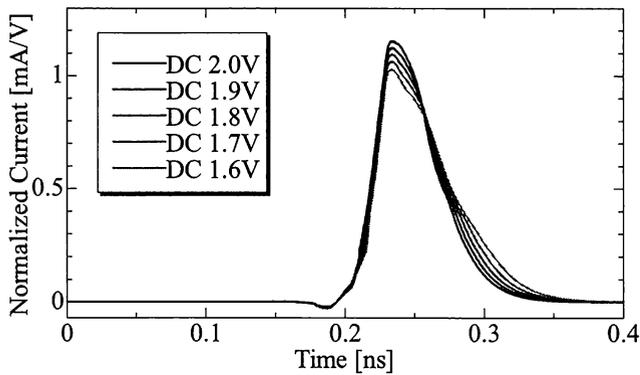


図 3: 給電電圧で規格化した高周波電流

3. 設計情報を用いたブロック単位の LECCS モデルの構築方法

LSI を設計工程で大別すると、トランジスタレベルから完全に設計を行うフルカスタム LSI と、半導体メーカーが予め登録したメガセルや標準セルを用いた設計を行うセミカスタム LSI に分けられる。どちらの LSI においても RAM や ROM, CPU などの各種回路の集合からなるブロックで構成されており、これらのブロックがそれぞれの機能を実現している。このブロックを機能ブロックと定義することにする。

LSI の設計は回路が大規模になるにつれて、設計を容易にするために、図 4 のように LSI の機能を階層ごとに分割し階層ブロック単位でレイアウトの設計を行うのが一般的になっている^{[10][11]}。機能ブロックは、さらに少ない論理回路のブロックで構成されている。このブロックをサブブロックと定義することにする。

ところで通常、各種回路の集合であるブロックに供給される電源電圧は、多層構造で張り巡らされたオンチップ電源供給ネットワーク (PDN: Power Distribution Network) を通して給電されている。各種回路の動作に伴う電源系高周波電流は、このオンチップ電源供給ネットワークを通してチップ外部の給電ポートへ流れるため、電圧変動が発生する。この電圧変動は、それを発生させたブロック、ないしは、オンチップ電源供給ネットワークを通して、他のブロックの動作にも影響を与える。従来この LECCS モデルはこの電圧変動を踏まえて構築されていないため、正確な電源系高周波電流のシミュレーションができないことが問題となっている。

そこで、サブブロック (機能ブロックを構成する論理回路のブロック) ごとに LECCS モデルを構築することで LSI を表し、それぞれの LECCS モデルにこの給電電圧の変動を反映する手法を提案する。次節では、給電電圧変動の影響を含めたブロック単位での LECCS-core モデルの構築方法について述べる。ブロックごとの線形等価回路の構築は、論理回路部のインピーダンスモデル、オンチップ配線モデル、サブストレートモデルを別々に抽出し、それらを統合することで行う^[12]。本報告においては、LSI の SPICE モデルを用いて LECCS-core モデルを抽出し、ブロックの論理回路部のインピーダンスモデル、およびオ

ンチップ配線モデルについて議論を行う。

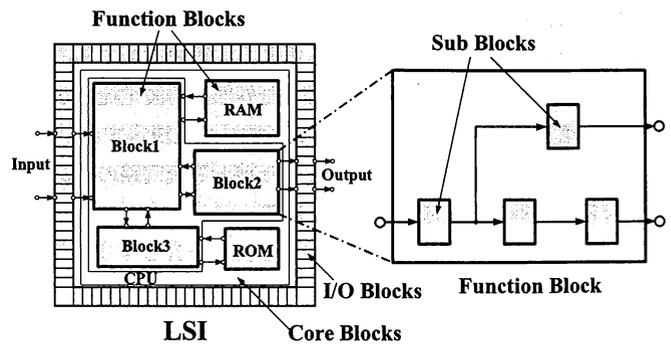


図 4: LSI の一般的な階層構造

3.1 線形等価回路の構成

各種論理回路の集合からなるブロックの線形等価回路のモデルとして、電源系配線に流れる高周波電流の電気的な特性を表現するために、図 5 のようなモデルを用いた^[13]。本報告では、各ブロックがメッシュ状のオンチップ電源配線で繋がれている場合を検討する。

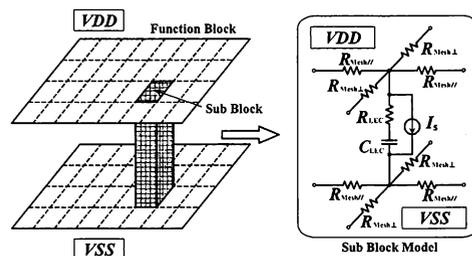


図 5: ブロック単位の線形等価回路の構成

このモデルは、チップ上の電源配線の持つ抵抗 (R_{Mesh} : 垂直方向の $R_{Mesh\perp}$ と平行方向の $R_{Mesh//}$) を十字に繋ぐことで表わしたオンチップ配線モデルと、キャパシタンス (C_{LEC}) と抵抗 (R_{LEC}) を直列に繋ぐことで表わした論理回路部のインピーダンスモデルから構成される。インピーダンスモデルのキャパシタンス (C_{LEC}) は電源・グラウンド配線間に存在する寄生容量や論理回路のトランジスタ等の容量、また容量セルが持つ容量であり、抵抗 (R_{LEC}) は論理回路のトランジスタ等のオン抵抗である。各素子の値は実際に測定するわけではなく、設計情報から SPICE 等の回路シミュレータを用いて決定する。

オンチップ配線モデルについて、設計情報からオンチップ電源供給ネットワークを抽出し、直流解析を行うことで抵抗 (R_{Mesh}) の値を決定する。ここではオンチップ電源配線に寄生のインダクタンスは支配的でないものと仮定した。インピーダンスモデルはオンチップ電源配線を含めた電源・グラウンド間でシミュレーションにより S パラメータを求め、 C_{LEC} の値を決定する。S パラメータから求めた抵抗の値から R_{Mesh} を分離することで R_{LEC} の値を決める。

3.2 内部等価電流源

内部等価電流源を抽出する方法として、LECCS モデルを構

築する範囲のブロックのオンチップ電源配線に対して、図 6 のように周辺からバイアス電源を接続した状態で、ブロックの論理回路に信号を入力する。そのときにバイアス電源に流れる電流がブロックの外部で観測される電源系高周波電流である。このシミュレーションにより観測された外部高周波電流源から電流変換係数を用いることで、内部等価電流源を決定する^[4]。内部等価電流源の位置は 3.1 節で述べた線形等価回路のインピーダンスモデルと並列になる位置である。

$$I_{S-out} = KI_{S-in} \quad (2)$$

電流変換係数 K は線形等価回路のインピーダンスによって決まる係数である。

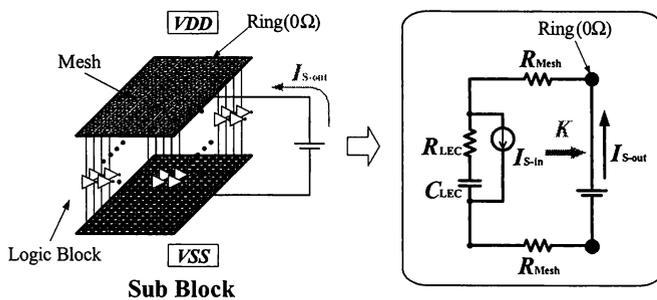


図 6: ブロック単位の内部等価電流源の抽出回路

3.3 等価電流源のスケーリング

3.2 節で述べた内部等価電流源の抽出では、給電電圧が一定であるという仮定のもと電流源を抽出している。しかしながら、実際の LSI においてブロック自体の動作や周囲のブロックの動作に伴う電源系高周波電流がオンチップ電源配線を通ることで電圧変動が発生し、ブロックの給電電圧が一定とはならないため、LECCS モデルの内部等価電流源は給電電圧変動を反映して構築する必要がある。そこで、3.2 節で観測した給電電圧が一定の場合のブロックの内部等価電流源に給電電圧を反映させる手法を提案する。その際、給電電圧に対してインピーダンスは変化しないと仮定する。

ブロックのオンチップ電源配線に流れる高周波電流は、ブロック内部において論理ゲートが多段に接続されているため、各段の動作に伴う電源系高周波電流の重ね合わせとして表現することができる^[7]。その電流は、初段、次段、次々段と順に動作するため、CMOS ゲート単体の電源系高周波電流に比べて、電流持続時間が長いものになる。給電電圧変動を内部等価電流源の値に反映させるには各段の高周波電流を個別に補正していく必要がある。しかしながら、ブロック単位で抽出した内部等価電流源のみからは 1 段ごとの電流に分離することが難しい。そこで図 7 のように、ブロックの内部等価電流源をある時間間隔で区切り、三角形関数の重ね合わせとみなし、それぞれの三角形関数を 1 段あたりの動作に伴う高周波電流と近似する。三角形関数の重ね合わせとみなすとは、区分的に連続な 1 次関数とすることである。近似した各段の高周波電流それぞれについて、給電電圧を反映させる。

1 段あたりの電流の値は、2. 節で示したように、動作したと

きの給電電圧の値にほぼ比例している。そこで、動作するタイミングをそれぞれの三角形関数の起点の時刻とし、その時刻での給電電圧を反映させて電流値を補正する。

また、信号遅延が給電電圧に依存するため、給電電圧の変動を考慮して各段の動作する時刻を決める必要がある。詳細の手法は次節で述べる。

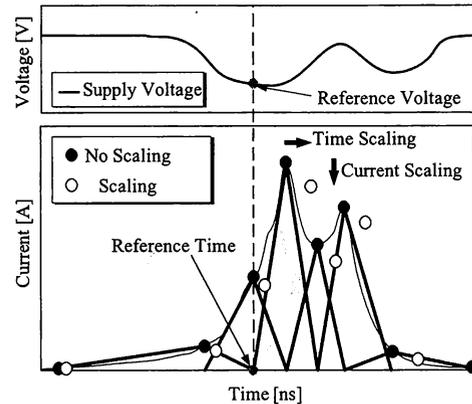


図 7: 内部等価電流源のスケーリングの概念図

4. 設計したチップを用いた手法の検証

LSI をいくつかの論理回路の集合ごとに分割して LECCS モデルを構築し、それぞれの内部等価電流源にブロックの給電電圧を反映させる手法を、実際に設計した試験チップで検証していく。

4.1 設計したチップの構造

設計した試験チップにおける機能ブロックの構成を図 8 に示す。

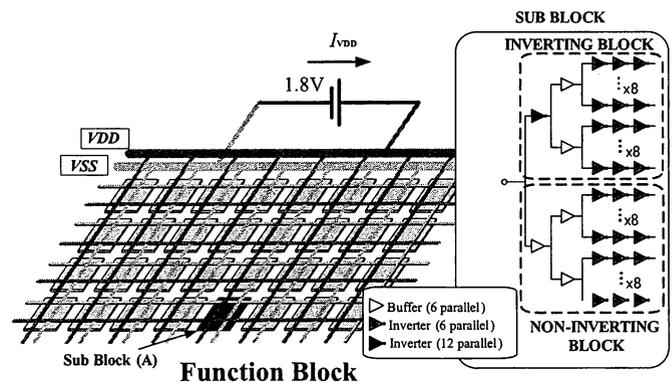


図 8: 設計したチップの構成

試験チップは内部に 6 つの機能ブロックがあると想定して設計されており、製造プロセスは CMOS 0.18 μ m を用いている。電源電圧の推奨範囲は 1.8V \pm 0.9V である。この 6 つの機能ブロックの内、1 つの機能ブロックについて検討を行う。機能ブロック 1 つは複数の論理ゲートの集合である 32 個の同じサブブロックから構成されている。オンチップ電源配線ネットワークについては、サブブロックごとに分離せず、機能ブロック全体で一様にメッシュ状の格子とレール配線の多層構造で張り巡らされている。機能ブロックへの電源電圧給電は図 8 のように、

機能ブロックの上辺から8つのサブブロックのオンチップ電源配線に抵抗を介さず理想的に行っている。その電圧は1.8Vである。サブブロック内は、反転ブロックと非反転ブロックの2つのブロックから構成されており、それぞれのブロックでバッファとインバータが5段、直列に並べられている。反転ブロックは初段をインバータとして、2段目のバッファに信号を反転させて入力するブロックで、非反転ブロックは初段をバッファとして、2段目のバッファに信号を反転させずに入力するブロックである。

4.2 設計したチップのサブブロックのLECCSモデル

サブブロックひとつあたりのLECCSモデルの線形等価回路は図5に示した構造で、各素子の値は $R_{Mesh, \perp} = 0.25\Omega$, $R_{Mesh, //} = 0.084\Omega$, $C_{LEC} = 2.9pF$, $R_{LEC} = 4.5\Omega$ である。また、直流の給電電圧に対する内部等価電流源を図9に示す。給電電圧は1.6Vから2.0Vまで変化させた。その際、サブブロックの入力信号として、LowからHighに1nsで立ち上がり、時刻0nsに閾値電圧 $V_{cc}/2$ となるような電圧を入力した。本来、内部等価電流源は3.2節で述べたように、電流変換係数を用いて求めるべきであるが、今回は R_{LEC} に対して R_{Mesh} が十分に小さいので外部で観測された電流を内部電流源とした。

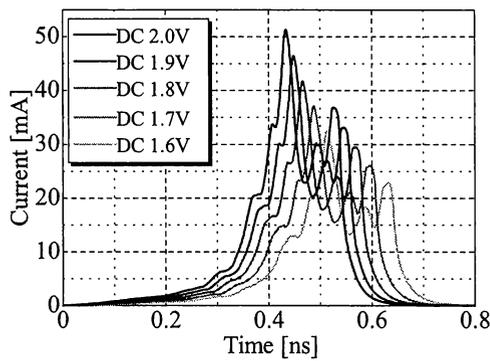


図9: 給電電圧を変化させたときのサブブロックの内部等価電流源

4.3 給電電圧を反映させたサブブロックの内部等価電流源

設計した機能ブロックにおいて、32個のサブブロックの信号入力端子に全て同じ時刻にLowからHighになる信号を入力する。その際、図8の外部直流電源電圧に流れる高周波電流をLECCSモデルを用いてシミュレーションする。電源系高周波電流がオンチップ電源配線を通ることで、各サブブロックの給電電圧が異なるため、それぞれの内部等価電流源を給電電圧で補正しなければ正確な高周波電流のシミュレーションは行えない。そこで具体的に、図8における、サブブロック(A)の内部等価電流源を、図9の給電電圧1.8Vの内部等価電流源から求める方法を述べる。

給電電圧をサブブロックの内部等価電流源に反映する場合、サブブロック内部の各論理ゲートの動作による高周波電流それぞれについて反映しなければならない。しかしながら、サブブロック単位で内部等価電流源を抽出すると、各論理ゲートごとの高周波電流に分離することができず、それらの電流の重ね合わせとして電流源が抽出される。そこで3.3節で述べたように、給電電圧が1.8Vで一定のときの内部等価電流源を、三角形関

数の重ね合わせと近似し、三角形関数1つをサブブロック内部の論理ゲートが動作した時に流れる高周波電流と仮定する。図10のように給電電圧が1.8Vで一定のときの内部等価電流源をNo.0~No.14の特徴点で表し、13個の三角形関数に分離する。そして、それぞれの三角形関数について給電電圧で、電流値と遅延時間の補正を行う。これらの三角形関数を直列に接続された13段の論理ゲートと仮定して補正を行っていく。13段の論理ゲートは出力の負荷が同じと仮定し、ある給電電圧に対して1段で発生する信号遅延は同じ時間と仮定した。

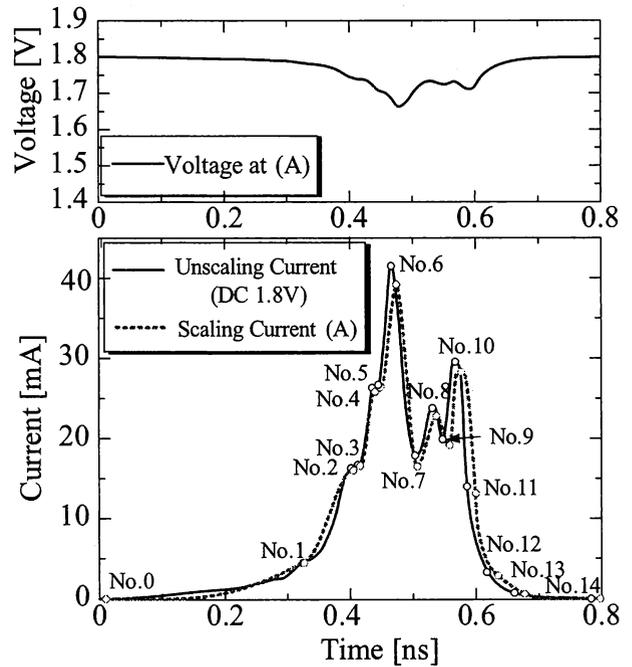


図10: サブブロック(A)における給電電圧とその給電電圧を反映した内部等価電流源

No. i における電流値の補正を以下の式で示す。ここで、No. i は図10の特徴点である。 $(i = 1, 2, \dots, 13)$

$$I_{Scaling(i)} = \frac{V_{dd(i-1)}}{1.8} I_i \quad (3)$$

No. i の時間軸の補正を以下の式で示す。

$$T_{Scaling(i)} = T_i + \sum_{j=1}^{i-1} \Delta T_{Delay(j)} \quad (4)$$

ただし、 I_i はNo. i の電流値、 $I_{Scaling(i)}$ はその補正後の値であり、 T_i はNo. i の時刻、 $T_{Scaling(i)}$ はその補正後の時刻である。 $V_{dd(i)}$ は時刻 T_i の給電電圧である。 $\Delta T_{Delay(i)}$ は、No. i で信号がどれほど遅延するかを表している。 $\Delta T_{Delay(1)}$ から $\Delta T_{Delay(i-1)}$ を積算して時間軸の補正を行うのは、三角形関数を1列に並んだ多段の論理ゲートと仮定して補正を行うため、後段になるほど前段での遅延時間が加算されていくためである。

ここで、 $\Delta T_{Delay(i)}$ を求めるのに図9を用いる。図9の第3ピーク(No.10)に着目し、給電電圧の違いによって、0sから第3ピークまでの時刻で信号の遅延時間を求める。1.8Vの信号遅延時間を0nsとして基準にしたとき、各給電電圧に対する遅延時間 $T_{Delay-ref}$ を図11に示す。

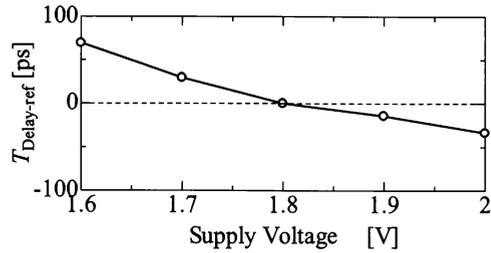


図 11: 給電電圧の変化によって第 3 ピークで生じる遅延時間

第 3 ピークまでに近似した三角形関数は 9 段であり、すべての三角形関数で同じ遅延時間であると仮定しているため、1 段あたりの遅延時間は図 11 の値を 9 で除した値である。この値を $\Delta T_{\text{Delay}(i)}$ として用いる。

$$\Delta T_{\text{Delay}(i)} = \frac{T_{\text{Delay-ref}}(V_{\text{dd}(i-1)})}{9} \quad (5)$$

以上から給電電圧の値を反映して得られた電流をサブブロック (A) の内部等価電流源として用いる。同様に 32 個、全てのサブブロックにこの手法を適用し、内部等価電流源を構築する。

4.4 サブブロックの LECCS モデルによる機能ブロックの電源系高周波電流のシミュレーション

4.2, 4.3 節で構築した LECCS モデルを用いて、図 8 の機能ブロックを表し、オンチップ電源配線に流れる高周波電流をシミュレーションする。その際、機能ブロックに給電している電源電圧に流れる高周波電流を観測する。また、比較のために給電電圧によりスケリングしなかった LECCS モデルにおいても同様のシミュレーションを行い電流を観測する。そして、これらの観測された結果と機能ブロックのトランジスタの詳細モデルを用いてシミュレーションを行った電源電圧に流れる電流を比較する。その結果を図 12 に示す。4.3 節でも述べたが 32 個のサブブロックの信号入力端子へは全て同じタイミングで Low から High になる信号を入力している。給電電圧の変動を反映させなかった LECCS モデルを用いた結果は、トランジスタの詳細モデルと比べて、電流の第 1 ピーク、第 2 ピーク、第 3 ピークについて相対誤差がそれぞれ 9.4%, 12%, 9.1% であるのに対して、給電電圧を反映させた LECCS モデルを用いた結果は、相対誤差がそれぞれ 0.7%, 2.8%, 2.1% である。よって、正確な電源系高周波電流のシミュレーションが電源電圧を反映させた LECCS モデルを用いてできているといえる。

5. まとめ

本報告では、給電電圧の変動を内部等価電流源に反映させたブロック単位の LECCS モデルの構築を行った。設計情報からブロック単位で LECCS モデルを構築する際、その内部等価電流源は、ブロック自体の動作や周囲のブロックの動作に伴う給電電圧の変動に対して、電流値と信号遅延時間の補正を行わなければならない。そこでブロックを、多段に繋がれた論理回路とみなし、その内部等価電流源を三角形関数の重ね合わせとすることで、仮想的な段ごとの内部等価電流源に分離を行い、それぞれの電流を給電電圧に対して補正する手法を提案した。そして

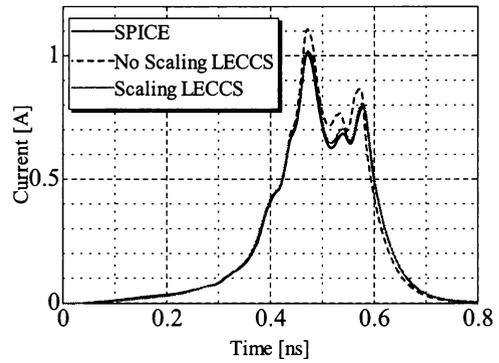


図 12: LECCS モデルとトランジスタモデルの電源系高周波電流のシミュレーション結果

実際に設計したチップを用いて、LECCS モデルに給電電圧変動を反映させることで、高い精度で電源系高周波電流をシミュレーションできることを示した。

今回は、給電電圧変動が同じとみなせる小さめのブロック単位で LECCS モデルを構築したが、給電電圧変動がブロックの場所により異なるような大きな単位での LECCS モデルの構築を目指したい。

文 献

- [1] S.B. Dhia, M. Ramdani, E. Sicard (Editors), "Electromagnetic Compatibility of Integrated Circuits," Chap. 5, Springer, New York, 2006.
- [2] 和田修己, "デジタル回路の不要電磁波発生機構のモデル化とシミュレーション," 信学論 B, Vol.J86-B, No.7, pp.1062-1069, July 2003.
- [3] 高山恵介, 木下智博, 松石拓也, 松永茂樹, 王志良, 豊田啓孝, 和田修己, 古賀隆治, 福本幸弘, 柴田 修, "LSI の電源端子電流モデルの EMI シミュレーションへの適用," 信学論 B, Vol.J86-B, No.2, pp.226-235, Feb. 2003.
- [4] 中村克己, 南澤裕一郎, 豊田啓孝, 和田修己, 斎藤義行, 中村篤, "マイクロコントローラの多電源ピン LECCS-core モデルの構築," 信学論 C, Vol.J89-C, No.11, pp.833-842, Nov. 2006.
- [5] IEC 62433-2 Ed. 1.0, "EMC IC modelling - Part 2: Models of integrated circuits for EMI behavioural simulation - Conducted emissions modelling (IECM-CE)," Oct. 2008.
- [6] S. Serpaud, J-L Levant, Y. Poiré, M. Meyer, S. Tran, "ICEM-CE extraction methodology," EMC Compo 2009, Toulouse, France, Nov. 2009.
- [7] Andreas Gstöttner, Thomas Steinecke, Mario Huemer, "High Level Modeling of Dynamic Switching Currents in VLSI IC Modules," EMC Compo 2005, Munich, Germany, Nov. 2005.
- [8] 山崎輝宣, 田中広志, 松嶋徹, 久門尚史, 和田修己, "過渡領域のノートン等価回路を用いた LSI 線形マクロモデルの等価電流源の位置の検討," 信学技報, EMCJ 2010-29, pp.45-50, July 2010.
- [9] 田中広志, 松嶋徹, 久門尚史, 和田修己, "CMOS 動作を表現する線形時変回路からの LECCS-core モデルの導出," 信学論 C, Vol.J94-C, No.11, pp.458-469, Nov. 2011.
- [10] 池田哲夫, 羽仁利幸, 佐野芳昭, 中野富男, 水戸野克治, "集積回路設計の基礎," 第 6 章, pp.86-104, 森北出版, 2010.
- [11] 寺井正幸, "STARC2010 LSI 設計編 (B コース) B6 章 レイアウト設計 2," pp.36-37, 半導体理工学研究センター, 2010.
- [12] B. Vrignon, R. Secareanu, "Tools and methodologies for emission prediction during the IC design flow," EMC Compo 2011, Dubrovnik, Croatia, Nov. 2011.
- [13] 佐藤富夫, 橋本鉄太郎, 笹川隆平, "電源ノイズ解析のための LSI ノイズモデル," Fujitsu, Vol.55, No.6, pp.608-613, Nov. 2005.