

(続紙 1)

| | | | |
|--|---|----|------|
| 京都大学 | 博士 (情報学) | 氏名 | 西澤真一 |
| 論文題目 | 集積回路のエネルギー効率向上を目指した性能ばらつきの予測技術とセルライブラリの構築に関する研究 | | |
| (論文内容の要旨) | | | |
| <p>本研究は、集積回路のエネルギー効率向上を図るための重要技術として、回路遅延の高精度な見積りを可能とするためのトランジスタ特性ばらつきと供給電圧ばらつきの見積り技術、および低電圧動作を実現するためのセルライブラリ構築技術について検討を行ったものであり、5章から成っている。</p> <p>第1章は序論であり、半導体加工技術の微細化とそれに伴うトランジスタ特性のばらつきについて説明している。また集積回路の設計技術としてセミカスタム設計技術の利点について述べ、セミカスタム設計におけるスタンダードセルの位置づけについて述べている。その後、本研究の目的と概要を説明している。</p> <p>第2章では、集積回路のエネルギー効率を向上させるための課題と取り組みについて述べている。集積回路における遅延と消費エネルギーの関係を説明し、エネルギー効率の向上には低電圧動作が有効である事を述べている。次に、エネルギー効率向上を阻む要因として、集積回路における各種のばらつきについて説明している。ばらつきを補償するための設計マージンは回路の消費エネルギーを増大させるため、適切なマージンの設定が重要であることを述べている。また、エネルギー効率向上に関する既存の取組について述べ、本研究の対象であるセルライブラリの改善によるエネルギー効率の向上の位置づけを説明している。</p> <p>第3章では、性能予測精度の向上により設計マージンを削減してエネルギー効率を向上させることを目指し、トランジスタ特性のばらつきモデルと電源ネットワークモデルの高精度化について述べている。トランジスタ特性ばらつきのモデル化については、統計的性質に応じたばらつき成分の分離手法を提案している。既存研究に対し、位置に依存するばらつき成分を抽出する際に正規化処理を施すことにより、位置に依存せずランダムに変動すると予想されるばらつき成分が、より正規分布に近い形で抽出できることを述べている。また、異なる製造プロセスのばらつきを分析した結果、微細化に伴い、位置に依存せずランダムに変動する成分が増加することを述べている。電源ネットワークモデルの高精度化については、チップ内電源ネットワークの品質を評価するための電源電圧測定回路を提案している。提案回路による実測値と、チップ外とチップ内を統合した電源ネットワークモデルによる予測値を比較することにより、電源ネットワークモデルの精度評価を行っている。また、電源ネットワークモデルを活用することにより、電源網における電圧降下を抑制するための設計改善が可能であることを述べている。</p> <p>第4章では、集積回路の低電圧動作を実現するためのスタンダードセルの構成法について述べている。PMOSトランジスタとNMOSトランジスタは電氣的な特性が異なるため、電源電圧により各トランジスタの最適な寸法比率が異なる。エネルギー効率の高い組み合わせ論理ゲートのスタンダードセルを実現するために、スタンダードセル内でのP/Nウェル境界をセル毎に独立に設定するレイアウト構造を提案している。P/Nウェル境界がセル毎に異なるため、スタンダードセル自体のレイアウト面積は増加する</p> | | | |

が、エネルギー効率は改善されることを試作した実験回路の評価により確認している。また、ベンチマーク回路の設計実験により、回路面積を増加することなくエネルギー効率を改善できることを述べている。低電圧動作に適したフリップフロップの構成法については、電源電圧低下にともない増加する特性ばらつきにより動作不良となる原因を解明し、ばらつき耐性を高めるための設計指針を示している。ばらつき耐性を高めることにより消費エネルギーの増加は発生するが、電源電圧を高めることで動作不良を減少させる方法に比べると消費エネルギーの増加量は少ないことをシミュレーションにより確かめている。

第5章は結論であり、本論文で得られた結果を総括的にまとめている。

注) 論文内容の要旨と論文審査の結果の要旨は1頁を38字×36行で作成し、合わせて、3,000字を標準とすること。

論文内容の要旨を英語で記入する場合は、400～1,100 wordsで作成し
審査結果の要旨は日本語500～2,000字程度で作成すること。

(論文審査の結果の要旨)

本論文は、消費エネルギーあたりの処理量で定義される集積回路のエネルギー効率の向上を目的として、各種ばらつきの評価手法や評価回路、および低電圧動作を実現するためのスタンダードセルライブラリの構成法について種々の提案を行いその有効性を検証している。本論文で得られた成果は以下の通りである。

1. 回路特性ばらつき量の実測値から、統計的性質に応じたばらつき成分の分離手法を提案し、テスト回路による実測結果に適用することで、提案手法の妥当性を評価した。レイアウトに依存する成分の抽出において、ばらつき量を正規化して用いることで、レイアウトに依存しない成分のばらつき量が正規分布に従うことを示した。また、プロセス世代の異なる複数のテスト回路の測定結果より、各ばらつき成分の推移について評価した。
2. リングオシレータと電圧制御電流源からなる電源電圧評価回路を提案し、テスト回路によりその動作を実証した。電圧制御電流源を用いてリングオシレータの発振周波数を校正することで、回路に供給される実効的な電源電圧の評価を可能とした。チップ内とチップ外の電源網を統一的に表現する電源ネットワークモデルを作成し、予測したチップ内の電源電圧が、電源電圧評価回路による測定値と一致することを示した。作成した電源ネットワークモデルが、電源網設計に有効であることを確かめた。
3. セル内でP/Nウェル境界の位置を自由に設定することのできるスタンダードセルレイアウトの構成法を提案した。想定する電源電圧や論理構造により、論理ゲートに用いるPMOSトランジスタとNMOSトランジスタの最適な寸法比率が異なる。提案レイアウト構造を採用することで、様々なトランジスタ寸法比を持つスタンダードセルを実現できる。提案スタンダードセルにより、遅延時間と消費エネルギーの双方が改善されることを、試作回路で実証した。また、ベンチマーク回路の設計実験により、既存のスタンダードセルと同等の回路面積で、より消費エネルギーの少ない回路が実現できることを示した。
4. 低電圧動作において顕著になるトランジスタ特性ばらつきに対する耐性を高めたフリップフロップの設計指針を示した。モンテカルロシミュレーションによる加速試験によりばらつき脆弱性の原因となるトランジスタを抽出し、設計改善を行うことによりフリップフロップの歩留まりが改善可能であることを示した。

以上、本論文は集積回路のエネルギー効率を向上させるための諸問題に対して、各種ばらつきの評価技術およびセルライブラリの構成法という観点から解決方法を提案し、試作回路における実測およびシミュレーションからその有効性を実証している。本論文の内容は、学術上、応用上ともに寄与するところが少なくない。よって本論文は博士(情報学)の学位論文として価値あるものとして認める。また平成27年2月27日に実施した論文内容とそれに関連した試問の結果、合格と認めた。

注)論文審査の結果の要旨の結句には、学位論文の審査についての認定を明記すること。更に、試問の結果の要旨(例えば「平成 年 月 日論文内容とそれに関連した口頭試問を行った結果合格と認めた。」)を付け加えること。

Webでの即日公開を希望しない場合は、以下に公開可能とする日付を記入すること。
要旨公開可能日： 年 月 日以降