

Title	Variability in BTI-Induced Device Degradation: from Silicon Measurement to SRAM Yield Prediction( Abstract_要旨 )
Author(s)	Awano, Hiromitsu
Citation	Kyoto University (京都大学)
Issue Date	2016-03-23
URL	<a href="https://doi.org/10.14989/doctor.k19862">https://doi.org/10.14989/doctor.k19862</a>
Right	
Type	Thesis or Dissertation
Textversion	ETD

( 続紙 1 )

京都大学	博士 (情報学)	氏名	栗野 皓光
論文題目	Variability in BTI-Induced Device Degradation: from Silicon Measurement to SRAM Yield Prediction		
(論文内容の要旨)			
<p>製造プロセスの微細化に伴い、集積回路の主要な構成部品であるトランジスタの経年劣化を定量的に把握すること、および回路動作に対する劣化の影響を予測することが求められている。本論文ではバイアス温度不安定性 (BTI) と呼ばれるトランジスタの劣化モードに着目して、集積回路の設計フローに沿って生じる一連の課題に対する解決策を提示しており、全7章から構成されている。</p> <p>第1章は序論であり、集積回路の微細化がもたらす恩恵と課題について、特に長期信頼性の観点から現状を俯瞰している。また、BTI劣化の測定から、その回路動作への影響を求めるまでの課題について、本論文でのアプローチとともにまとめている。</p> <p>第2章では、本論文で扱うBTI劣化、およびBTIと同じ物理メカニズムに起因すると考えられているRandom telegraph noise (RTN) について、発生要因と既存の劣化予測モデルに関する概要がまとめられている。また、本研究で取り組む3つの課題 (BTI劣化の測定方法・測定結果の解析方法・回路の寿命予測) に対して、既存手法を引用しながら、本研究の位置づけを明確化している。</p> <p>第3章では、BTI劣化のばらつきに着目し、その測定に適する回路方式を提案している。劣化ばらつきの測定には、数時間から数日に及ぶストレス電圧の印加が必要であり、多数のトランジスタに対して劣化ばらつきを測定することは困難であった。この課題を、BTI劣化を高並列に測定できる回路方式 (BTIarray) の提案により解決している。複数のトランジスタに同時にストレスを与え、各トランジスタのしきい値電圧をパイプライン的に測定することで、単体トランジスタの測定と殆ど同一の時間で、多数のトランジスタのBTI劣化測定を可能としている。</p> <p>第4章では、BTIarrayを用いた劣化ばらつき測定を効率的に行うための環境構築、及び、測定の結果得られた劣化ばらつきに関する考察がまとめられている。測定環境に起因するばらつきを最小限とするための、FPGAを利用したパターン生成器や、多様な劣化シナリオを記述するためのスクリプト言語の構築について詳述されている。また、BTIarrayの測定結果から、劣化速度を表現するモデルパラメータが対数正規分布に従うこと、等を実験的に示している。</p> <p>BTI劣化には、ゲート絶縁膜に存在する欠陥が関与すると考えられているが、単体トランジスタに含まれる複数の欠陥の活動を分離して求めることは困難であった。第5章では統計的機械学習の手法を応用し、欠陥個々の活動を分離する手法を提案している。さらにこの手法を、BTIarrayの測定から得られたデータの解析に応用することで、提案手法が実測波形に対しても効果的に適用できることを示している。</p> <p>第6章では、メモリ回路の不良確率がBTI劣化により徐々に上昇する様子を効率的に解析する手法を提案している。劣化による回路特性の変動が緩やかである点に着目し、不良確率計算で用いる重点的サンプリングにおいて、効率的な代替分布を粒子フィルタによって逐次的に追跡する。数値実験では、従来手法と比較して9.8倍の高速化が達成されている。</p> <p>第7章は結論であり、本論文の成果を総括し、また今後の展望をまとめている。</p>			

注) 論文内容の要旨と論文審査の結果の要旨は1頁を38字×36行で作成し、合わせて、3,000字を標準とすること。

論文内容の要旨を英語で記入する場合は、400～1,100 wordsで作成し  
審査結果の要旨は日本語500～2,000字程度で作成すること。

(論文審査の結果の要旨)

本論文は、集積回路の主な特性劣化要因であるバイアス温度不安定性 (BTI) を対象として、回路の信頼性低下を効率的に予測する手法を与えている。測定に基づく予測を実現するために、トランジスタの劣化ばらつきの測定方法と、そのモデル化、解析手法を提案している。本論文で得られた成果は、以下の様に要約できる。

1. トランジスタのBTI劣化を高並列に測定可能とする回路方式 (BTIarray) を考案することで、従来極めて長時間を要していたBTI劣化のばらつきの測定を、現実的な時間で行うことに成功している。65nmプロセスを用いて回路を試作し、その測定を通じて提案方式の有効性を実証した。被測定トランジスタ128個に対する測定では、トランジスタを個別に劣化させる従来手法と比較して、測定時間を約1/120に低減できることを示した。
2. 劣化ストレスを与えるバイアス電圧を、高いタイミング精度で制御できるFPGAを用いた測定環境を構築した。更に、バイアス印加の時系列的組合せをスクリプト言語により容易に記述可能とするプログラミング環境を作成した。これら提案する環境を用いて測定した実験結果を分析し、劣化進行速度を表現するパラメータのばらつきが、対数正規分布に従うことを見出した。
3. BTI劣化を引き起こす主要な原因と考えられている、絶縁膜界面に存在する格子欠陥の振る舞いを、統計的機械学習を応用して推定する手法を構築した。提案された推定手法により、劣化を表現する物理的に意味あるモデルのパラメータを求めることができる。人工データ、および試作したBTIarrayによるしきい値測定データに推定手法を適用し、重畳した複数の欠陥の活動を、しきい値電圧変動データのみから推定可能であることを示した。
4. SRAMメモリセルの不良確率が、BTI劣化によって経時的に変動していく過程を効率的に解析する手法を提案した。提案手法では、重点的サンプリングで用いるべき代替分布の変化を、粒子フィルタによって逐次的に追跡することで解析効率を向上する。数値実験例では、解析精度を維持しつつ、従来手法の9.8倍の高速化が達成可能であることを示した。

以上、本論文は、集積回路製造プロセスの微細化に伴って重要性を増している回路特性劣化に関する課題に対し、劣化モデルパラメータの効率的な収集と分析手法を与え、さらにその回路設計における影響を定量的かつ高速に求める方法を示している。劣化ばらつきの影響を実験的に明らかにする等の新たな知見を得ているなど、関連分野において学術上、応用上ともに寄与するところが少なくない。よって本論文は博士 (情報学) の学位論文として価値あるものとして認める。平成28年2月19日に実施した論文内容とそれに関連した試問の結果、合格と認めた。

注) 論文審査の結果の要旨の結句には、学位論文の審査についての認定を明記すること。更に、試問の結果の要旨 (例えば「平成 年 月 日論文内容とそれに関連した口頭試問を行った結果合格と認めた。」) を付け加えること。

Webでの即日公開を希望しない場合は、以下に公開可能とする日付を記入すること。  
要旨公開可能日： 年 月 日以降