

新設研究室紹介

集積機能工学講座（鈴木研究室）

「次世代へつながる電子デバイスの創製をめざして」

教授 鈴木 実

本講座では、異なる電子機能を有する異種電子材料を複合集積化することにより、新しいデバイス機能を創製することを主たる目的としています。これを受けて当研究室は今年4月に発足しました。

今日シリコンをベースとするコンピュータの発展は目覚ましく、集積回路の線幅は $0.1\mu\text{m}$ を切り集積度も速度も今なお進展しております。その反面、電力消費も大きくなり一般への急激な普及による環境への影響も一部に憂慮されています。また技術的にも微細化による量子効果が見え始め今後の発展に本質的な限界が迫ってきております。そこでシリコンの次に来るデバイスが研究の対象となりつつあります。ポストシリコンデバイスへは種々のアプローチがありますが、当研究室では多彩な電子機能を有する複合酸化物を対象として次世代のデバイス創製をねらっています。

複合酸化物はこれまで、誘電材料などの一部を除き、電子デバイスの立場からは十分な研究がなされてきたとは必ずしも言えません。また近年の高温超伝導物質の発見や巨大磁気抵抗物質の発見などに見られるように、新しい機能電子材料の未開の分野であると言えます。さらに高温超伝導の発現機構がまだ解明されていないように、物理的にも新しい現象がこれからも期待されます。このような物質を対象とした今日のテクノロジーによるデバイス化の研究は、新デバイスの創製につながるのみならず、この分野の物理の理解にも大きな進展を引き起こします。このような観点から当研究室では以下のような研究を展開する予定です。

[1] 高温超伝導体の固有ジョセフソン効果の研究

一部の高温超伝導体には、原子レベルで超伝導層と絶縁層が交互に積層され、物質自身がトンネル型のジョセフソン接合になっているものがあります。固有ジョセフソン接合と呼ばれるこの構造は微細加工することにより本来の特性が観察されます。そこでナノスケールの微細加工技術を用いた素子作製をベースとして高温超伝導のジョセフソン効果を研究し、デバイス応用に展開するとともに、得られた素子を用いてトンネル分光を行い、高温超伝導の発現機構解明に関係する重要な物性を研究します。

[2] マンガン系複合酸化物の研究

マンガン系複合酸化物の中には強磁性層と反強磁性層が交互に積層されて、それぞれの層のスピンを変えることにより大きな物理量変化が観察される物質があります。このような複合酸化物を用いて高密度で高速不揮発性メモリを構成することが可能性です。このようなメモリはリフレッシュする電力が不要なため電力消費が小さく将来期待されるものです。

[3] ジョセフソン接合配列からのテラヘルツ電磁波発生の研究

高温超伝導体では超伝導エネルギーギャップが従来の超伝導体に比較し10倍から30倍大きく、従来の超伝導体では吸収されて交流ジョセフソン効果が十分発現しなかったテラヘルツ(THz)帯の電磁波が対象領域に入ってきます。高温超伝導体の固有ジョセフソン接合の配列を用いて、THz帯電磁波の検出やコヒーレント放出の研究を進めたいと考えています。

将来は以上のようなデバイスの複合化により一層機能を高めた集積機能デバイスの構築へ展開したいと考えています。

集積システム工学講座 大規模集積回路分野（小野寺研究室） 「先端 LSI の回路技術と設計技術の研究」

教授 小野寺秀俊

マルチメディアやインターネットなどに代表される現代の高度情報化社会は、集積回路を抜きにしては考えられません。集積回路は電子機器の高機能化、高性能化、低価格化を担うキーデバイスです。1959年に数個の素子の集合として誕生した集積回路は、今や1千万以上の素子を集積することが可能となっています。例えば、来春発売予定の新型ゲーム機に搭載されるLSIには、1050万個のトランジスタが集積化されています。これは、京都府総人口の約4倍の数です。このLSIは、1秒間に62億回の浮動小数点演算を実行しますが、これはスパコンの1CPUで実行できる演算量と同程度です。このように、集積回路の大規模化と高性能化は急速に進んでおり、エレクトロニクスシステム全体を1チップ上に実現する「システムオンチップ」が可能な時代となっています。

大規模化に伴い、新たな技術的課題が生じています。まず、このように大規模で複雑な回路を、いかにして設計すれば良いかという問題があります。全てを一から設計できません。既設計の回路を組み合わせて全体を設計する方法が必須です（設計再利用化技術）。また、配線における信号の遅延も深刻化しています。トランジスタの動作は速くなる一方、配線が細くなるため抵抗が増加し、配線での遅延時間が急増します。そのため、回路の各部をどのように配置し配線するかという物理設計により回路の動作速度が大きく左右されます。物理設計段階での最適化が重要になります（物理設計最適化技術）。また、微細化とそれに伴って電源電圧を下げることにより、製造プロセスのばらつきに起因する回路特性のばらつきが顕著に現れるようになってきました。特性のばらつきは歩留まりに影響します。ばらつきの予測技術や歩留まりの最大化を図る設計技術が重要です（製造容易化設計技術）。これら以外にも、LSI設計の本質的な問題として、どのような信号処理アーキテクチャが大規模集積化に適しているのかという検討も重要です（LSIアーキテクチャ）。

当研究室では、LSI設計に関するこれらの問題に対し、デジタル回路とともにアナログ回路も対象として幅広く取り組んでいます。現在、次のような研究を行っております。

1. LSI アーキテクチャ：低ビットレートの移動体通信を念頭におき、動画像をリアルタイムに圧縮/伸長するアルゴリズムとハードウェアの開発を行っています。機能メモリ型のアーキテクチャや並列ベクトルプロセッサアーキテクチャなどを検討し、実際にLSI化しています。
2. 物理設計最適化技術：システムLSI設計における性能最適化と設計短TAT化ならびに設計再利用の促進に向けて、ライブラリ自動設計技術（オンデマンドライブラリ）とそれをを用いた低消費電力化/高速化設計技術を研究しています。
3. 製造容易化設計技術：製造プロセスの開発にあわせて、必要十分な動作余裕を持つ回路を短期間に設計するため、プロセスばらつきのモデル化と、統計的特性解析ならびに設計最適化技術について研究しています。
4. アナログ回路再利用化技術：アナログ回路の集積化を容易にするためには、再利用可能なアナログ要素回路の開発が重要です。アナログ回路の再利用を図るためには、設計回路ではなく設計手法の再利用化と、製造容易化技術が鍵であると考えています。PLL回路を題材にとり、再利用可能な設計手法を検討しています。

また、大学や高専におけるLSI設計試作を支援する組織として、大規模集積システム設計教育研究センター（VDEC）が東大に設置されていますが、その近畿地区におけるサブセンターとしても活動しています。LSI設計用ライブラリや技術情報の提供をはじめ、試作LSIの評価装置としてLSIテストやEBテスト、集束イオンビーム装置などの設備を備え、LSI設計教育の高度化に貢献しています。