

自立的再構成可能デバイスによる汎用計算機構の実現を目指して

京都大学 大学院 情報研究科 通信情報システム専攻
集積システム工学講座 情報回路方式分野

教授 中 村 行 宏

nakamura@kuee.kyoto-u.ac.jp

助教授 尾 上 孝 雄

onoye@asl.kuee.kyoto-u.ac.jp

助手 泉 知 論

izumi@kuee.kyoto-u.ac.jp

1. はじめに

電子計算機は現在の高度情報化社会を支える重要な基盤要素のひとつである。そこでは、CPU (Central Processing Unit) は論理演算素子を配線により結合した布線論理中心で構成されるが、用途に応じた柔軟性、汎用性を持たせるため、メモリ上に置かれたソフトウェアプログラムとデータをCPUにより解釈・実行し、処理するフォン・ノイマン型と呼ばれる計算機構が発明され、これが計算機アーキテクチャの主流となって現在に至っていることは皆様よくご存知の通りである。このアーキテクチャでは、メモリとプログラムによる柔軟性という利点と裏腹に、性能面において、CPU-メモリ間の性能ギャップ、いわゆるフォン・ノイマン・ボトルネックを如何に解消するかに様々な工夫を要しており、永遠の課題となっている。

一方、上記の (CPU-メモリ-プログラム) 方式より、布線論理のみによる構成の性能上の有利さは論を待たないが、設計・製造に多大な工数を要し、かつ柔軟性・汎用性に欠ける点が問題とされてきた。しかし、ここに来て、用途に応じて柔軟に回路を再構成できる布線論理として開発されたFPGA (Field Programmable Gate Array) の発展は目覚しく、また、設計面では、例えば、中村教授がNTT在職中に研究・開発した高位ハードウェア記述言語SFLと論理合成系PARTHENONにより、論理回路もソフトウェアと同様、アルゴリズムを記述することにより設計開発が可能となってきている。

このような技術的背景のもと、我々中村研究室では、NTT未来ねっと研究所／コミュニケーション科学基礎研究所ならびに長崎大学小栗研究室らと共に、メモリに匹敵する一様構造を有する布線論理FPGAと論理合成技術を駆使することにより、フォン・ノイマン型を凌駕する汎用構成方式として *Plastic Cell Architecture* (PCA) を提案し、研究を進めている [1]。この方式が意味を持つための最重要点は、ソフトウェアの有する、データや関数等を動的に生成・消去する機能を、布線論理のみで実現させることである。これは、布線論理において、回路が別の回路を動的に生成・消滅させる (自立的再構成) 機能の実現を意味する。これをPCAでは、書き込まれ処理機能を実行する可変部と、可変部を制御し、また可変部上に構成された機能部間の通信を担う組込み機能部とをペアとする基本セルを敷き詰めることにより実現する (図1)。可変部上のある機能回路は組込み機能部を介して、別の機能回路を生成することができる。我々は、デバイスの設計・試作 (図2) [2,3] から、設計言語の策定、処理系や設計環境の構築 [4,5,6,7]、その応用 [8] に至るまでの研究・開発を鋭意進めている。

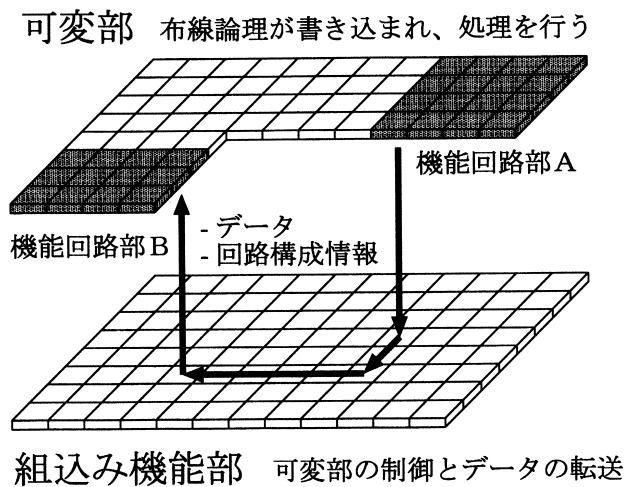


図 1 : Plastic Architectureの概念図

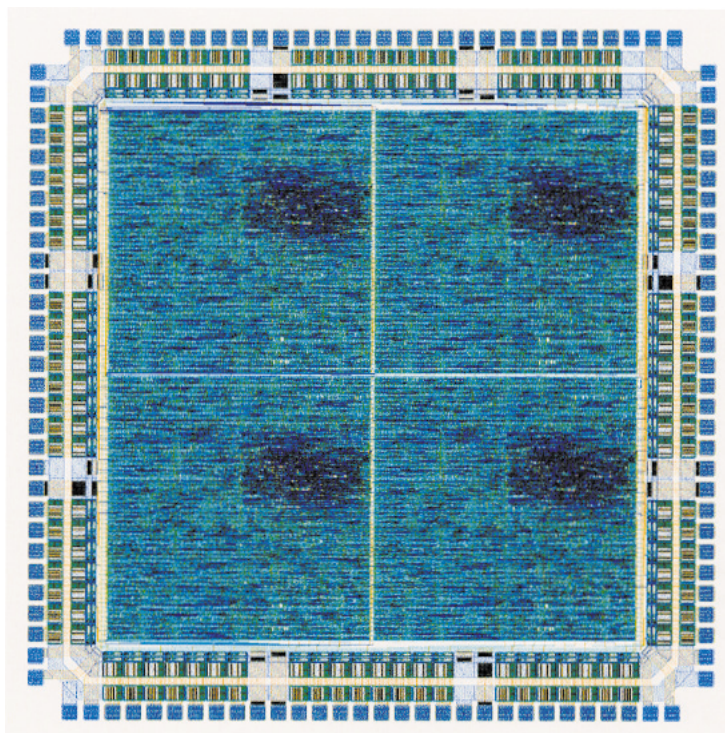


図 2 : 中村研で設計・試作したPlastic Cell Architectureチップ
(VDECを通じ、ローム社0.6 μ mプロセス使用)

2. PCAデバイスの設計と試作

PCAは図1に示すように、組込み機能部と可変部の2層のセルアレイ構造を持っている。対応する組込み機能部のセルと可変部のセルは信号の授受ができるように接続されており、また、組込み機能部のセル同士、可変部のセル同士はそれぞれメッシュ状に接続されている。可変部は、一再構成可能論理デバイスであり、可変部のセルは一種のLUT (Lookup Table) などの再構成可能論理素子からなる。組込み機能部は、可変部の再構成と通信をつかさどる。可変部上に構成された回路から組込み機能部に対して通信経路の設定を行い、データを送信することができる。さらに、可変部の空き領域に対して構成データを送信することにより、新しい機能回路を構成することができる。我々はそのような組込み機能部ならびに可変部のアーキテクチャを検討・設計し、VDEC (VLSI Design and Education Center) を通じて、チップの試作を行っている。[3] (図2)。

3. PCA用CADツール

PCAを汎用計算機として利用するためには、PCAのためのCAD (Computer Aided Design) ツールが必要となる。中村研では、これらツールとして、論理関数お可変部のセルアレイに埋め込むマップ [6]、論理回路を可変部のセルアレイにレイアウトするレイアウト [5]、回路編集用エディタ兼動作検証のためのシュミレータ [4] (図3) などを開発している。

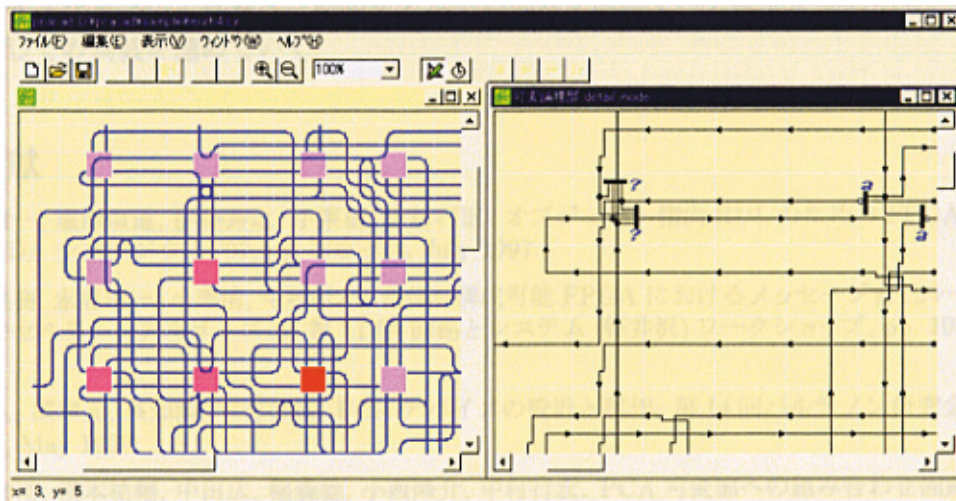


図3：PCACAD：中村研で開発したPCA用回路編集&シュミレーションCAD

4. 計算モデルの構築

ハードウェアを自立的に再構成することが可能になれば、全く新しい計算パラダイムとそれに伴う処理の必要性が生じる。そのような必要な処理のひとつとして、動的な領域管理が挙げられる。ソフトウェアのalloc (new)、free (delete) のような機構をPCA上で実現する方法 [7] (図4) などの研究を進めている。

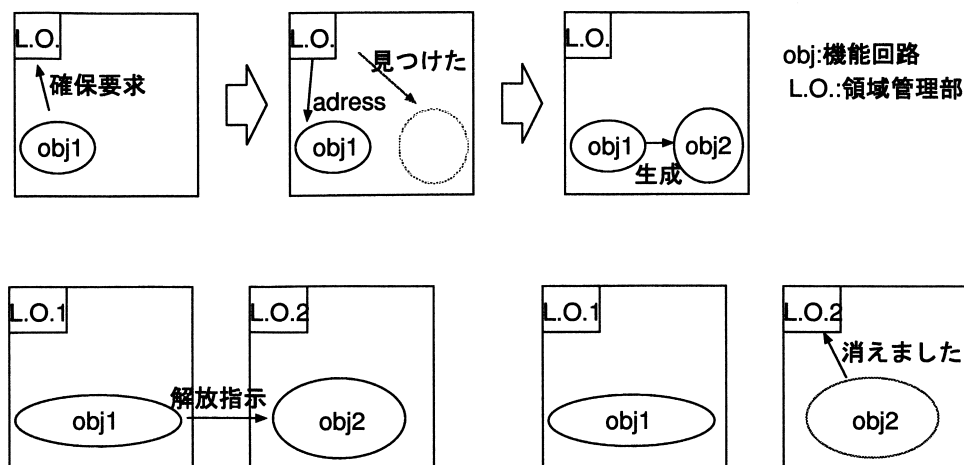


図4：Land Officer：PCAにおける動的な領域の確保（上）と解放（下）

5. おわりに

我々は論理回路その細粒度並列動作による高速性ならびに自立的な再構成機構による汎用性を求めて、Plastic Cell Architectureを提案している。これまで、アーキテクチャモデルの検討、処理モデルの検討、単位デバイスの設計と評価、シュミレーション環境の整備などを進めてきており、実際の情報処理システムとしてPCAを実現できるという確信を深めている。今後は、より高性能なデバイスならびにより高度な処理モデルや処理系を提案すべく研究を進めるとともに、実システムとしての実装を進めていく。

参考文献

- [1] 永見康一、塩澤恒道、伊藤秀之、小栗清、中村行宏、オブジェクト指向HDLのためのFPGAアーキテクチャ。DAシンポジウム'97,pp209-214, July 1997.
- [2] 中根良樹、永見康一、小栗清、中村行宏。自立再構成可能FPGAにおけるメッセージ自己ルーティングのためのセルラー・アルゴリズム。第11回 回路とシステム（軽井沢）ワークショップ,pp199-204 April 1998.
- [3] 境和久、深津元、泉知論、中村行宏。PCAデバイスの設計と試作。第14回パルテノン研究会資料集,pp28-36 May 1999.
- [4] 檜田和宏、根本祐輔、中田広、稲森稔、小西隆介、中村行宏。PCA可変部への組み合わせ回路レイアウト手法の検討とその可視化。第13回パルテノン研究会資料集,December 1998.
- [5] 渡辺大洋、檜田和宏、中村行宏。PCAにおけるLUTアレイへの回路レイアウトのための一手法。第14回パルテノン研究会資料集,pp19-28 May 1999.
- [6] Tomonori Izumi, Ryuji Kan, and Yukihiro Nakamura. Array-based mapping algorithm of logic functions into plastic cell architecture. In *Proc. of 9th Workshop Synthesis And System Integration of Mixed Technologies*,pp.91-98, April 2000.
- [7] Daisuke Murakami, Tomonori Izumi, Takao Onoye, and Yukihiro Nakamura. A hardware algorithm of dynamic area allocation to circuits for plastic cell architecture. In *Proc. of SCS Euromedia Conference*, May 2000.
- [8] 上田義勝、中村行宏、塩澤恒道、須山敬之。動的再構成可能回路を用いた新しい電磁粒子シュミレーション回路の設計。Technical Report CPSY98-84、電子情報通信学会、1998。