

氏名	おか だ けん いち 岡 田 健 一
学位(専攻分野)	博 士 (情 報 学)
学位記番号	情 博 第 75 号
学位授与の日付	平成 15 年 3 月 24 日
学位授与の要件	学 位 規 則 第 4 条 第 1 項 該 当
研究科・専攻	情 報 学 研 究 科 通 信 情 報 シ ス テ ム 専 攻
学位論文題目	集積回路における性能ばらつき解析に関する研究

(主 査)
論文調査委員 教授 小野寺秀俊 教授 中村行宏 教授 富田真治

論 文 内 容 の 要 旨

本論文は、集積回路の製造ばらつきを考慮した統計解析の手法についてまとめたものであり、以下の6章により構成されている。

第1章は序論であり、精度の高い統計回路解析を行うために、ばらつきの物理的要因を考慮した系統的なばらつき解析手法が必須であることを述べている。解析精度を向上するためには、実測特性の統計的性質を考慮したモデル化が必要であり、解析の対象とする回路特性を検討し、モデル化すべきデバイス特性について示している。系統的解析技術の必要性を述べたのち、本研究の目的および研究成果の概要を説明している。

第2章では、レイアウトを考慮した統計解析技術に重点を置き、ばらつきのモデル化、実測法、比精度解析技術について検討している。これまでの研究では、製造ばらつきのレイアウト依存性が十分に考慮されていなかったことを説明し、統計回路解析の解析精度を向上させるために、実測特性に基づく系統的なレイアウト依存性の解析が重要であることを述べている。提案手法では、製造ばらつきを局所ばらつきと大域ばらつき、および、レイアウトに依存するばらつきに分離することで、統計的性質の違いを考慮したモデル化を行っている。レイアウトに依存するばらつきについては、ローディング効果のモデル化を行い、実測値からモデルパラメータを抽出する手法について提案している。モデル化から解析まで各種の改良を行ない、統計回路解析においてレイアウト依存性を考慮する手法について述べている。提案手法の有効性を示すため、カレントミラー回路の比精度解析実験を行っている。

第3章では、微細プロセスで製造されるトランジスタについて、素子特性ばらつきのモデル化を行い、ばらつきのサイズ依存性やバイアス依存性、配置位置に依存するばらつきの統計分布を表すためのモデルを提案している。製造ばらつきを数種の物理パラメータにより表現することで、トランジスタ特性のモデル化を行っている。これまでの研究ではチップ内での振舞のみに注目したモデル化が行われており、そのようなモデル化ではウェファ全体におけるばらつきの統計分布を正しく表せないことを説明し、大域的な変動を近似関数によりモデル化する手法を提案している。提案モデルの有効性を検証するために、実測による評価を行っている。複数のチップからの実測値に基づき、大域ばらつきが必ずしも正規分布としないことを確認している。実測した統計分布をもとに、回路特性ばらつきへの影響を評価し、提案手法について有効性の確認を行っている。

第4章では、前章で提案したモデルについて実測値からモデルパラメータを抽出するための手法について説明している。実測した電流特性のばらつきを、物理パラメータのばらつきにより表現し、電流特性に対する各物理パラメータの感度を考えることで、各パラメータのばらつきを統計的に分離する手法を提案している。抽出手法の有効性を確認するために、実測したリングオシレータ回路の発振周期との比較を行っている。リングオシレータの発振周期のばらつきについて、段数が長くなるほど局所ばらつきの影響が平均化されて小さくなることに注目し、段数の異なる複数のリングオシレータについて比較を行っている。提案手法によるモデルパラメータを用いた統計回路解析の結果と、リングオシレータの実測結果とを比較

し、実測とシミュレーションで傾向が一致することから提案手法の有効性を確認している。

第5章では、デジタル回路の統計遅延解析手法について説明している。大規模回路の解析を行うためには、解析精度と計算時間の両立が重要であることを説明し、応答曲面法を用いた論理ゲート遅延時間のモデル化手法について提案している。複数の正規分布の和がまた正規分布で表されるという統計的性質を利用し、変動変数を削減することにより計算コストを削減している。ゲート内の相対的なばらつきを考慮するために、各トランジスタにおける感度係数を用いる方法を提案している。感度係数を再利用することで、計算精度は高いままに計算コストを削減すること成功している。回路解析実験を行い、従来手法に対する解析精度の改善を確認している。

第6章は結論であり、本論文で得られた結果を総括的にまとめ、今後の課題について述べている。

論文審査の結果の要旨

近年の超微細集積回路技術において、MOSFET トランジスタの絶え間ない微細化が進行する一方、特性のばらつき量が相対的に増大する事が問題となっている。製造時のばらつき抑制にも限界があり、回路設計において素子ばらつきを考慮することが必須となっている。従来から製造ばらつきを考慮した統計回路解析は行われていたが、実際の素子ばらつきの統計的性質を反映した系統的な統計回路解析手法の研究が求められている。

本論文は、系統的なばらつきのモデル化について検討すると共に、ばらつきモデルに基づく統計的特性解析技術について検討を行ったものであり、得られた主な成果は以下の通りである。

1. レイアウトを考慮した解析手法においては、位置に依存するばらつきや、レイアウトの疎密度により変動を与えるローディング効果のモデル化を行った。提案モデルを用いた統計回路解析の手法を示し、計算機実験によりその有効性を確認した。
2. 広範な統計回路解析を行うために、素子ばらつきのサイズ依存性やバイアス依存性、位置に依存するばらつきの統計分布を表すためのモデルを提案した。統計回路解析の実験を行い、提案モデルの有用性を確認している。
3. 提案モデルのパラメータを実測値から抽出する手法を示した。素子特性のばらつきについて、素子間のランダムなばらつきと、チップ間の系統的なばらつきを分離することが重要であるが、パラメータの変動が電流特性に及ぼす感度を考えることで、統計的にばらつき要因を分離する手法を提案した。実測した発振周波数のばらつきにより、抽出したモデルパラメータが予想した傾向を示すことを確認した。
4. 統計遅延解析手法においては、ゲート内の相対的なばらつきを考慮するための遅延モデルを提案した。ゲート内の各トランジスタに感度係数を割り当て、正規分布の統計的性質から計算コストの削減を行った。さらに、感度係数を再利用することで、計算精度を落さず計算コストを削減することが可能である。

以上、本論文は、広範な統計回路解析を行うための素子ばらつきモデルを構築するとともに、高精度な統計解析手法について提案している。実測結果からも提案手法の有用性を確認しており、学術上、応用上寄与するところが少なくない。よって、本論文は博士（情報学）の学位論文として価値あるものと認める。また、平成15年1月28日実施した論文内容とそれに関連した試問の結果合格と認めた。