

氏名	つちやあきら 土谷 亮
学位(専攻分野)	博 士 (情 報 学)
学位記番号	情 博 第 185 号
学位授与の日付	平成 17 年 11 月 24 日
学位授与の要件	学位規則第 4 条第 1 項該当
研究科・専攻	情報学研究科通信情報システム専攻
学位論文題目	A Study on Modeling and Design Methodology for High-Performance On-Chip Interconnection (LSI 内高性能配線のモデル化および設計手法に関する研究)
論文調査委員	(主 査) 教授 小野寺秀俊 教授 富田真治 教授 松山隆司

論 文 内 容 の 要 旨

本論文は、LSI 内の高性能配線のモデル化と設計手法について検討し、実験的にその有効性を確認したもので、7章からなっている。

第 1 章は序論であり、近年の LSI 製造プロセスの微細化によって深刻化している配線の性能不足の問題や、GHz を超える高周波での配線モデル化の困難、配線戦略の複雑化といった研究背景について述べている。その後、周辺研究の動向に言及し、本研究の目的、および行った研究の概要を述べている。

第 2 章では、配線構造から特性を抽出する手法について議論されている。高周波の配線モデル化において、電流がどのような経路を流れるかというリターンパスの特定が大きな問題である。本章では、着目する配線の周辺の配線から、特性への寄与が大きい配線を選択する手法を提案している。また、従来リターンパスになるかどうかが明確でなかった直交配線や基板についても実験的にその影響を評価している。

第 3 章では、配線の特性をどの周波数でモデル化すべきかを決定する手法を提案している。LSI 内配線の特性は周波数に依存するため、等価回路でモデル化するためには、どの周波数の特性を用いるかが重要である。従来、周波数の決定は入力されるパルス形状から決定されてきた。提案手法では配線の伝達特性に着目することで、伝搬する波形を高い精度で再現できる。提案手法を用いることにより、様々な配線形状において遅延時間や信号立ち上がり時間などを精度よく評価できることを実験的に示している。

第 4 章では、配線性能の解析的見積もり手法を提案している。LSI 内配線の特徴として、抵抗成分による損失が非常に大きいことが挙げられる。本章では、配線の損失に着目し、配線通過後のアイダイアグラムの開口を見積もる解析式を導出している。解析式の結果は回路シミュレーションの結果によく一致し、導出された式が妥当であることを示している。また、解析式は配線終端の最適設計やばらつきへの感度評価に応用が可能であることを示し、配線終端の設計指針を提示している。

第 5 章では、配線と駆動するドライバ回路の設計について議論している。LSI 内のドライバ回路は大きく分けて static CMOS 回路と CML に分けることができる。static CMOS 回路については、インピーダンス整合よりも配線の損失成分の補償を優先して設計することにより、信号を電磁波の速度で伝搬可能であることを示している。また、高速動作に用いられる CML については各設計パラメータの関係を明らかにし、小信号解析に基づいて帯域を見積もる手法を提案している。帯域の見積もり手法を提案することで、帯域と消費電力のトレードオフ解析などを可能としている。また、CML の将来動向予測にも提案手法は有効である。

第 6 章では、第 4 章と第 5 章で議論された内容を統合し、信号伝送系全体の性能見積もり手法を提示している。配線性能予測とドライバ・レシーバ回路性能予測を統合することで、配線長・伝送速度がどの領域でどの要素が性能を律速するかを明確にしている。また、シングルエンド伝送と差動伝送をどのように使い分けるべきかも示している。

第 7 章は結論であり、本論文で得られた結果を総括的にまとめている。

論文審査の結果の要旨

近年のLSIの高性能化に伴ない、信号を伝達する配線の性能不足が深刻化している。また、マイクロプロセッサのマルチコア化などの傾向から、チップ内信号伝送の広帯域化への要求も高まっており、チップ内で高速に信号を伝搬する技術はLSI高性能化にとって必須の技術となっている。

本論文は、LSI内配線に着目し、そのモデル化技術・設計技術について検討している。配線に関しては物理構造からの特性抽出、等価回路でのモデル化、解析的な性能評価のそれぞれについて一解決手法を提案している。配線の駆動回路に関しても議論されており、配線と回路を統合した性能見積り手法を提示している。また、実験的に提案手法の有効性を評価を行っている。本論文で得られた主な成果は以下の通りである。

1. 配線の物理構造から特性を抽出する手法として、特性への寄与の大きい周辺配線を選択する手法を提案した。提案手法を用いて必要十分な周辺配線を考慮することにより、高い精度での特性抽出が可能となる。また、直交配線や基板といった要素の影響についても検討し、その影響を示している。これらの検討は実際にチップを試作し測定した結果に基づいており、現実に則した検討となっている。

2. 配線を等価回路でモデル化する際、どの周波数成分に着目すべきかを示す手法を提案した。提案手法を用いて配線をモデル化することで、従来手法よりも高い精度で伝搬遅延時間などを評価することができる。

3. 配線の帯域を解析的に導出した。LSI内配線の特徴である損失の大きさに着目し、アイダイアグラムの開口を解析的に導出しており、性能予測などに有効である。また、配線終端の設計やばらつきへの感度評価への応用も示されており、実用性が高い。

4. ドライバ回路の設計手法・性能見積り手法を提案した。従来のCMOSインバータについて、信号を電磁波の速度で伝搬するための設計手法を提案した。高速動作に用いられるCMLについて、小信号解析から帯域を見積もる手法を提案した。また、3.の手法と統合して信号伝送系全体の性能見積り手法を提案し、配線長と帯域のトレードオフなどを提示している。

以上、本論文は、LSI内の配線設計に伴なう諸問題に対して、物理構造から性能見積りまでを網羅的に検討しており、設計指針を提示している。各提案手法は計算機上での実験および実チップの測定によって、その有効性が確認されている。本論文の内容は、学術上、応用上ともに寄与するところが少なくない。よって、本論文は博士（情報学）の学位論文として価値あるものと認める。また、平成17年10月25日実施した論文内容とそれに関連した試問の結果合格と認めた。