

CMOSによる3値記憶回路

大分大 工学部

牟田 征一

1. はじめに

CMOSによる2値回路の重要な性質の一つとして、静的消費電力がほぼ零、すなわち漏えい電流によるもののみということがある。この性質があるので、2値のCMOSメモリは容易にバッテリバックアップができる。

本稿では、この静的消費電力がほぼ零という性質をもつ新しいCMOS 3安定回路を提案する。なお、3安定回路とは、3つの安定状態をもち、3値記憶回路（レジスタ、メモリなど）の基本的な要素となる回路である。

これまで、CMOSを用いた3安定回路については多くの提案がなされてきた^{(1)~(9)}。そのうち、一二の回路^{(6),(8)}は静的消費電力が零となることを意図して構成されている。しかし、これらの回路はMOS-FETに固有の性質であるいわゆる基板効果⁽¹⁰⁾を考慮していなかったため、十分安定に動作する

とは言い難い。そこで本稿では、基板効果を考慮した回路の構成を行い、市販のCMOS-ICを用いた実験によって、回路が安定に動作することを確認めた。

2. CMOS について

CMOSによる安定回路について述べる前に、準備として、CMOSについて注意すべきいくつかの点を述べる。

(1) CMOSの記号と特性

CMOSはNチャネルMOS-FET（以下NMOSと略称）とPチャネルMOS-FET（以下PMOSと略称）から構成されている。図1にNMOSとPMOSの記号を示す。

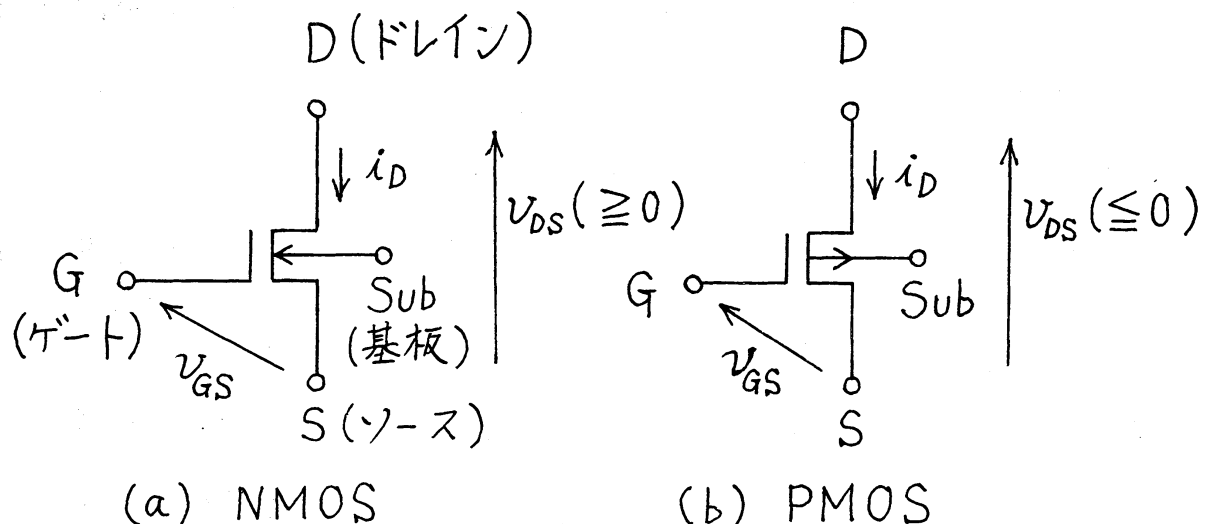


図1 MOS-FETの記号

MOS-FET では、ドレイン・ソース間電流 i_D がゲート・ソース間電圧 v_{GS} によって制御される（もちろん、 v_{DS} も関係する）。図2(a)に、最も基本的なCMOS回路であるCMOSインバータを示す。図2(b)にはCMOSインバータの特性を示す。図2より、CMOSインバータは2値入力電圧0および V_{DD} において、 $i_{DD} \doteq 0$ 、すなわち消費電力がほぼ零となることがわかる。

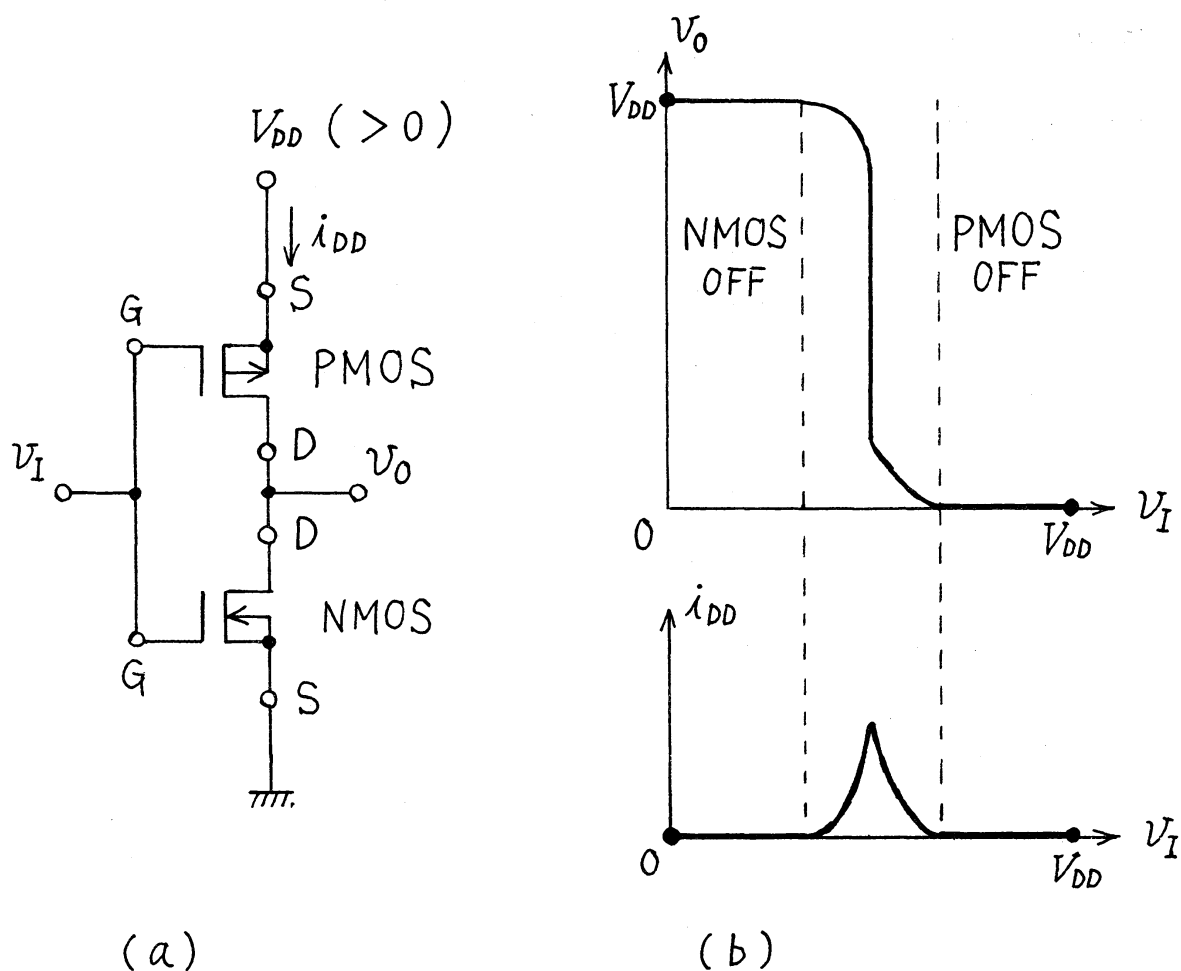


図2 CMOSインバータとその特性

(2) 基板効果

ここで基板効果について述べる。基板効果とは、ソースS・基板Sub間にバイアス電圧を印加したときに、ゲート・ソース間電圧のドレイン電流への制御特性が変化することを言う。図3に基板効果の実験例を示す。CMOSにおいては、通常図3のように、NMOSの基板効果はPMOSに比べて大きく無視できない。しかし、NMOSの基板は、図4のCMOSの構造図に示すように、Pウェルから成るので、バイアスの印加に自由度がある。

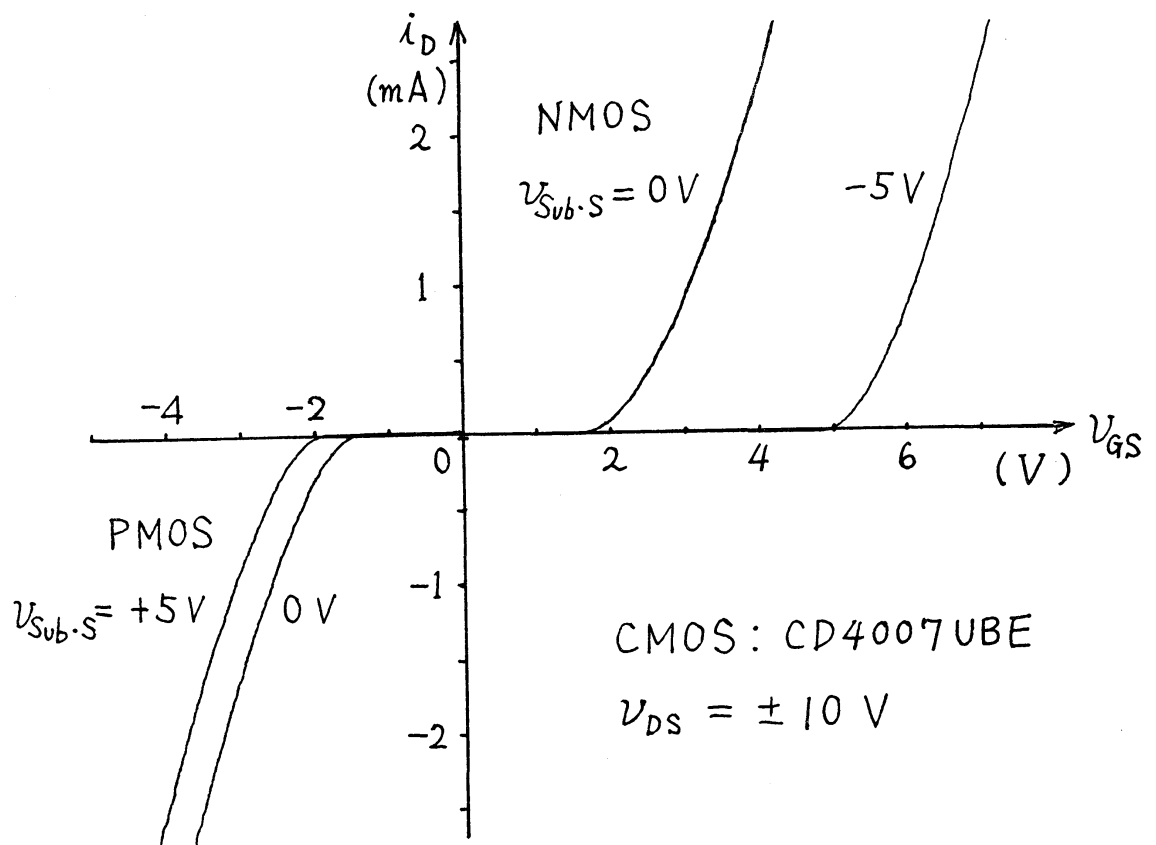
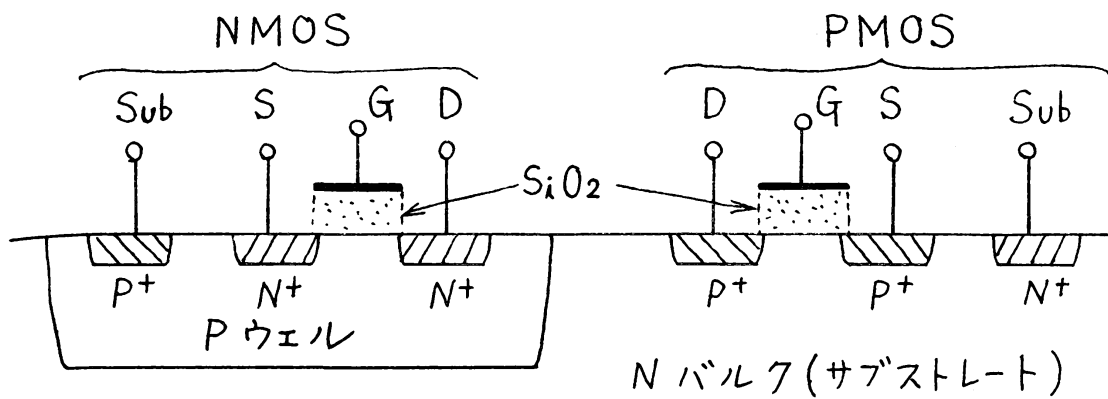


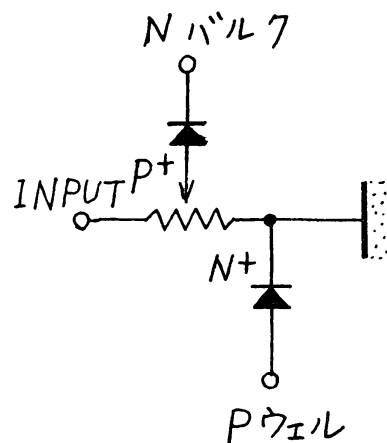
図3 基板効果の実験例

図4 CMOSの構造⁽¹¹⁾

(3) 入力保護回路

CMOSの入力側には図5に示すような入力保護回路が設けられている。これは過大な入力電圧によるゲート酸化膜の破壊を防止するためである。

したがって、同一基板上のCMOS回路を想定して、その模擬実験を市販のCMOS(4007等)を組合せて行う場合には注意を要する。

図5 入力保護回路の例⁽¹¹⁾

3. 3安定回路

静的消費電力がほぼ零となる3安定回路をCMOS 4007を用いて実現した回路を図6(a)に示す。ただし、図の回路が3安定回路となるのは、端子IN-OUT間が短絡の場合である。IN-OUT間を結線しないとき、図の回路は3値バッファとなる。ところで、図6(a)の回路において、抵抗 R とPMOS P_5 は、NMOS N_1 に入力保護回路がついているために付加された素子である。したがって、4007の組合せではなく、同一チップ上に3安定回路を製造する場合には、図6(b)の回路が可能となる。表1に、図6(a), (b)の回路を3値バッファとして動作させるときの各MOS-FETの状態および各部の電圧を示す。表に示すように、 $V_{IN} = V_{DD}, 0, -V_{DD}$ において、 P_i と N_i ($i = 1, 2, 3, 4$)が同時にONとなることはない。図7に、図6(a)の回路を3値バッファとして動作させたときの実験結果を示す。図7には、又、図6(a)の回路を3安定回路として動作させるときの安定点を黒丸印で示している。図7より、図6(a)の回路は、3値バッファとして良好な直流電圧伝達特性(図7(a))をもつこと、並びに3安定回路として各安定状態における消費電力がほぼ零となることがわかる。なお、図7に示す結果は $V_{DD} = 5V$ の場合であるが、 $V_{DD} = 4V$ 及び $6V$ においても

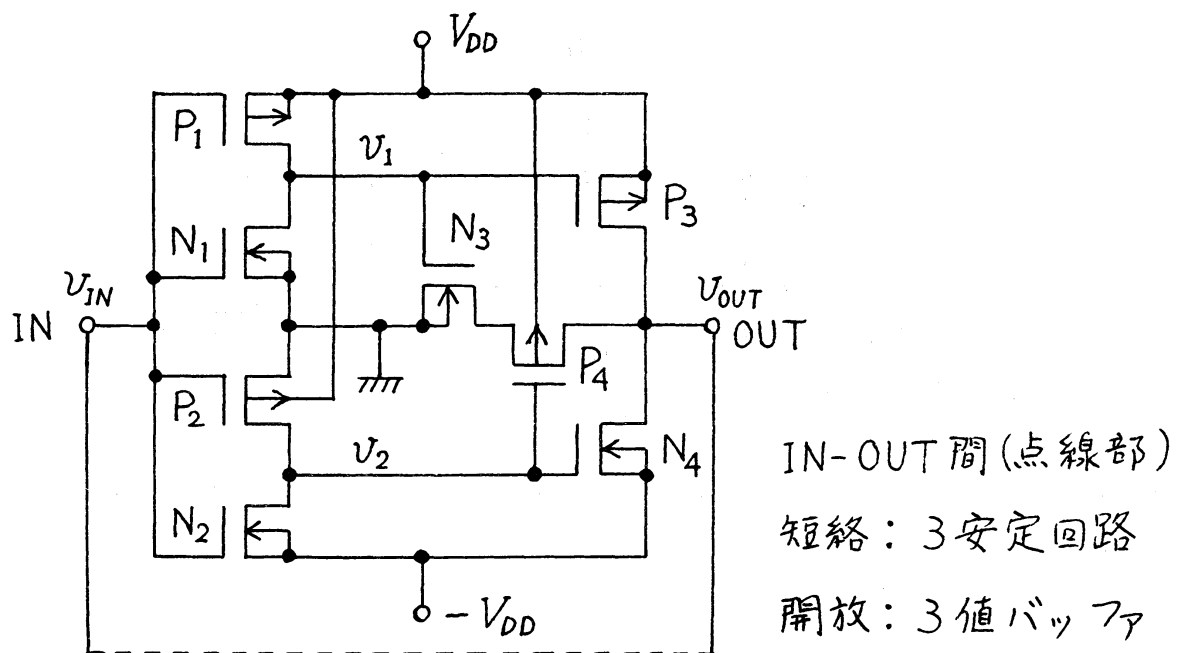


図6(b) CMOS 3安定回路(同一チップ上に製造する場合)

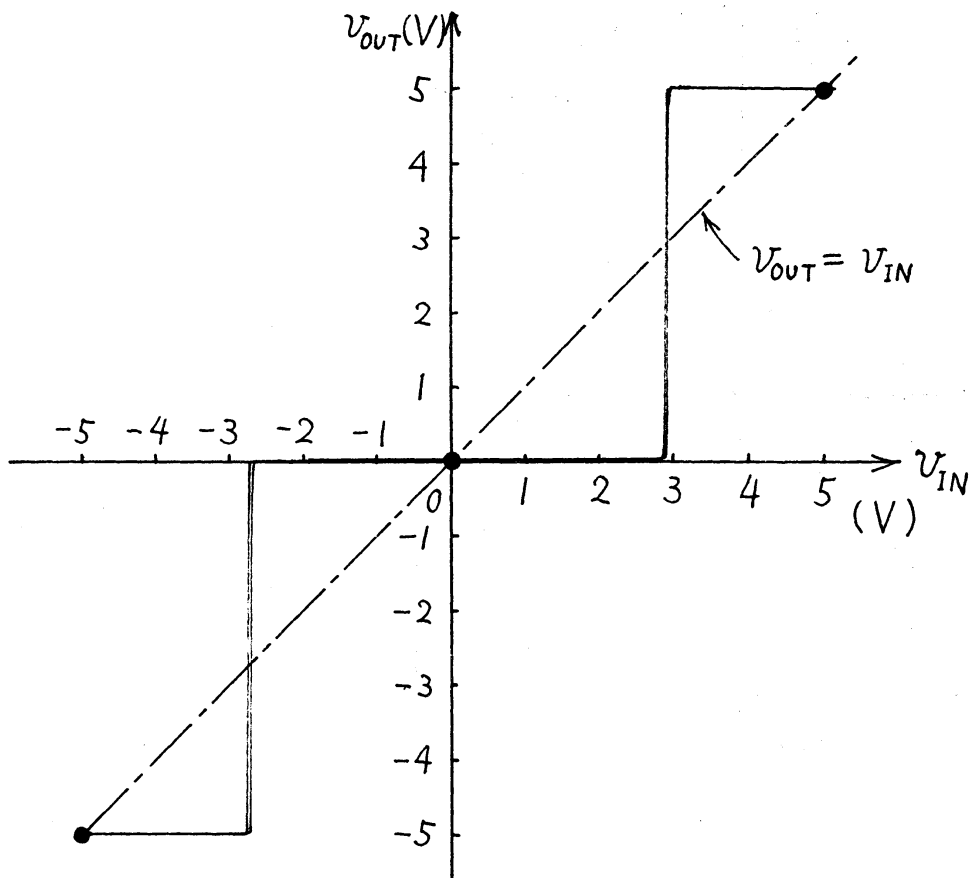
表1 3値バッファの動作

(a)

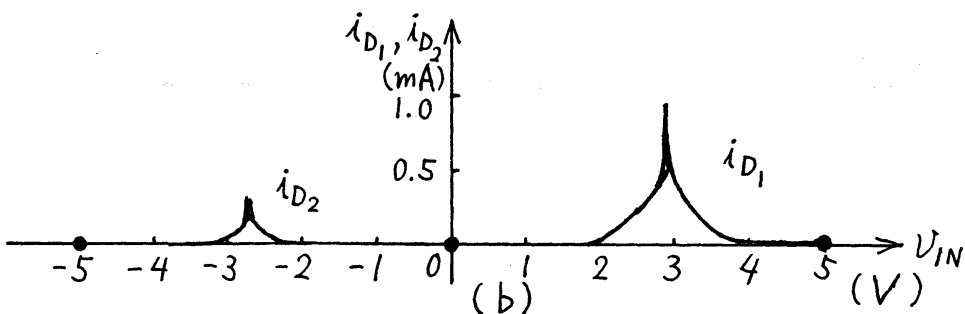
v_{IN}	P_1	N_1	v_1	P_2	N_2	v_2	P_5
V_{DD}	OFF	ON	0	OFF	ON	$-V_{DD}$	ON
0	ON	OFF	V_{DD}	OFF	ON	$-V_{DD}$	ON
$-V_{DD}$	ON	OFF	V_{DD}	ON	OFF	0	OFF

(b)

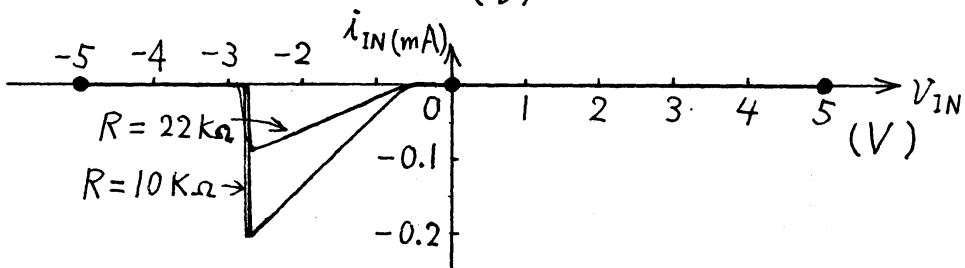
v_{IN}	v_1	v_2	P_3	N_3	P_4	N_4	v_{OUT}
V_{DD}	0	$-V_{DD}$	ON	OFF	ON	OFF	V_{DD}
0	V_{DD}	$-V_{DD}$	OFF	ON	ON	OFF	0
$-V_{DD}$	V_{DD}	0	OFF	ON	OFF	ON	$-V_{DD}$



(a)



(b)



(c)

図7 3値バッファの特性と3安定回路の安定点
(図6(a)の回路, $V_{DD} = 5$ V, $\bullet$ 印: 安定点)

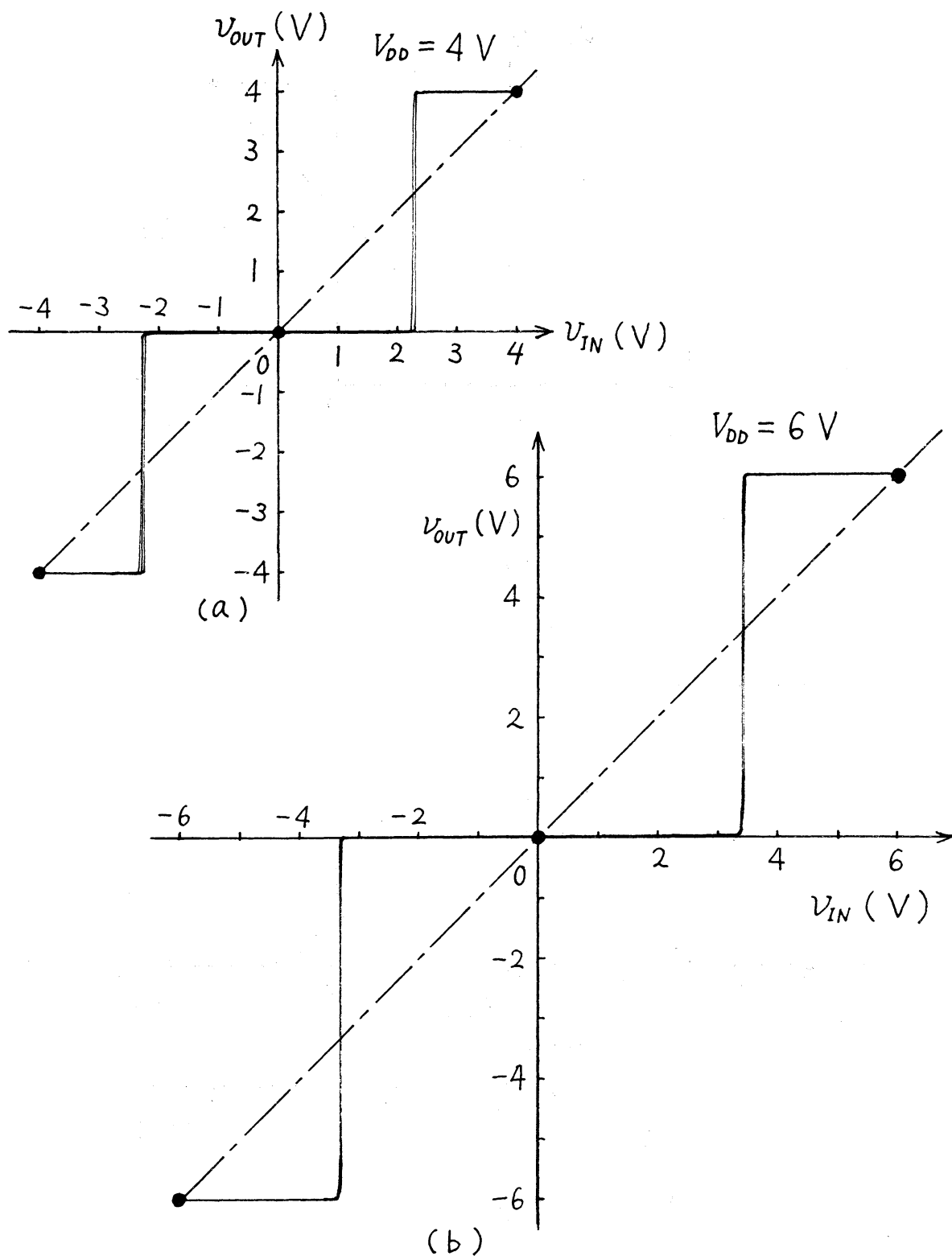


図8 3値バッファの特性と3安定回路の安定点(2)
(図6(a)の回路, ●印: 安定点)

ほぼ同様の結果が得られた。図8(a), (b)に, それぞれ $V_{DD} = 4V, 6V$ における3値バッファの直流電圧伝達特性と3安定回路の安定点と共に示す。

5. むすび

静的消費電力がほぼ零という性質をもつCMOS 3安定回路を提案した。市販のCMOSを用いた実験によって, この回路は, 電源電圧 $V_{DD} = 4 \sim 6V$ で良好な直流特性をもつことが確かめられた。

今後の課題としては, CMOS 3値論理回路について, 静的消費電力がほぼ零という特徴をもつ回路を開発することが重要であろう。

文 献

- (1) 中原, 牟田: “相補MOSトランジスタによる三安定回路”, 信学誌, 50, 7, pp. 129-130 (昭42-07).
- (2) 牟田, 中原: “3端子スイッチ素子による多安定回路の一構成法”, 信学論(C), 51-C, 5, pp. 227-228 (昭43-05).
- (3) H. T. Mouftah and I. B. Jordan: “Design of ternary COS/MOS memory and sequential circuits”, IEEE

- Trans. Comput., C-26, 3, pp. 281-288 (Mar. 1977).
- (4) J.L. Huertas, J.I. Acha, and J.M. Carmona: "Design and implementation of tristables using CMOS integrated circuits", IEE J. Electron. Circuits and Syst., 1, 3, pp. 88-94 (1977).
- (5) 牟田: "3安定回路の構成法", 信学論(D), J61-D, 4, pp. 214-221 (昭53-04).
- (6) H.T. Koanantakool: "Implementation of ternary identity cells using C.M.O.S. integrated circuits", Electron. Lett., 14, 15, pp. 462-464 (July 1978).
- (7) J.L. Huertas and J.M. Carmona: "Low-power ternary C-MOS circuits", Proc. 1979 ISMVL, pp. 170-174, (May 1979).
- (8) 牟田: "CMOSのみからなる3値論理回路", 昭54電気四学会九州支部連大, 116 (昭54-10).
- (9) 村中, 今西: "CMOSを用いた3値3安定フリックフロップ回路", 信学論(D), J64-D, 5, pp. 445-446 (昭56-05).
- (10) 武石, 金山 監訳, W.M. Penney, L. Lau 著: "MOS 集積回路", p. 95, 近代科学社 (昭49).
- (11) "COS/MOS integrated circuits manual", RCA Solid State Data Book (1974).