

氏 名	佐 藤 寿 倫
学位(専攻分野)	博 士 (工 学)
学 位 記 番 号	論 工 博 第 3406 号
学位授与の日付	平 成 11 年 1 月 25 日
学位授与の要件	学 位 規 則 第 4 条 第 2 項 該 当
学 位 論 文 題 目	History Directed Processor Architecture (オンチップメモリ上に構成された動的な実行履歴を利用するプロセッサアーキテクチャに関する研究)
	(主査)
論文調査委員	教 授 田 丸 啓 吉 教 授 富 田 眞 治 教 授 中 村 行 宏

論 文 内 容 の 要 旨

プロセッサの高性能化の要求に対して、命令レベルの並列性を利用する方法がスーパースカラー方式やVLIW方式として使用されている。一方集積回路技術の進歩を利用する方法としてプロセッサとメモリの1チップ化技術が開発されている。

本論文はスーパースカラープロセッサを実現する上で発生する各種の依存制約を、オンチップ上の分散メモリを利用するアーキテクチャの形で解決する技術の研究成果について述べている。またこれらの結果を利用して、バイナリプログラムレベルでコンパチビリティを保ちながら、ハードウェアリソースの増加に対応してプロセッサ性能を向上させる新しいアーキテクチャを、実行履歴を利用するプロセッサアーキテクチャ (History Directed Processor Architecture) と名付けて提案している。論文は11章から構成されている。

第1章は序論で命令レベル並列性について問題点を説明し、加えて本論文の構成について述べている。

第2章は性能評価に使うシミュレータ、コンパイラとベンチマークプログラムについて述べている。

第3章はロード命令のレイテンシー短縮の方法として、従来のデータアドレス予測の方法を改良したトンネリングロード法を考案したことについて述べているこの方法ではレジスタ識別バッファを使用して平均約11%の性能改善が可能であることを示している。

第4章ではデータ依存の予測がミスした場合の命令回復メカニズムについて検討し、命令を再度メモリから読み出すのではなく、拡張したレジスタアップデートユニットを使用して命令の再発行を行うことによりペナルティを減らす方法について述べている。

第5章ではメモリを介したデータ依存問題の解決法として参照予測テーブルを使用してデータの実効アドレスの予測を行い、ロード命令を投機的に実行する方法について述べている。

第6章ではデータ依存問題の解決法として改良したロード値予測法の開発について述べている。この方法は3種類のテーブルにより同じ番地を参照するロード命令とストア命令を関連づけて、テーブル内の記憶データをロード命令の予測値として使用するもので、簡単で実用的な方法である。平均3～9%の性能改善が可能であることを示している。

第7章ではデータ値予測による投機実行の有効性と予測精度の関係について実験的に解析し、プロセッサの性能改善には正しく予測された命令の比率がロード値予測では80%必要であることを示した。

第8章では分岐予測精度の改善に、タグ付き分岐履歴テーブルの有効性を検討した。タグ付きによる予測精度の向上と置換の増加による損失のトレードオフを調べた結果タグを付けることによる精度向上の利点がないことを明らかにした。

第9章では命令読出しの効率を改善し、バンド幅を拡大する方法として、非連続的ペーシックブロックバッファと名付けた方法を考案した。これは分岐先バッファの機能を拡張したもので、評価の結果では8並列の場合約11%のバンド幅増加を可能にした。

第10章ではこれまで説明した各種の手法を利用して、プロセッサの性能を向上させる新しいアーキテクチャを提案してい

る。基本的な利点は、集積技術の進歩により並列に動作可能な機能ユニット数が増加しても、比例してプロセッサの性能が向上しない問題を、特に旧来のソフトウェアとの関係を考慮してバイナリレベルのコンパチビリティを保ちながら解決することである。このためプロセッサリソースを最大に活用するようにバイナリプログラムを動的に再構成するHistory Directed Processor Architectureと名付けたアーキテクチャを考案した。

第11章は結論で、本論文の内容をまとめるとともに将来の課題を示している。

論文審査の結果の要旨

集積回路技術の進歩により、プロセッサのハードウェアリソースは増加している。これを活用するため命令レベル並列性の技術が開発されているが、命令やデータに存在する依存関係や分岐制御の問題は、まだプロセッサの性能向上を制約している。本論文は命令レベル並列性の問題を分散メモリの形で解決するアーキテクチャを研究した成果と、そのアーキテクチャを使用して古いプログラムのバイナリレベルコンパチビリティを保ちながら、プロセッサ性能の向上を実現する新しいアーキテクチャの考えを提案したもので、得られた成果は以下のとおりである。

1. ロード命令のレイテンシー短縮の方法として、レジスタ識別バッファを使用したトンネリングロード法を考案した。
2. データ依存の予測がミスした場合、拡張したメモリアップデートユニットを使用して命令再発行のペナルティを減らす命令回復メカニズムを考案した。
3. データ依存関係の解決法として、3種類のテーブルによりロード命令とストア命令を関連づけて、テーブル内の記憶データをロード命令の予測値として使用する改良ロード値予測法を開発した。
4. 命令読出しの効率を改善するため非連続的のベースックブロックバッファを使用する方法を提案した。
5. 古いバイナリプログラムの実行履歴を利用して、動的に再構成することにより、新しいハードウェアリソースの増加したプロセッサの性能を十分に活用できるアーキテクチャを提案した。

以上要するに本論文は、命令レベル並列実行に存在する各種の制約を分散メモリをベースにした構造により解決する方法を考案するとともに、この方法を利用して古いプログラムでも新しい構成のプロセッサ上で効率良く実行するためのアーキテクチャを提案したもので、得られた成果は学術上、實際上寄与するところが少なくない。よって本論文は博士（工学）の学位論文として価値あるものと認める。また平成10年12月15日に論文内容とそれに関連する事項について試問を行った結果、合格と認めた。