

組合せ論理回路の面積複雑度

京大 工学部 安浦寛人
矢島脩三

1. まえがき 大規模な論理回路を VLSI (大規模集積回路) として実現する際に, 論理設計の段階からレイアウト後の回路の規模を評価する手法が重要である。VLSI 上の回路規模を, 素子や配線・端子等をまとめて「面積」という尺度で評価する手法が理論的に確立されつつある⁽¹⁾⁽²⁾⁽³⁾。本稿では, 入出力を回路を埋め込んだ凸領域の周上で行なうという条件の下で, 与えられた論理回路の埋め込みに最低限必要となる面積を評価する方法を提案する⁽⁴⁾。本稿では、特に木状回路について, 新しく導入する実効高度という尺度により, 入出力数 n , 実効高度 h の回路の埋め込みに必要な面積の下限が, $\Theta(nh)$ となることを示す。さらに, 組合せ論理回路によって n 変数の論理回路を計算する場合の面積と計算時間のトレードオフに関する下界も与える。

2. 準備 すべての2変数論理関数の集合 $B = \{f | f: \{0, 1\}^2 \rightarrow \{0, 1\}\}$ を基底とする。基底 B 上の組合せ論理回路 C を次のように定義する。

- (1) C はラベルのついた閉路を含まない有向グラフで、各節点の入次数は、0, 1, 2 のいずれかである。
- (2) 入次数0の節点は 入力点 で、入力変数がラベルとして付けられる。入次数1の節点は 出力点 で、出力変数がラベルとして付けられる。入次数2の節点は、ゲートに対応し、計算点 と呼ばれ、 B 中の関数がラベルとして付けられる。

各節点の出力が、2つ以上の節点に入力されていないとき、 C は ファンアウトフリー という。

本稿で考える VLSIモデル⁽²⁾ は、次のようなものである。

- (1) 回路は 凸領域 R 上に埋め込まれる。
- (2) 配線は、最小幅入 (定数) 以上の幅を持つ。
- (3) R 上の任意の点で重なり合うことのできる配線の数は、高々 ν ($\nu \geq 2$, 定数) である。
- (4) 回路中の 論理素子 (ゲート) は $\lambda \times \lambda$ の正方形より大きく、その面積・形状は種類により決まっている。
- (5) 配線と論理素子、論理素子同士は重り合わない。
- (6) 回路の入出力は、領域 R の周上で配線によって行なわれる。⁽⁴⁾

組合せ回路 C の凸領域 R への埋め込み とは、次のように

定義される。⁽⁵⁾

- (1) C の計算点は R 中の論理素子と 1 対 1 に対応する。
- (2) C の入力点, 出力点は, R の周上の長さ λ 以上の線分または弧に 1 対 1 に対応する。これを 入出力ポート と呼ぶ。
- (3) C 中で枝で結ばれた節点に対応する R 中の論理素子および入出力ポートは配線により接続される。

組合せ回路 C を埋め込むのに必要となる最小の面積を, C の 面積複雑度 $\text{Area}(C)$ と呼ぶ。

[補題 1]⁽²⁾ 面積 A , 周の長さ L , 直径 D の凸領域について,

$$\frac{\alpha D L}{2\pi} \leq A \leq \frac{\pi D^2}{4}$$
 が成立する。ここに, α は形状比と呼ばれ, 長さ D の弦 (直径) に垂直な弦の中で最長のものの長さと D の比である。

3. 木状回路の埋め込み

組合せ回路 C の各枝を無向枝と見た際, 連結で閉路を含まず, 入出力点の次数がすべて 1 であるとき, C は木状回路と呼ばれる。ファンアウトフリーな回路は, 木状回路である。

木状回路 C は入出力点を 1 つ除去すると, 除去した入出力点に隣接する点を根節点とする 2 分木と考えることができる。2 分木の 実効高度 (effective height) を以下のように定義する。

(1) 葉節点のレベルを 0 とする。

(2) 各内部節点または、根節点 v に対し、 v のラベル $label(v)$ を、その子節点 v_1, v_2 のラベルから次のように決める。

if $label(v_1) = label(v_2)$

then $label(v) := label(v_1) + 1$

else $label(v) := \max\{label(v_1), label(v_2)\}$

(3) 根節点のラベルを T の実効高度とする。

〔補題 2〕実効高度 h の 2 分木の凸領域 R への埋め込みにおいて、 R の任意の弦 c に対し、 c に垂直で、 $\lceil \frac{h}{2} \rceil$ 個以上の素子または配線を横切る弦が少なくとも 1 本は存在する。

(証明略)⁽⁴⁾

この補題は、2 分木の埋め込みにおいて、その実効高度に比例した領域の幅が必要であることを示している。補題 1 と補題 2 とから、次の補題 3 を得る。

〔補題 3〕 n 個の入出力を持つ木状回路 C が、実効高度 h を持つとき、

$$area(C) \geq \frac{n h^2}{4\pi \mu}$$

が成立する。ここに C の実効高度は、 C 中の任意の入出力点を 1 つ除去して得られる 2 分木の実効高度の最大値とする。

(証明) 補題 2 より、領域の直径の長さを持つ弦に垂直な弦で、長さが $\lceil \frac{h}{2} \rceil$ 以上のものが必ず 1 本は存在する。一方、

領域の周の長さは、 n 個の入出力ポートのために $n\lambda$ 以上必要である。よって、補題 1 より、 $\text{area}(C) \geq \lceil \frac{n\lambda}{2\pi} \rceil (n\lambda) / 2\pi$ を得る。 (証明終)

補題 3 の λ と n は定数であるから、 $\text{area}(C) = \Omega(n\lambda)$ となる。次の補題は、この下界が、オーダとして下限となっていていふことを出張する。

〔補題 4〕 n 個の入出力点を持ち、実効高度 h の木状回路に対して、面積が $O(nh)$ であるような長方形領域への埋め込みが存在する。

(証明略)⁽⁴⁾

以上の議論より、次の定理を得る。

〔定理 1〕 n 個の入出力点を持ち、実効高度 h の木状回路の面積複雑度は $\Theta(nh)$ である。

4. 面積と段数の関係

ここでは、回路の面積複雑度と段数の関係について考察する。今、段数 d 、実効高度 h のファンアウトフリーな組合せ論回路の入力点の数の最大値を $L(d, h)$ と表わす。

〔補題 5〕 $L(d, h)$ について、次の性質が成立する。

$$L(d, 1) = d + 1,$$

$$L(d, d) = 2^d$$

$$L(d, h) = \sum_{i=0}^h dC_i.$$

〔補題 6〕 実効高度 h , 段数 d , 入力数 n のファニアウト
フリー回路において, 次の関係が成立する。

$$h \leq d \leq n-1, \quad (1)$$

$$2^h + (d-h) \leq n \leq L(d, h). \quad (2)$$

〔補題 7〕 $L(d, h)$ の上界は次の 2 式で与えられる。

$$L(d, h) \leq \left(\frac{d}{2}\right)^h \quad (h \geq 6) \quad (3)$$

$$L(d, h) \leq 2^d - 2^{d-h} + \frac{1}{2}. \quad (4)$$

(証明) (3) 式は次のように示される。補題 5 より,

$$\begin{aligned} L(d, h) &= \sum_{i=0}^h dC_i \\ &= \sum_{i=0}^h \frac{d!}{i!(d-i)!} \\ &= \sum_{i=0}^h \frac{d(d-1)\cdots(d-i+1)}{i!} \\ &= \sum_{i=0}^h \frac{d(d-1)\cdots(d-i+1)h(h-1)\cdots(i+1)}{h!} \\ &\leq h \times \frac{d^h}{h!} = \frac{d^h}{(h-1)!} \end{aligned}$$

今, $h \geq 6$ のとき $(h-1)! \geq 2^h$ であるから,

$$L(d, h) \leq \left(\frac{d}{2}\right)^h.$$

(4) 式は, 次のように示される。今, L の定義域を拡張して,

$L(d, 0) = 1, L(d, -1) = 0$ と定義する。補題 5 より,

$$L(d, h) + L(d, d-h-1) = 2^d \quad (5)$$

が成立する。補題 6 の (2) 式より, L を拡張した上では,

$$L(d, h) \geq 2^h - \frac{1}{2} \quad (6)$$

が成立する。(5)式, (6)式より,

$$L(d, h) \leq 2^d - 2^{d-h-1} + \frac{1}{2}$$

を得る.

(証明終)

[定理2] 段数 d の n 入力 1 出力のファンアウトフリーな B 上の組合せ論理回路 C の面積複雑度について,

$$\text{area}(C) \geq \frac{cn \log_2 n}{\log_2(d/2)} \quad (7)$$

$$\text{area}(C) \geq cn \log_2 \left(\frac{2^{d-1}}{2^d - n + \frac{1}{2}} \right) \quad (8)$$

が成立する. ここに c は適当な定数である.

(証明) 補題7の(3)式より,

$$n \leq L(d, h) \leq \left(\frac{d}{2}\right)^h.$$

対数をとって,

$$\log_2 n \leq h \log_2 \left(\frac{d}{2}\right).$$

すなわち,

$$h \geq \frac{\log_2 n}{\log_2 \frac{d}{2}}$$

一方, 定理1より, 適当な定数 c があって, $\text{area}(C) \geq cnh$ が成立する. よって,

$$\text{area}(C) \geq cnh \geq \frac{cn \log_2 n}{\log_2(d/2)}$$

が得られる.

一方, (8)式は, 補題7の(4)式より,

$$n \leq 2^d - 2^{d-h-1} + \frac{1}{2}.$$

これを变形して,

$$2^{d-h-1} \leq 2^d - n + \frac{1}{2}.$$

両辺の対数をとって,

$$d-h-1 \leq \log_2 (2^d - n + \frac{1}{2}).$$

これより,

$$\begin{aligned} h &\geq d-1 - \log_2 (2^d - n + \frac{1}{2}) \\ &= \log_2 \frac{2^{d-1}}{2^d - n + \frac{1}{2}}. \end{aligned}$$

定理1より, $\text{area}(C) \geq cnh$ であるから,

$$\text{area}(C) \geq cnh \log_2 \frac{2^{d-1}}{2^d - n + \frac{1}{2}}$$

を得る.

(証明終)

h が d に近いとき, すなわち, d が $\log_2 n$ に近いときは, (8) 式が下界を与える。一方, h が d よりかなり小さいとき, すなわち, d が n に近いときは (7) 式がより良い下界を与える。

定理2の関係は, $d = \log_2 n$ のときは,

$$\text{area}(C) \geq cn \log_2 n$$

となり, $d = n$ のときは,

$$\text{area}(C) \geq cn$$

となることを示している。これは, 面積と計算時間(段数)の間の一つのトレードオフを与えていると考えられる。

[系] B 上の n 入力 m 出力回路 C で, すべての入力点からの経

路を持つ出力点 y_i があり, それらの経路中で最も多くの計算点を含むものの上の計算点数を d とすると, C の面積複雑度の下界は, (7) 式, (8) 式で与えられる。

n ビットの 2 つの 2 進数を加算する組合せ回路としては, 順次桁上げ加算器 (RCA), 桁上げ先見加算器 (CLA) 等が知られている。それぞれの回路の段数は, $\theta(n)$, $\theta(\log n)$ である。(7), (8) の両式より, $\text{area}(RCA) = \Omega(n)$, $\text{area}(CLA) = \Omega(n \log n)$ である。実際に, RCA と CLA に対しては, それぞれ, $O(n)$, $O(n \log n)$ の面積の領域への埋め込み法が知られており, これらは, オーダ的に最適であることがわかる。

5. あとがき

組合せ回路の面積複雑度を評価する手法を与えた。本稿で定義した, 実効高度は, 2 分木に対するものであったが, これは, 自然に一般の m 分木に対しても拡張することができる。このように拡張することにより, 任意の基底の上の組合せ回路の面積複雑度についても, 同様の議論ができる。

4 節で示した下界は, $L(d, n)$ のきわめて粗い近似から導かれたもので, さらに強い結果が得られる可能性は十分にある。

本稿の結果は、論理設計の時点で回路の面積を予測するための基本的な手法を提供するものである。

謝辞、御討論頂いた、本学上林弥彦助教授はじめ、矢島研究室の諸氏に深謝します。本研究は一部文部省科学研究費による。

文献

- (1) Thompson 'Area-Time Complexity for VLSI', 11th STOC, 1979.
- (2) Brent, Kung, 'The Area-Time Complexity of Binary Multiplication' JACM, vol. 28, no. 3, 1981.
- (3) Leiserson, 'Area-Efficient Graph Layouts', 21st FOCS, 1980.
- (4) 安浦, 矢島 '論理回路のVLSIモデル上への埋め込み問題について', 信学技報AL81-49, 1981.
- (5) 安浦, 矢島 '組合せ論理回路のVLSI上への埋め込み問題', 信学技報AL81-97, 1981.