

集積回路における高速信号伝送技術の研究

(課題番号: 14350186)

平成14年度 - 平成16年度科学研究費補助金
基盤研究(B)(2) 研究成果報告書

平成17年3月

研究代表者
京都大学情報学研究科
教授 小野寺秀俊

集積回路における高速信号伝送技術の研究

(課題番号: 14350186)

平成14年度 - 平成16年度科学研究費補助金
基盤研究(B)(2) 研究成果報告書

平成17年3月

研究代表者
京都大学情報学研究科
教授 小野寺秀俊

平成14年度 - 平成16年度科学研究費補助金
基盤研究(B)(2)研究成果報告書

研究課題

集積回路における高速信号伝送技術の研究

課題番号

14350186

研究組織

研究代表者: 小野寺秀俊 (京都大学情報学研究科教授)

研究分担者: 小林和淑 (京都大学情報学研究科助教授)

研究分担者: 橋本昌宜 (京都大学情報学研究科助手)

交付決定額 (配分額) (金額単位: 千円)

	直接経費	間接経費	合計
平成14年	9,400	0	9,400
平成15年	4,700	0	4,700
平成16年	2,900	0	2,900
総計	17,000	0	17,000

研究成果による工業所有権の出願・取得状況

なし

研究発表

(1) 学会誌等

学術論文

- [1] A. Tsuchiya, M. Hashimoto, H. Onodera Performance Limitation of On-Chip Global Interconnects for High-speed Signaling, IEICE Trans. on Fundamentals , vol E88-A, no 4, to appear, 2005/4.
- [2] T. Miyazaki, M. Hashimoto, H. Onodera, A Performance Prediction of Clock Generation PLLs: A Ring Oscillator Based PLL and An LC Oscillator Based PLL IEICE Trans. on Electronics, vol E88-C, no 3, to appear, 2005/3.
- [3] A. Tsuchiya, M. Hashimoto, H. Onodera, Representative Frequency for Interconnect R(f)L(f)C Extraction, IEICE Trans. on Fundamentals , vol E86-A, no 12, pp. pp.2942-2951, 2003/12.

国際学会論文集

- [1] A. Shinmyo, M. Hashimoto, H. Onodera, Design and Measurement of 6.4Gbps 8:1 Multiplexer in 0.18um CMOS Process, Proc. of ASP-DAC 2005, pp. D-9-11, 2005/01
- [2] A. Tsuchiya, M. Hashimoto, H. Onodera, Return Path Selection for Loop RL Extraction, Proc. of ASP-DAC 2005, pp. 1078-1081, 2005/01.
- [3] M. Hashimoto, A. Tsuchiya, A. Shinmyo, H. Onodera, Performance Prediction of On-chip Global Signaling, Proc. of IEEE Electrical Design of Advanced Packaging and Systems, pp. 87-100, 2004/11.
- [4] M. Hashimoto, A. Tsuchiya, H. Onodera, On-Chip Global Signaling by Wave Pipelining, Proc. of IEEE 13th Topical Meeting on Electrical Performance of Electronic Packaging, pp. 311-314, 2004/10.
- [5] A. Muramatsu, M. Hashimoto, H. Onodera, LSI Power Network Analysis with On-chip Wire Inductance, Proc. of Workshop on Synthesis and System Integration of Mixed Technologies, pp. 55-60, 2004/10.
- [6] T. Miyazaki, M. Hashimoto, H. Onodera, A Performance Prediction of Clock Generation PLLs: A Ring Oscillator Based PLL and An LC Oscillator Based PLL, Proc. of IEEJ International Analog VLSI Workshop, pp. 45-50, 2004/10.
- [7] A. Tsuchiya, M. Hashimoto, H. Onodera, Performance Limitation of On-chip Global Interconnects for High-speed Signaling, Proc. of IEEE Custom Integrated Circuits Conference, pp. 489-492, 2004/10

- [8] A. Shinmyo, M. Hashimoto, H. Onodera, Design and Optimization of CMOS Current Mode Logic Dividers, Proc. of IEEE Asia-Pacific Conference on Advanced System Integrated Circuits, pp. 434-435, 2004/08
- [9] T. Miyazaki, M. Hashimoto, H. Onodera, A Performance Comparison of PLLs for Clock Generation Using Ring Oscillator VCO and LC Oscillator in a Digital CMOS Process, Proc. ASP-DAC, pp. 545-546, 2004/01.
- [10] A. Tsuchiya, M. Hashimoto, H. Onodera, Frequency Determination for Interconnect RLC Extraction, Proc. of SASIMI 2003, pp. 288-293, 2003/04.
- [11] M. Hashimoto, D. Hiramatsu, A. Tsuchiya, H. Onodera, Interconnect Structures for High-Speed Long-Distance Signal Transmission, Proc. IEEE ASIC/SoC Conference, pp. 426-430, 2002/09

国内学会論文集

- [1] 村松篤、橋本昌宜、小野寺秀俊、オンチップインダクタンスを考慮した LSI 電源配線網解析情報処理学会 DA シンポジウム 2004 論文集, pp. 277-282, 2004/07.
- [2] 土谷亮、橋本昌宜、小野寺秀俊、配線 RL 抽出におけるリターンパス選択手法、情報処理学会 DA シンポジウム 2004 論文集, pp. 175-180, 2004/07
- [3] 土谷亮、橋本昌宜、小野寺秀俊、直交配線を持つオンチップ伝送線路の特性評価、情報処理学会 DA シンポジウム論文集, pp. 133-138, 2003/07.
- [4] 土谷亮、橋本昌宜、小野寺秀俊、配線 $R(f)L(f)C$ 抽出のための代表周波数決定手法電子情報通信学会 第 16 回 回路とシステム (軽井沢) ワークショップ論文集, pp. 61-66, 2003/04.
- [5] 山口隼司、橋本昌宜、小野寺秀俊、IR ドロップを考慮した電源線構造の最適化手法、情報処理学会 DA シンポジウム論文集, vol 2002, no 10, pp. 253-258, 2002/07.
- [6] 平松大輔、土谷亮、橋本昌宜、小野寺秀俊、長距離高速信号伝送を可能にする VLSI 配線構造の検討、情報処理学会 DA シンポジウム論文集, vol 2002, no 10, pp. 155-160, 2002/07,

口頭発表

- [1] 村松篤、橋本昌宜、小野寺秀俊、電源電圧変動に対するオンチップ配線インダクタンスの影響、2004 年電子情報通信学会総合大会, no A-3-22, pp. 89, 2004/03.
- [2] 村松篤、橋本昌宜、小野寺秀俊、電源配線の等価回路簡略化による電源解析高速化の検討、情報処理学会関西支部支部大会, pp. 169-172, 2003/10.

- [3] 宮崎崇仁、橋本昌宜、小野寺秀俊, デジタル CMOS プロセスを使用したクロック生成向け PLL の将来性能予測 -LC 発振型 VCO を用いた PLL の有効性-, 信学技法, no ICD20003-98, pp. 29-34, 2003/09.
- [4] 村松篤、橋本昌宜、小野寺秀俊, オンチップデカップリング容量の最適寄生抵抗値の決定法, 電子情報通信学会総合大会, no A-3-13, pp. 80, 2003/03.
- [5] 土谷亮、橋本昌宜、小野寺秀俊, 信号配線と下層配線との結合に対する直交配線の影響, 電子情報通信学会総合大会, no A-3-14, pp. 81, 2003/03.

研究成果

目 次

1	総論: 集積回路における高速信号伝送技術の研究	1
2	高速信号伝送用配線の特性解析技術	5
2.1	直行配線を持つオンチップ伝送線路の特性評価 (DA シンポ 03)	5
2.2	RLC 特性抽出における代表周波数	11
2.3	ループ RL 抽出におけるリターンパスの選択手法	21
3	電源配線構造の特性解析と設計技術	25
3.1	IR ドロップを考慮した電源配線構造の最適化 (DA シンポ 02)	25
3.2	オンチップインダクタンスを考慮した電源配線網解析 (DA シンポ 04)	31
4	高速信号伝送用 CMOS 回路の設計技術	37
4.1	CMOS 電流モード論理素子を用いた分周回路の最適設計	37
4.2	0.18 μ m CMOS プロセスで実現した 6.4Gbps 8:1 マルチプレクサ	39
4.3	PLL 回路の性能予測	41
5	チップ内高速信号伝送回路の性能予測	48
5.1	長距離高速信号伝送を可能にする VLSI 配線構造の検討	48
5.2	オンチップ高速信号配線の性能限界	54
5.3	ウェーブパイプラインニングによるオンチップ高速信号伝送	61

1 総論：集積回路における高速信号伝送技術の研究

集積回路の微細化と高速化が加速度的に進んでいる。プロセスの微細度を表す技術世代は2010年には45nmノードに進展し、高性能LSIの局所クロックは15GHzに達すると予想されている。一方、配線の微細化と稠密化により、配線遅延の増大が大きな問題となっている。現在、銅配線の導入や配線の厚膜太幅化により配線抵抗を下げ、配線遅延を削減する方法が用いられている。この結果、長距離を伝送する高速信号配線において、配線インダクタンスが伝送特性に影響をおよぼす状況となってきた。ここで、信号配線の抵抗成分を下げ、配線インダクタンスと配線容量を適切に設定できれば、信号配線を伝送線路として動作させ、信号を電磁波の速度で高速伝送することが可能である。このためには、明確な接地面を定義することが困難なチップ内において、多数存在する周辺の線路との干渉を避けつつ良好な伝送特性を持つ線路を設計する必要がある。また、線路構造とともに、安定な電源配線構造の設計や配線を高速に駆動するドライバ回路、高速信号の発生回路などについての検討も必要である。

そこで本研究では、GHz帯の高速信号をチップ内各所に分配/伝送するための設計技術を開発し、実際のシリコン上で高速信号伝送実験を行う事を目的として、高速信号伝送用配線の特性解析技術、電源配線構造の特性解析と設計技術、高速信号伝送用CMOS回路の設計技術、ならびにチップ内高速信号伝送回路の性能予測について研究を行った。

高速信号伝送用配線の特性解析技術として、まず下地に直行配線を持つ高速信号伝送用配線の伝送線路としての特性を評価した。また、配線の伝送特性は周波数により変化するが、これを周波数に依存しない等価回路で表現する場合に、どの周波数を用いて線路パラメータを抽出すれば良いかを検討し、配線長に基づく抽出周波数の決定法を考案した。更に、配線パラメータとして重要な配線インダクタンスを抽出する際に、帰路電流(リターンパス)の抽出対象とすべき配線を決定する手法を開発した。

電源配線構造の特性解析と設計技術としては、電源配線のインダクタンスが無視できる周波数で動作するセルベース設計回路を対象として、IRドロップを考慮した電源ストラップの最適挿入法について検討した。さらに、動作周波数の高速化に伴い、電源配線のインダクタンス成分が電源ノイズの発生に寄与する状況が発生する。そこで、電源配線網の構造やチップ内各部の動作状況により、電源配線のインダクタンス成分がどのように電源ノイズに影響をおよぼすかを解析した。

高速信号伝送用CMOS回路の設計技術としては、通常スタティック論理ゲートより高速な動作が可能な電流モード論理ゲートを取り上げ、その最適設計法を明らかにした。また、電流モード論理ゲートとスタティック論理ゲートを適切に組合わせてマルチプレクサを構成する方法を明らかにし、実際に試作したテスト回路により動作を確認した。更に、高速信号を発生するためのPLLについて、プロセスの微細化が動作特性におよぼす影響を検討した。

チップ内高速信号伝送回路の性能を予測するにあたり、高速信号の伝達に適した配線構造を設計する必要がある。まず、望ましい配線構造がどのようなものであるかを検討した。次いで、それらの配線構造における信号伝達特性を解析的に求め、その性能限界を明らかにした。最後に、線路のみならず、駆動回路や受信回路も含めた伝送システム全体を対象

として伝送特性の評価を行った。

本研究の成果を以下にまとめる。

(1) 高速信号伝送用配線の特性解析技術

チップ内での高速信号伝送を考えた場合、信号用伝送線路の下層には直交する配線が存在すると思われる。一般的に、伝送線路に対して方向が直交する配線が存在しても、配線抵抗やインダクタンスは変化しないと考えられている。しかし、周波数が高くなると渦電流などによって配線特性が変化すると考えられる。配線特性を評価する際に、どのような条件で直交配線を考慮すべきかが明確ではない。そこで、実測に基づいて直行配線が配線特性に与える影響を評価した。その結果、直交配線による配線抵抗やインダクタンスの変化は20GHzで10%以下であり、電源配線など幅が広い配線を除いて直交配線が抵抗やインダクタンスには影響しないことを確認した。詳細を2.1節で説明する。

伝送特性を評価するためには、配線抵抗やインダクタンスを抽出する必要がある。これらの配線パラメータの値は、表皮効果や近接効果により周波数依存性を持つ。一方、配線により伝達されるパルス信号も多く周波数成分を含んでいる。そのため、周波数に依存しない集中定数素子を使って配線をモデル化する場合、配線パラメータを抽出する周波数を適切に設定する必要がある。従来は、伝送するパルス信号の形状(鋭さ)から抽出周波数を決めるのが一般的であった。それに対し、本研究では伝送線路を一種の共振回路と見なし、伝送線路の長さ、すなわち共振周波数に基づいて抽出周波数を決める方法を考案した。種々の構造を持つ配線を対象として抽出実験を行い、提案方法により精度の良いモデル化が可能であることを示した。詳細を2.2節で説明する。

配線抵抗やインダクタンスを抽出する際には、信号配線とともに帰路電流が流れる電源/グランド配線を含む系全体を対象として、配線パラメータを抽出する必要がある。しかしながら、チップ内には無数の電源/グランド配線が存在するため、全てを抽出対象とすることは不可能である。考慮する配線数が増加すると、抽出コストが飛躍的に増加するため、必要十分な数の電源/グランド配線を選択する必要がある。本研究では、考慮する配線系で消費される電力量に着目し、考慮すべき電源/グランド配線を選択する方法を開発した。詳細を2.3節で説明する。

(2) 電源配線構造の特性解析と設計技術

電源構造最適化問題の一例として、セルベース回路のストラップ配線挿入問題を取り上げ、IRドロップを考慮した電源配線最適化問題を定式化した。回路を流れる電流は入力ベクトルに強く依存するため、IRドロップの最大値を正確に見積もることは非常に困難である。電源配線最適化時に与える電流分布の決め方をさまざまに変え、得られた電源配線の品質を評価した。品質の高い電源配線を得るためには、同時に動作するセルの最大値を正確に見積もる事が重要である。詳細を3.1節に示す。

動作周波数の高速化に伴い、パッケージだけでなく電源配線のインダクタンス成分が電源網ノイズに影響を及ぼすようになってきた。電源配線網のインダクタンス成分を考慮した場合、電源網は2次元の伝送線路として働き、電源ノイズは波として伝搬する。この伝搬波の伝搬速度は、電源網に分布する容量成分が大きいため、信号の伝搬速度の1/10程度と遅い。そのため、電流消費部分の近傍にデカップリングコンデンサを配置することが重要である。また、適切にデカップリングコンデンサを配置することにより、電源網のイン

ダクタンス成分が電源網ノイズに与える影響を少なくすることができる。そのため、デカップリングコンデンサの量とともに、配置位置が重要である。詳細を3.2節で説明する。

(3) 高速信号伝送用 CMOS 回路の設計技術

CMOS プロセスでは、高速信号処理用論理ゲートとして、電流モード型論理ゲートが用いられる。一般に用いられるスタティック論理ゲートと比較して、電流モード型論理ゲートは消費電力は大きいものの最大動作周波数は高い。また、論理ゲートに流す電流量や、負荷トランジスタの値、ソース結合トランジスタの寸法など、多くの設計パラメータを持つ。必要な動作速度を満足した上で、消費電力が最小になるように設計する必要がある。そこで、電流モード論理素子を用いた分周回路の最適設計法を検討し、テストチップを設計した。0.18 μm プロセスで試作した分周回路の消費電力は8.6mWで、最大10GHzの入力信号で動作した。詳細を4.1節で述べる。

高速信号伝送回路では、複数系列のデータをマルチプレクサを使用してシリアル化した上で高速に伝送する。通常、2入力を越える系列をシリアル化する場合、2:1のマルチプレクサを階層的に用いた多入力マルチプレクサを使用する。このマルチプレクサでは、階層毎に動作周波数が異なる。そこで、2:1マルチプレクサとして、高速動作可能だが消費電力の多い電流モード論理ゲートを用いる回路と、動作速度に制約があるが消費電力の少ないスタティック論理ゲートを用いる回路を適切に使い分ける必要がある。本研究では、ハイブリッド構成をとる8:1マルチプレクサの最適設計法を開発し、テストチップの設計実験を行った。試作した回路の消費電力は84 mWで、最大6.4 Gbpsの信号レートまで動作した。詳細を4.2節で説明する。

高速信号伝送に用いるクロック信号は、PLLにより発生する。PLLには、VCOをリングオシレータで構成するものと、LC発振回路で構成するものがある。本研究では、両者の緒特性を比較し、発振信号の純度などでLC発振回路を用いたPLLが格段に優れていることを示した。更に、両者のPLLの性能や回路面積が、プロセスの微細化とともにどのように変化するかを解析的に明らかにした。いずれの方式の回路も、消費電力は減少するが、ジッタ特性が悪化する。今後、低ジッタ化設計技術の重要性が増加する事が予想される。詳細を4.3節で説明する。

(4) チップ内高速信号伝送回路の性能予測

チップ内において、高速な信号を長距離伝送するためには、伝送線路構造を持つ配線を用いる必要がある。そこで、代表的な伝送線路として、マイクロストリップ線路とコプレーナ線路を取りあげ、長距離信号伝送を可能にする配線構造について検討した。線路の設計にあたり、線路の減衰と配線間の結合を低く抑える必要がある。信号減衰の観点から信号距離と必要な配線資源の関係を評価したところ、リピータを挿入して一段の配線長を短くすることで、必要な配線資源は大幅に減少することがわかった。信号配線間の結合を抑えるには、マイクロストリップ構造では信号配線間の距離をある程度とれば十分であるが、コプレーナ構造では信号配線間にグランド配線を挟む必要があることが明らかになった。詳細を5.1節で説明する。

次に、伝送線路構造をもつ配線の周波数特性を解析し、伝送可能な最高周波数について検討した。伝送線路上の信号波形を折れ線で近似することにより、伝送線路受信端でのアイダイアグラムを解析的に導出した。この解析式を用いることにより、配線長、線路の減

衰、伝達信号のビットレート間のトレードオフ解析を容易に行うことができる。さらに、シングルエンド伝送と差動伝送の適切な使い分けが可能になる。詳細を5.2節で述べる。

チップ内で高速信号伝送を行うためには、配線構造とともに線路の駆動方式(シングルエンドか差動か)や、駆動/受信回路についても検討する必要がある。本研究では、差動ならびにシングルエンド方式で伝送線路を駆動する信号伝送系と、リピータを多数挿入してRC線路を駆動する伝送方式について、それぞれの伝送速度や消費電力を送受信回路も含めて評価した。その結果、伝送線路の差動伝送回路は、RC線路にリピータを挿入して伝送する従来方式に比べて、最大スループットや伝送遅延の点で10倍優れており、1ビット伝送に必要なエネルギーも数分の一であることがわかった。詳細を5.3節で説明する。