

氏 名	中 山 春 夫 なか やま はる お
学 位 の 種 類	工 学 博 士
学 位 記 番 号	論 工 博 第 1234 号
学位授与の日付	昭 和 54 年 11 月 24 日
学位授与の要件	学 位 規 則 第 5 条 第 2 項 該 当
学位論文題目	Study on the Instabilities of MIS Devices (MIS デバイスの不安定性の研究)

(主 査)
論文調査委員 教 授 福 田 國 彌 教 授 川 端 昭 教 授 佐々木昭夫

論 文 内 容 の 要 旨

本論文は、MIS（金属―誘電体―半導体）素子の3種類の不安定性に関して、不安定性の諸様相（温度、時間、バイアス依存性）、不安定性の誘起要因、不安定性と素子製作条件との関係などについて行った実験的研究をまとめたものであり、6章より成っている。

第1章は序論で、MIS 素子不安定性の研究の歴史と現状について概説し、本研究の目的と内容を明らかにしている。

第2章では、Pチャンネル・シリコンゲート MOS 素子に特有な不安定性を取扱っている。閾値電圧の不安定な素子では接合リークの増加、ウォーク・アウト後の接合破壊電圧の急速な回復、FAMOS (Floating Gate Avalanche Injection MOS) 素子の記憶保持の劣化等の異常現象が観察されることを示し、かつこれらの不安定性の誘起要因として従来考えられていたプレアロイ及びボロン拡散条件を追試してそれらが誤りであることを明らかにしている。さらに、メタライズ前後のエチルアルコール及びアセトンの付着が不安定性を誘起することを見出し、その原因としてこれらの物質が素子構成要素である Al と SiO₂ の境界面に存在するアルミナ・シリカ (Al₂O₃-SiO₂) の触媒作用で水素を発生し、B 含有ゲート酸化物中にホールトラップを生じるためであることを示している。

第3章では、数種類の有機物につき検討し上記2種の物質の他メチルアルコール及びイソプロピルアルコールもまた不安定性を誘起する事を示し、これら4種類の物質につき不安定性を誘起する温度及び時間を明らかにし、その温度がアルミナ・シリカ触媒反応による水素発生温度と一致することを示している。

第4章では、Pチャンネル MNOS 素子のスロー・トラッピング不安定性の動特性については従来定説がないが広い温度範囲で長時間にわたって測定し、バイアス温度エージングによる閾値電圧の負シフトの実験式が Sinha 等の式とほぼ一致することを示している。

第5章では、窒化膜生成条件とトンネル注入型 MNOS メモリ・トランジスタの電氣的諸特性との関連を実験的に明らかにしている。その場合の重要因子である酸化膜厚はエリプソメトリ及びオージェ電子分光分析を用いすべての試料について同一であることを確認している。常圧 CVD（化学気相成長）で生成

した窒化膜は SiH_4/NH_3 流量比 1/3200~1/50 に対し屈折率及び誘電率に差がなく夫々1.94及び7.6であるが、導電率は SiH_4/NH_3 比に大きく依存し比1/50の膜では1/3200の膜に較べ約4桁も大きい。これに対応してメモリ・トランジスタの電気特性では、スイッチング速度、書込み“1”状態の飽和界面電荷、消去“0”状態及び“1”状態の電荷減衰率が SiH_4/NH_3 比の大きいほど大きいことを示し、これらの特性が窒化膜内部及びその界面近傍でのトラップ密度の増加と関連していることを指摘している。また、オージェ電子分光分析により窒化膜中の酸素濃度が SiH_4/NH_3 比の大きいほど小さいことを示し、酸素濃度、トラップ密度、記憶保存の関連を今後解明すべき課題として提示している。低圧 CVD で生成した窒化膜では屈折率、誘電率とも常圧 CVD で生成した膜より大きく、記憶特性においては“0”及び“1”状態の界面電荷ならびに電荷の減衰率は大きいがスイッチング速度は速くない等常圧 CVD 生成膜と異なる特性を示すことを明らかにし、窒化膜内及びその界面近傍でのトラップの分布との関連を考察している。

第6章では、本研究で得られた成果をまとめている。

論文審査の結果の要旨

MIS (金属-誘電体-半導体) 素子は、半導体表面の導電度の制御を絶縁膜を介してゲート電極に与える電圧によって行うものであり、その特性は絶縁膜中の電荷分布の変動に対して極めて敏感である。MIS 素子の実用化以来多くの不安定性が見出され原因究明がなされてきたが、未だ解明されていないものが多い。本論文は、それらのうち3種類の不安定性につき不安定性の誘起要因、電気的特性、素子製作条件との関係を明らかにし、安全な素子の製作及び素子の寿命推定を可能にしたもので、得られた主な成果は次の通りである。

(1) ゲート絶縁膜中にBを含むPチャンネル・シリコンゲート MOS 素子で閾値電圧の不安定なものでは、接合リークの増加、ウォーク・アウト後の接合破壊電圧の急速な回復、FAMOS(Floating Gate Avalanche Injection MOS) 素子の記憶保持の劣化等の異常現象が現われることを見出し、かつその原因が従来考えられていたプレアロイ又はB拡散によるものでないことを実験的に明らかにしている。

(2) 上記Pチャンネル・シリコンゲート MOS 素子で、アルコール類又はアセトンを吸着させメタライズ後 350~450℃ の熱処理を行うと、正バイアス印加により室温においても閾値電圧のドリフトが現われることを初めて明らかにし、その原因としてこれらの有機物が素子構成要素である Al と SiO_2 の境界面に存在する Al_2O_3 - SiO_2 の触媒作用で水素を発生し、B含有ゲート酸化物中にホールトラップを生じるためであることを示している。

(3) 上述の MOS 素子の不安定性は、通常の素子製作工程完了後においても上記の熱処理により誘起されることを見出し、アセンブリ工程が素子不安定性を惹起することを指摘している。

(4) Pチャンネル MOS 素子のスロー・トラッピング不安定性については諸説があるが、素子の閾値電圧変動量をバイアス温度処理の印加電界、時間、温度の関数として与える実験式を求めかつこれが Sinha 等の式と同一のものであることを示している。又この実験式により実使用時における閾値電圧変動量の推定を可能にしている。

(5) トンネル注入型 MNOS メモリ・トランジスタの諸特性と窒化膜生成条件との関係を明らかにする

ため、エリプソメトリ及びオージェ電子分光分析を用いて極薄酸化膜の膜厚が一定になるよう試料を作成し、 SiH_4/NH_3 流量比 (1/3200~1/50) に対する窒化膜の物性値とトランジスタ素子の電気的特性との関係を検討して多くの知見をえている。即ち、常圧 CVD で生成した窒化膜では SiH_4/NH_3 比の増加に対し窒化膜の屈折率、誘電率は殆ど変わらないが導電率は非常に大きくなり、これに対応して素子では書込み“1”状態での飽和界面電荷、消去“0”及び“1”状態での電荷減衰率、スイッチング速度“0” $\leftrightarrow$ “1”が大きくなる。又 SiH_4/NH_3 比の増加に対し窒化膜中の酸素濃度の減少と膜中及び界面近傍のトラップ密度の増加が生じることを見出している。さらに低圧 CVD で生成した窒化膜は常圧 CVD と異なる物性値を持ちかつ素子としても異なる特性を示し、MNOS メモリ素子として応用できることを初めて明らかにしている。

以上これを要するに本論文は、MIS 素子の不安定性についてその電気的特性、誘起要因及び製作条件との関係を解明し安定な素子の製作と素子の寿命推定を可能にしたもので、学術上工業上貢献するところが少なくない。

よって、本論文は工学博士の学位論文として価値あるものと認める。