

(電子通信学会 (1974 年 1 月 23 日)
資料より転載)

資料番号 AL 73-66

遅延のある論理素子集合の万能性について

UNIVERSALITY OF SETS OF LOGIC ELEMENTS WITH UNIT DELAY

稲垣 耕作・矢島 脩三

KOSAKU INAGAKI AND SHUZO YAJIMA

(京都大学・工学部)

(FACULTY OF ENGINEERING, KYOTO UNIVERSITY)

The necessary and sufficient conditions of t -universality (universality of sets of logic elements with unit delay) are presented on more appropriate assumptions than in former papers. The numbers of maximal sets which are not t -universal and minimal t -universal sets are 6 and 82 respectively. There is a t -universal set whose element is t -universal by itself. Next, weak t -universality is introduced. Negative gates and NAND gates with unit delay are shown to be weakly t -universal. The weak t -universality is equivalent to the universality of sets of logic elements with no delay.

1. ま え が き

少数種の基本論理素子を用いて任意の論理回路網を実現できることは、量産のための工学的要請から言って重要である。数種の論理素子の組を選んだとき、それらを適当に相互接続することによりいかなる論理関数で表現される回路網でも実現できるならば、それらの論理素子の組を万能性 (universality) を有する論理素子集合または万能系と呼ぶ。万能性という術語とともに完全性 (completeness) という術語も同義に用いられているが、万能性という術語は論理回路網を対象とした工学的立場で、また完全性という術語は論理関数系を対象とした数学的立場で用いられることが多いようである。

万能系の問題を個々の例について扱うことは古くからなされており、最も標準的な万能系は論理積 (論理和) と否定との組合せであり、また NAND または NOR が 1 種の論理関数のみで万能であることも周知のことである。

遅延を考えない場合の万能関数系を組織的に扱ったものとしては、Post⁽¹⁾ が万能系の満たすべき必要十分条件を求め、また日本では伊吹、苗村、野崎⁽²⁾が独立にこの結果を証明し、42 種の既約万能系を求め、かつ既約万能系はある意味でそれらに限ることを示した。

一方遅延のある論理素子の場合には、von Neumann⁽³⁾が一定遅延のある NAND 素子のみでは任意の論理関数を計算することはできないことを指摘した。この注意は遅延がない場合とある場合とで問題が本質的に異なることを示す。一定遅延がある場合の万能系の満たすべき必要十分条件および既約万能系の分類は伊吹等^{(3),(4)}により与えられた。やや異なった定義のもとでの必要十分条件を Kudrjavičev⁽⁵⁾が求め、その他 Arden⁽⁶⁾、Loomis⁽⁷⁾などの結果がある。

二線式論理回路網の万能性についても伊吹等^{(3),(4)}が必要十分条件と分類を与えている。

オートマトンあるいは多値論理への拡張については、Minsky⁽⁸⁾、Jablonski⁽⁹⁾、Butler⁽¹⁰⁾、

Nozaki⁽¹²⁾ などの結果がある。

本論文でとり扱うのは一定値1単位時間の遅延のある二値論理素子集合の万能性である。

まず第2節では、一定遅延のある論理素子集合の万能性の従来の条件を実用上問題のない程度にゆるめた結果を述べる。ここで述べる条件は、万能の意味として任意の順序回路を構成できることを考慮に入れた場合、組合せ回路と順序回路とを整合的にとり扱い、定義としてより妥当なものである。また組合せ論理回路にフィードバック接続⁽⁶⁾を許し、かつ初期値を保証することにより従来の条件における論理回路網と同等の動作が可能となる。従来の伊吹等の結果^{(3), (4)}では極大集合⁽²⁾⁻⁽⁴⁾の数は7つであったが、本論文で述べる結果では6つとなる。また既約万能系の数は、伊吹等の結果では43種であったが、ここでは82種となる。しかも従来の一定遅延のある論理素子はただ1種で万能なものはないとされていたが、本論文の条件のもとではただ1種で万能な論理素子が存在することが示される。

つぎに第3節では、一定遅延のある負ゲート（負関数を実現する論理素子、MOSゲートなど）、NANDゲート、NORゲートの、一種の万能性を示す。von Neumannによるモデルでは、論理回路網への入力に変化してのちある定まった時間 T 経過して出力が得られると仮定している。出力値の変化時刻が定まっているため、実用上非常によく用いられるNANDゲート、NORゲート、あるいは一般に負ゲートが万能でないという結果が導かれる。これに対し、ここでは出力の変化時刻に1単位時間のゆらぎを許し、 T あるいは $T+1$ 単位時間後に出力が変化するとし、それでも任意の論理回路網を任意の構成で実現できるひとつの構成法を示す。この構成法によれば、出力変化時刻に1単位時間のゆらぎを許して、負ゲート、NANDゲート、あるいはNORゲートは任意の論理回路網を実現でき、一定遅延があっても一種の万能系となる。この構成法はハザードレス論理回路の研究^{(13), (14)}の拡張として考え出されたものである。遅延のある論理素子集合の万能性を妨げていたもののひとつとして、ハザードの存在のため任意の論理回路網、特に順序回路が実現できないことがあったと思われる、出力変化時刻の1単位時間のゆらぎを許してハザードを除去することにより、ここでは一定遅延のある場合の万能性の条件をゆるめた。

本論文では、遅延のない場合の万能性を誤解のおそれのない場合単に万能、一定遅延のある場合に一定時間後に出力を得るとしたときの万能性を t -万能（ t -universal, あるいは t -完全, t -complete）、そして出力の変化時刻のゆらぎを許したときの万能性を弱 t -万能（weakly t -universal, あるいは弱 t -完全, weakly t -complete）と呼ぶ。 t -万能ならば弱 t -万能, t -万能あるいは弱 t -万能ならば万能であるが、最後に第4節では、万能ならば弱 t -万能であること、すなわち万能性と弱 t -万能性とは同値であることを二値の場合に証明する。

2. 一定遅延のある論理素子集合の t -万能性

2.1 諸定義

本節の定義は主として文献(2)~(4)に従った表現にする。また本節ではさまざまな定義のもとでの万能性を一括して万能と呼ぶ。

論理素子 $f_1, f_2, \dots, f_p$ の集合 F を

$$\{f_1, f_2, \dots, f_p\} \quad \text{または} \quad \{f_i\}$$

と記す。この集合の要素を用いて、定まった合成法 α で合成したとき得られる論理回路網全体の集合を合成集合と呼び、

$$[F]_\alpha \quad \text{または} \quad [f_i]_\alpha \quad \text{または} \quad [f_1, \dots, f_p]_\alpha$$

と記す。特に混乱のおそれのない場合は添え字 α を省略する。

考慮の対象としている回路網のすべてを含む集合を K で表わすと、一般に $[F] \subset K$ であり、特

に

$$[F] \supseteq K$$

なるような F を万能な集合と呼ぶ。万能な集合のうち、集合として極小のもの、すなわちどれか1つの素子を除くと万能とはならぬものを既約万能系、あるいは極小万能集合と呼ぶ。逆に万能でない集合のうち極大のもの、すなわちこの集合に属さない任意の要素とこの集合とを合わせると万能になり、しかもこの集合のみでは万能にならぬものを非万能極大集合、略して極大集合と呼ぶ。

また集合を要素とする集合を集合系と呼ぶ。

〔定義1〕 全集合 K の中の有限または可付番個の要素をもつ部分集合の有限個からなる集合系

$$M = \{M_1, M_2, \dots, M_m\}$$

がつぎの3条件を満足するとき、 M は極大系をなすという。

1. $M_1, \dots, M_m$ のどれにも含まれない集合は万能である。 (完全律)
2. $M_1, \dots, M_m$ はそれぞれ非万能である。 (非万能律)
3. $M_1, \dots, M_m$ は互いに他を含まない。 (極大律)

K の上での M_i の補集合を $\overline{M}_i$ で表す。一般に K の要素は $M_1, \dots, M_m$ のおりのについて極大集合に含まれるかその補集合に含まれるかで 2^m 個の類に分類する。この分類を極大系による分類と呼ぶ。この各類 A_k またはその要素の性格を表現するため、特性ベクトルを定義する。

〔定義2〕 類 A_k あるいはその要素の特性ベクトル

$$(a_{k1}, a_{k2}, \dots, a_{km})$$

の各成分 a_{ki} の値は、それぞれ A_k が M_i に含まれるとき0、補集合 $\overline{M}_i$ に含まれるとき1をとる。2つの特性ベクトルの論理和、論理積、および特性ベクトルの否定は、いずれも各成分の論理和、論理積、否定である。 $F = \{f_1, f_2, \dots, f_i, \dots\} \subset K$ の各要素の特性ベクトルが $A_1, A_2, \dots, A_i, \dots$ なるとき、 F の特性ベクトルは $A_1 \cup A_2 \cup \dots \cup A_i \cup \dots$ にて定義する。

〔定義3〕 K に属する2つの要素 f_1, f_2 が、すべての K の部分集合 F に対し

1. $f_1 \cup F$ が万能ならば、 $f_2 \cup F$ も万能であり、かつ
2. $f_1 \cup F$ が非万能ならば、 $f_2 \cup F$ も非万能である

とき、 f_1 と f_2 とは万能性に関して同値であると呼ぶ。 K の部分集合 F_1, F_2 についても同様に定義する。

文献(3) よりいくつかの定理を引用する。

〔定理1〕 極大系 $M_1, \dots, M_m$ はすべて互いに相異なる非万能極大集合であり、この他に極大集合はない。

〔定理2〕 $[[F]] = [F]$ が成立するような合成法の場合、極大系の要素集合のおののにおに關して $\{M_i\} = [M_i]$ が成立する。

〔定理3〕 既約万能系の2つ以上の構成要素が1つの類中に含まれることはない。

〔定理4〕 万能系の任意の構成要素をそれぞれこれと同値な他の要素におきかえて得られる集合もまた万能系である。

〔定理5〕 極大系による分類は万能性に関する同値性による分類と一致する。

〔定理6〕 K の2つの部分集合 F_1, F_2 はその特性ベクトルが等しいとき、かつそのときにかぎり同値である。

〔定理7〕 K の部分集合 F は、その特性ベクトルが $(1, 1, \dots, 1)$ に等しいとき、かつそのときにかぎり万能である。

〔定理8〕 集合 F が既約万能系であるための必要十分条件は F が極大系のどの M_i にも含まれていず、かつ F の真部分集合が存在すれば、少なくとも1つの M_i に含まれていることである。

定理3, 4, 5より既約万能系を求めるのに、個々の要素のかわりにそれが属する類を用いてもよいことがわかるので、類とその代表要素とを特に区別しない。

つぎにいくつかの関数集合を定義する。

〔定義4〕 すべての変数が1のとき関数値が1である関数、すなわち

$$f(1, \dots, 1) = 1$$

なる関数を合正項関数と呼び、このような関数全体の集合を M_1 で表わす。

〔定義5〕 すべての変数が0のとき関数値が0である関数、すなわち

$$f(0, \dots, 0) = 0$$

なる関数を背負項関数と呼び、このような関数全体の集合を M_2 で表わす。

〔定義6〕 各変数の否定の関数の否定がその関数自身に等しいような関数、すなわち

$$f(x_1, \dots, x_k) = \bar{f}(\bar{x}_1, \dots, \bar{x}_k)$$

なる関数を自己双対関数と呼び、このような関数全体の集合を M_3 で表わす。

〔定義7〕 排他的論理和による展開で2次以上の項が現われない関数、すなわち

$$f(x_1, \dots, x_k) = a_0 \oplus a_1 x_1 \oplus \dots \oplus a_k x_k, \quad a_i \in Q = \{0, 1\} \quad (i=0, 1, \dots, k)$$

なる関数を線形関数と呼び、このような関数全体の集合を M_4 で表わす。

〔定義8〕 $a_i \geq b_i \quad (i=1, \dots, k)$ ならば

$$f(a_1, \dots, a_k) \geq f(b_1, \dots, b_k)$$

なるとき、 f を単調増大関数あるいは正関数と呼び、このような関数全体の集合を M_5 で表わす。

〔定義9〕 $a_i \geq b_i \quad (i=1, \dots, k)$ ならば

$$f(a_1, \dots, a_k) \leq f(b_1, \dots, b_k)$$

なるとき、 f を単調減少関数あるいは負関数と呼び、このような関数全体の集合を M_6 で表わす。

〔定義10〕 すべての変数が1のとき関数値が0で、すべての変数が0のとき関数値が1である関数、すなわち

$$f(1, \dots, 1) = 0$$

$$f(0, \dots, 0) = 1$$

なる関数を背正項含負項関数と呼び、このような関数全体の集合を M_7 で表わす。

2.2 遅延時間を考慮しない論理関数集合の万能性^{(1)~(3)}

n 変数以下の二値論理関数全体よりなる集合を K^n と記す。 K^n の任意の部分集合を関数集合と呼ぶ。

関数集合 $F = \{f_1, \dots, f_p\}$ から合成される合成関数集合 S をつぎのように帰帰的に定義する。

〔定義11〕 ある論理関数集合 $F = \{f_i\}$ に対して、

1. $F \subset S$.

2. $u_1, u_2, \dots, u_{n_i} \in S \cup \{x_1, \dots, x_n\}$ ならば

$$f_i(u_1, u_2, \dots, u_{n_i}) \in S.$$

ただし $x_1, \dots, x_n$ は独立変数、 $n_i \leq n$ とする。

上の条件を満足する最小の S を関数集合 F から合成手続き α で合成された合成関数集合と呼び、

$[F]_\alpha$ または $[f_1, \dots, f_p]_\alpha$ と記す。ただし合成の形式が異なっても関数として等しいものは同一とみなす。

一般に $[F]_\alpha \subset K^n$ であるが, $[F]_\alpha = K^n$ となるような F を n 変数以下の万能論理関数集合と呼ぶ. $n \geq 2$ では特定の n について万能なることがいえるは n に関係せず万能なることがいえるので, 単に万能論理関数集合または万能系と呼ぶ.

Post⁽¹⁾, 伊吹, 苗村, 野崎⁽²⁾によりつぎの定理9が証明された.

〔定理9〕 $i = 1, \dots, 5$ のすべてについて

$$F \subseteq M_i$$

なることと F が万能なることは同値である.

また文献(2)で以下の結果が証明された.

〔定理10〕 遅延時間を考慮しない論理素子集合は合成手続き α に関して, $\{M_1, M_2, M_3, M_4, M_5\}$ が極大系をなす.

論理素子を極大集合に属しているか否かで $2^5 = 32$ の類に分類すると, 要素が存在しない類があり, 実際には15種になる.

既約万能系は42種あり, 定義3の意味で異なる既約万能系はそれ以外にない.

2.3 一定遅延のある論理素子集合の t -万能性

一定遅延のある論理素子集合を用いた論理回路網の合成法に関しては, 定義11と同様通常の接続法とする. 回路網中の各経路には遅延時間があるので, 遅延時間の異なるものは同一時刻のものと論理演算ができず, 遅延時間だけ異なる時刻のものと演算する. 2つの関数は一定時間ずらした各時刻ごとにすべて関数として等しいとき同一とみなす. 入力を与えられてのちそれに対応する出力が得られるまでの時間は t かつの回路網で一定値とする. このような合成手続きを β と呼ぶ.

t -万能性はつぎのように定義される.

〔定義12〕 ある論理素子集合に含まれる素子の複製で論理回路網を構成することにより, ある一定の有限時間 T の遅れを不問にすれば任意の論理関数を実現できるとき, この論理素子集合を t -万能系と呼ぶ.

t -万能系は直観的には, 遅延を考慮しないとき万能系であり, かつ1単位時間の遅延素子を作る論理素子集合である.

まず伊吹等による結果^{(3),(4)}を紹介する.

〔定理11〕 $i = 1, \dots, 7$ のすべてについて

$$F \subseteq M_i$$

ならば F は t -万能である.

〔定理12〕 一定遅延を伴う論理素子集合の合成手続き β に関する極大系は $\{M_1, M_2, M_3, M_4, M_5, M_6, M_7\}$ である.

論理素子を極大集合に属しているか否かで $2^7 = 128$ の類に分類すると, 要素が存在しない類があり, 実際には18種になる.

既約 t -万能系は93種あり, 定義3の意味で異なる既約 t -万能系はそれ以外にない.

一方ここでは $M_1, M_2, M_3, M_4, M_5, M_6$ の6つの関数集合が極大系の3条件を満足することを示す.

伊吹等は定数関数を含めたすべての論理関数を論理回路網中のすべての経路の遅延時間が等しくなるように回路網を構成した。それに対し、ここでは定数関数を回路網中の経路の遅延時間が異なることを許して構成する。この点が伊吹等の理論と異なっている。

たとえば1単位時間の遅延のあるNANDゲートによる、回路網中の遅延時間が異なることを許した定数関数1の構成法を図1(a)に示す。定数関数0はこの否定をとればよい。図中Aと記した部分の出力は入力xが0, 1いずれにともなっても1である。しかしながら入力が0から1に変化するときAには1単位時間0が出力される。

図1(a)の回路網はこの一時的な0を除去するようにしたハザードレス論理回路⁽⁴³⁾⁻⁽⁴⁵⁾の一種である。入力が2単位時間以上同じ値を保つならばこの回路網の出力は常に1である。しかし入力が1単位時間ごとに変化し、その時系列が101010…となると、この出力は1には安定せず101010…と不安定となる。伊吹等は論理回路網中のすべての経路の遅延時間を等しくしているので、組合せ

回路の場合入力は各単位時間ごとに変化してもよく、出力はある有限時間Tのうちに各入力に従って得られる。しかしここでは定数関数は回路網中の経路の遅延時間が必ずしも等しくなく、入力は各単位時間ごとに変化してはならず、ある有限時間の間一定値でなければならない。したがって組合せ回路としてはここでのユニバーサル系の方が能力が弱くなる。しかしながら順序回路では一般に入力に対する状態変化を1単位時間でフィードバックできないので、伊吹等のユニバーサル系でもある有限時間の間入力は一定値でなければならない。可能性の議論として組合せ回路と順序回路で仮定の整合性を保つべきであるという点では、入力はある有限単位時間同じ値を保つという仮定をすることでの議論の方がより妥当性があると思われる。

また組合せ回路にフィードバック持続を許すという合成手続き β' を仮定し、図1(b)のような回路網を構成する。初期値として所定の出力が得られていれば、この回路網は入力xがいかに変化しようとも出力は常に安定に定数出力を出す。したがって合成手続き β' のもとでは、ここでのユニバーサル系は初期値の設定が行なわれていれば伊吹等のユニバーサル系と同等の動作を行なう。初期値の設定は入力に0あるいは1を2単位時間持続させればよい。

まず $M_1, M_2, M_3, M_4, M_5, M_6$ のそれぞれに含まれるか否かで論理素子集合を $2^6=64$ の類に分類すると、要素が存在しない類があり、実際には伊吹等と同じく18種になる(証明略)。これらとその代表要素とを表1に示す。

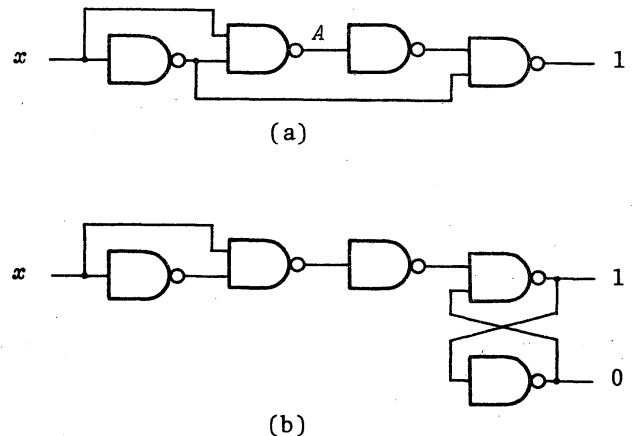


図1 一定遅延のあるNANDゲートによる定数関数の構成法

表1 $M_1, M_2, M_3, M_4, M_5, M_6$ による分類

番号	特性ベクトル	代表要素
1	(111111)	$x_1\bar{x}_2x_3 + \bar{x}_1x_2\bar{x}_3$
2	(111110)	$\bar{x}_1\bar{x}_2$
3	(110111)	$x_1\bar{x}_2 + \bar{x}_2\bar{x}_3 + \bar{x}_3x_1$
4	(110110)	$\bar{x}_1\bar{x}_2 + \bar{x}_2\bar{x}_3 + \bar{x}_3\bar{x}_1$
5	(101111)	$x_1\bar{x}_2$
6	(011111)	$x_1 + \bar{x}_2$
7	(110011)	$x_1 \oplus x_2 \oplus \bar{x}_3$
8	(110010)	$\bar{x}$
9	(101011)	$x_1 \oplus x_2$
10	(011011)	$x_1 \oplus \bar{x}_2$
11	(001111)	$x_1x_2x_3 + x_1\bar{x}_2\bar{x}_3$
12	(101000)	0
13	(011000)	1
14	(001101)	x_1x_2
15	(000111)	$x_1x_2 + x_2\bar{x}_3 + \bar{x}_3x_1$
16	(000101)	$x_1x_2 + x_2x_3 + x_3x_1$
17	(000011)	$x_1 \oplus x_2 \oplus x_3$
18	(000001)	x

つぎに完全律の証明のためのいくつかの補題をあげる。以下で 0, 1 とあるのはそれぞれ定数関数 0, 1, また x , $\bar{x}$ とあるのはそれぞれ 1 単位時間の遅延のある遅延素子, 否定素子である。

[補題 1] $F \models M_1$ ならば, $[F]_p \ni \bar{x}$ あるいは 0 である (証明略)。

[補題 2] $F \models M_2$ ならば, $[F]_p \ni \bar{x}$ あるいは 1 である (証明略)。

[補題 3] $F \models M_3$ かつ $[F]_p \ni x$ および $\bar{x}$ ならば, $[F]_p \ni 0$ および 1 である (証明略)。

[補題 4] $F \models M_4$ かつ $[F]_p \ni 0, 1, x$, および $\bar{x}$ ならば, F は t -万能である (証明略)。

[補題 5] $F \models M_5$ かつ $[F]_p \ni 0$ および 1 ならば, $[F]_p \ni \bar{x}$ である (証明略)。

[補題 6] $F \models M_6$ かつ $[F]_p \ni 0$ および 1 ならば, $[F]_p \ni x$ である (証明略)。

[補題 7] 論理関数 $f \in M_1 \cap M_2$ ならば, $[f]_p \ni x$ である (証明略)。

[補題 8] 論理関数 $f \in \bar{M}_1 \cap M_2$ ならば, $[f]_p \ni 0$ である (証明略)。

[補題 9] 論理関数 $f \in M_1 \cap \bar{M}_2$ ならば, $[f]_p \ni 1$ である (証明略)。

[補題 10] 論理関数 $f \in \bar{M}_1 \cap \bar{M}_2 \cap M_3 \cap M_4$ ならば, $[f]_p$ には 1 単位時間の遅延のある 2 入力 NAND あるいは NOR ゲートが存在する。

(証明) $f(x_1, \dots, x_k)$ は $f \in \bar{M}_4$ なることより真に 2 変数関数以上である。いま真に k 変数関数とする。 $f \in \bar{M}_1 \cap \bar{M}_2$ なることより

$$f(1, \dots, 1) = 0, \quad f(0, \dots, 0) = 1. \quad (1)$$

$f \in \bar{M}_3$ なることより, $x_1, \dots, x_k$ のある値 (すべて 1 あるいはすべて 0 でない) に対して

$$f(x_1, \dots, x_k) = f(\bar{x}_1, \dots, \bar{x}_k) \quad (2)$$

となる。 $x_1, \dots, x_k$ のうち 0 であるものに x_1 , 1 であるものに x_2 を代入してできる論理関数を $g(x_1, x_2)$ と表わすと, 式 (1), (2) より

$$g(1, 1) = 0, \quad g(0, 0) = 1, \quad g(0, 1) = g(1, 0) \quad (3)$$

ゆえに $g(x_1, x_2)$ は 2 入力 NAND あるいは NOR ゲートであり, しかも $[f]_p$ に含まれ, かつ遅延は 1 単位時間である。(証明終)

[定理 13] $i = 1, \dots, 6$ のすべてについて

$$F \models M_i$$

なることと, F が t -万能なることは同値である。

(証明) 補題 1, 2 より $[F]_p \ni 0$ および 1, または $[F]_p \ni \bar{x}$ である。

$[F]_p \ni 0$ および 1 ならば, 補題 5, 6 より $[F]_p \ni 0, 1, x$, および $\bar{x}$ となり, 補題 4 より F は t -万能である。

$[F]_p \ni \bar{x}$ ならば, $\bar{x}$ と 0 と 1 が, $\bar{x}$ と 1 と 0 が合成されること, $[F]_p \ni 0$ および 1 ならば補題 4, 5, 6 より F は t -万能になること, および $[F]_p \ni x$ および $\bar{x}$ ならば補題 3, 4 より F は t -万能になることより, $[F]_p \ni 0$ あるいは 1 あるいは x をいえばよい。 $[F]_p \ni \bar{x}$ なることは $\exists f \in F, f \in \bar{M}_1 \cap \bar{M}_2$ を意味する (証明略)。表 1 より f は類 (111111), (111110), (110111), (110110), (110011), (110010) のいずれかに属する。(111111) あるいは (111110) に属するならば, 補題 10 より f から遅延 1 単位時間の 2 入力 NAND あるいは NOR ゲートが作れる。したがって図 1(a) の構成法より 0, 1 が合成できる。 f が他の類に属するときには, $f \in M_3$, $F \models M_3$ であるから, $g \in F, g \in \bar{M}_3$ なる g が存在する。 $g \in (M_1 \cap M_2) \cup (\bar{M}_1 \cap \bar{M}_2) \cup (M_1 \cap \bar{M}_2)$ あるいは g は類 (111111) または (111110) に属する。補題 7, ..., 10 および図 1(a) より $[g]_p \ni 0$ あるいは 1 あるいは x である。ゆえに $[F]_p \ni 0$ あるいは 1 あるいは x であり, F は t -万能である。

$M_1, \dots, M_6$ はいずれも t -万能でないことがいえる (証明略) ので逆もなりたつ。(証明終)

伊吹等の M_n は, $x \in [F]$ のとき, 遅延1単位時間の x あるいは 0, 1 のいずれかを遅延時間をもとえて実現できるための条件を与えるものである。

〔定理14〕 一定遅延を伴う論理素子集合の合成手続き β (β') に関する極大系は $\{M_1, M_2, M_3, M_4, M_5, M_6\}$ である(証明略)。

一定遅延のある論理素子の t -万能性による分類は前掲の表1のようになり, 空でない類は18種である。

既約 t -万能系は82種あり, 表2のようになる(証明略)。注目すべきは, 従来一定遅延のある論理素子はただ1種で t -万能なものはないとされていたが, 本論文の条件のもとでただ1種で t -万能な論理素子が存在することが表2により示された。

〔例〕 類(111111)の代表要素 $f(x_1, x_2, x_3) = x_1 \bar{x}_2 x_3 + \bar{x}_1 \bar{x}_2 \bar{x}_3$ を考える。これから合成手続き β により, 遅延1単位時間の2入力 NOR ゲートおよび遅延1単位時間の遅延素子を合成できることを示せば t -万能になることがわかる。これらは $f(x_1, x_2, x_3) = x_1 + x_2$, およびこの NOR ゲートで定数 0, 1 を作って, $f(x_1, 0, 1) = x_1$ により合成される。

表2 一定遅延のある論理素子集合の既約 t -万能系

番号	既約 t -万能系	番号	既約 t -万能系
1	(111111)	42	(110110) (101000) (000111)
2	(111110) (110111)	43	(110110) (101000) (000101)
3	(111110) (101111)	44	(110110) (101000) (000011)
4	(111110) (011111)	45	(110110) (101000) (000001)
5	(111110) (110011)	46	(110110) (011000) (110011)
6	(111110) (101011)	47	(110110) (011000) (000111)
7	(111110) (011011)	48	(110110) (011000) (000101)
8	(111110) (001111)	49	(110110) (011000) (000011)
9	(111110) (001101)	50	(110110) (011000) (000001)
10	(111110) (000111)	51	(110011) (101011) (000111)
11	(111110) (000101)	52	(110010) (101011) (000111)
12	(111110) (000011)	53	(110011) (101011) (000101)
13	(111110) (000001)	54	(110010) (101011) (000101)
14	(110111) (101111)	55	(110011) (011011) (000111)
15	(110110) (101111)	56	(110010) (011011) (000111)
16	(110111) (011111)	57	(110011) (011011) (000101)
17	(110110) (011111)	58	(110010) (011011) (000101)
18	(110111) (101011)	59	(110011) (101000) (000111)
19	(110110) (101011)	60	(110010) (101000) (000111)
20	(110111) (011011)	61	(110011) (101000) (000101)
21	(110110) (011011)	62	(110010) (101000) (000101)
22	(110111) (001111)	63	(110011) (011000) (000111)
23	(110110) (001111)	64	(110010) (011000) (000111)
24	(110111) (101000)	65	(110011) (011000) (000101)
25	(110111) (011000)	66	(110010) (011000) (000101)
26	(110111) (001101)	67	(101011) (011011) (001111)
27	(110110) (001101)	68	(101011) (011011) (001101)
28	(101111) (011111)	69	(101011) (011011) (000111)
29	(101111) (110011)	70	(101011) (011011) (000101)
30	(101111) (110010)	71	(101011) (001111) (011000)
31	(101111) (011011)	72	(101011) (011000) (001101)
32	(101111) (011000)	73	(101011) (011000) (000111)
33	(011111) (110011)	74	(101011) (011000) (000101)
34	(011111) (110010)	75	(011011) (001111) (101000)
35	(011111) (101010)	76	(011011) (101000) (001101)
36	(011111) (101000)	77	(011011) (101000) (000111)
37	(110011) (001111)	78	(011011) (101000) (000101)
38	(110010) (001111)	79	(001111) (101000) (011000)
39	(110011) (001101)	80	(101000) (011000) (000111)
40	(110010) (001101)	81	(101000) (011000) (001101) (000011)
41	(110110) (101000) (110011)	82	(101000) (011000) (000101) (000011)

3. 一定遅延のある負ゲートおよびNANDゲートの弱 ϵ -万能性

3.1 諸定義

任意の負関数を実現する論理ゲートを負ゲートと呼ぶ。

時刻 t は整数値をとって変化するとする。論理回路網への外部入力 $x_1, \dots, x_n$ はすべて同時に変化するとする。一般性を失うことなくこれを $t=0$ とできる。つぎの外部入力変化は論理回路網が安定するまで起こらないとする。

静的0ハザード(静的1ハザード)とは論理回路網の出力値が0(1)である2種の入力間の遷移時において、その出力に一時的に出力値1(0)が出るものである。両者を合わせて静的ハザードと呼ぶ。動的ハザードとは論理回路網の出力値がそれぞれ0, 1である2種の入力間の遷移時において、その出力に過渡的に出力値1と0のパルスが出るものである。静的ハザードと動的ハザードとを合わせて論理回路網のハザードと呼ぶ。許された入力遷移においてハザードのない論理回路網をハザードレス論理回路と呼ぶ。本論文では、入力遷移として多入力変化を含むすべての入力変化を考える。

入力 x_i がある論理素子の出力に到達するのに、回路網中で δ 単位時間かかる、すなわち δ 個の素子を通して到達するとき、この論理素子に対し、この入力 x_i は肩に遅延時間 δ をつけて $x_i^{(\delta)}$ と表わす。一般に δ が大きければ $x_i^{(\delta)} \neq x_i^{(\delta')}$ である。したがってこの論理素子に x_i が複数の異なる遅延時間 $\delta, \delta', \dots, \delta_q$ の経路を通して到達するならば、この論理素子の出力は $x_i^{(\delta)}, x_i^{(\delta')}, \dots, x_i^{(\delta_q)}$ すべての関数である。

以後ハザードのある出力には δ を添え字としてつけて示すことにする。遅延のないとき $f(x)$ を出力する論理素子が、遅延のあるときハザードのある出力を出せば、 $f_\delta(x)$ と表わす。

3.2 負ゲートおよびNANDゲートによるハザードレス組合せ回路

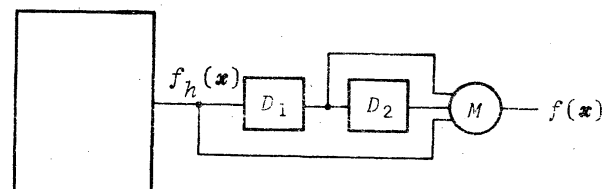
負ゲートによるハザードレス組合せ回路についてはすでに文献(13), (14)で詳述した。その基本構成を図2に示す。図において遅延時間は遅延素子 D_1, D_2, D_3 でまとめて示し、他の論理素子の遅延時間はこれらにくり入れて無視した。 M は3変数単純多数決素子で、

$$M(x_1, x_2, x_3) = x_1 x_2 + x_2 x_3 + x_3 x_1$$

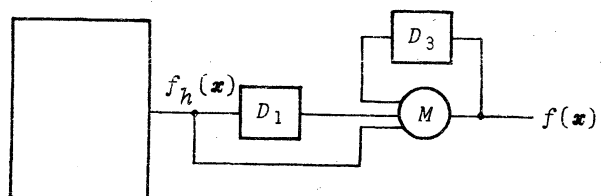
である。

$f_\delta(x)$ として幅 $\min(D_1, D_2)$ 単位時間以下の静的ハザードしかない出力を考える。たとえば負ゲート2段実現あるいはNANDゲートSTANT(standard three-level NAND network with true inputs)実現⁽¹³⁾などを考えると、これらは幅1単位時間以下の静的ハザードしかない。このとき図2(a)の回路網はこれらの静的ハザードを除き、かつ余分なハザードはつけ加えず、その出力にはハザードレスな $f(x)$ が得られる。^{(13)~(15)} $f_\delta(x)$ のハザードが終わってのち

$D_1 + D_2$ 単位時間以上経過するとつぎの静的ハザードが消えるようになる。図2(b)の場合には幅 D_1 単位時間以下の静的ハザードを除きできる。^{(13), (14)} この構成の方が一般にゲート数が少なくすみかつ高速であるが、本節の議論に組合せ回路のフィードバックループは本質的でなく、フィードバ



(a)



(b)

図2 ハザードレス組合せ回路の基本構成

ックループがなくとも、速度が遅いだけでハザードレス論理回路を構成可能である。

負ゲートでは最小4段でハザードレス組合せ回路を実現でき、出力変化時刻は $t = 2$ あるいは3となる。入力線数の制限のないNANDゲート(NORゲート)では、負ゲートによる回路網の変形により、最小5段で実現でき、出力変化時刻は $t = 3$ あるいは4となる。

負ゲート2段実現あるいはNANDゲートST-TANTT実現のように出力変化時刻にたかだか1単位時間のゆらぎしかない場合には、そのハザードレス回路の出力変化時刻にはたかだか1単位時間のゆらぎしかない。

2入力NANDゲート(2入力NORゲート)のみを用いたときには、 x からまず1単位時間遅れた $\bar{x}$ を作る。そして $f_A(x)$, $\bar{f}_A(x)$ は段数をそろえた適当な正関数をNANDゲートのみで作る、それに x , $\bar{x}$ を入力することにより得られる。 $f_A(x)$, $\bar{f}_A(x)$ はいずれも幅1単位時間の静的ハザードしかない。 $\bar{f}_A(x)$ を1個のNANDゲートで否定をとると $f_A^{(1)}(x)$ となり、また $f_A(x)$ に2個のNANDゲートを縦続すると $f_A^{(2)}(x)$ が得られる。段数をそろえた3変数単純多数決関数をNANDゲートで作る、それに f_A , $f_A^{(1)}$, $f_A^{(2)}$ を入力すると、ハザードレスで出力変化時間差がたかだか1単位時間の $f(x)$ を実現するNAND回路網が得られる。

$f_1(x), \dots, f_n(x)$ の関数である $g(f_1, \dots, f_n)$ を考える。 $f_1, \dots, f_n, \bar{f}_1, \dots, \bar{f}_n$ のそれぞれのハザードレス論理回路を作る。このときこれらの出力変化時刻の時間差は適当に遅延時間をそろえて、たかだか1単位時間におさえることができる。 $f_1, \dots, f_n$ とそれらの否定 $\bar{f}_1, \dots, \bar{f}_n$ が得られるので負ゲート1段実現などで $g_A(f_1, \dots, f_n)$ を作ることができる。 g_A は入力がたかだか1単位時間の時間差を变化するので、その出力にはハザードがあったとしても幅1単位時間の静的ハザードである。したがって再び図2の構成を用いることにより、ハザードは除去されて $g(f_1, \dots, f_n)$ が得られる。しかも g の出力変化時刻のゆらぎはたかだか1単位時間におさえられる。このようにして、図2の基本構成を用いると、一定遅延のある負ゲートあるいはNANDゲート回路網は任意の組合せ論理関数をハザードレス実現でき、かつ組合せ論理関数の合成に対応する構成を行なうことができる。

3.3 負ゲートおよびNANDゲートによるハザードレス順序回路と弱 τ -万能性

ハザードは組合せ回路よりむしろ順序回路で本質的で、ハザードがあると順序回路に仕様通りの動作をさせられないことがしばしば起こる。

任意の順序回路を構成できなければ万能性があるとはいいがたいので、本節では遅延1単位時間の負ゲートを用いたハザードレス順序回路の構成法を示す。

外部入力変数を $(x_1, \dots, x_n) = x$, 状態変数を $(y_1, \dots, y_l) = y$, 出力変数を $(z_1, \dots, z_m) = z$ とする。外部入力変数には多入力変化を含むすべての入力変化を許す。状態割当てとして任意の状態割当てを許す。

図3に遅延1単位時間の負ゲートによるハザードレス順序回路の基本構成を示す。図には $m = 1$ の場合を示したが、 $m \geq 2$ でも同様の構成ができる。

まず x から図に示すように $\bar{x}$ を作る。 x は $t = 0$ で変化し、 $\bar{x}$ は $t = 1$ で変化する。

x , $\bar{x}$ が $t = 0, 1$ で変化すると、これらと以前の y , $\bar{y}$ の値とを用いて、 y_A , $\bar{y}_A$ の新しい安定状態の値を計算する。非同期式順序回路では一般に危険な競争状態(critical race condition)を考慮に入れてサイクルなどの手法を用いなければならないが、ここではそのような考慮は不要で、 y_A , $\bar{y}_A$ は直接新しい安定状態の値に変える。 x , $\bar{x}$ が $t = 0, 1$ で変化するので y_A , $\bar{y}_A$ の出力は $t = 1$ あるいは2で変化し、ハザードが存在したとしても幅1単位時間の静的ハザードである。

z_A , $\bar{z}_A$ の値を計算するには、まず $\bar{y}$, x をひとつの否定ゲートで遅らせて $\bar{x}^{(1)}$, $\bar{y}^{(1)}$ を作る。

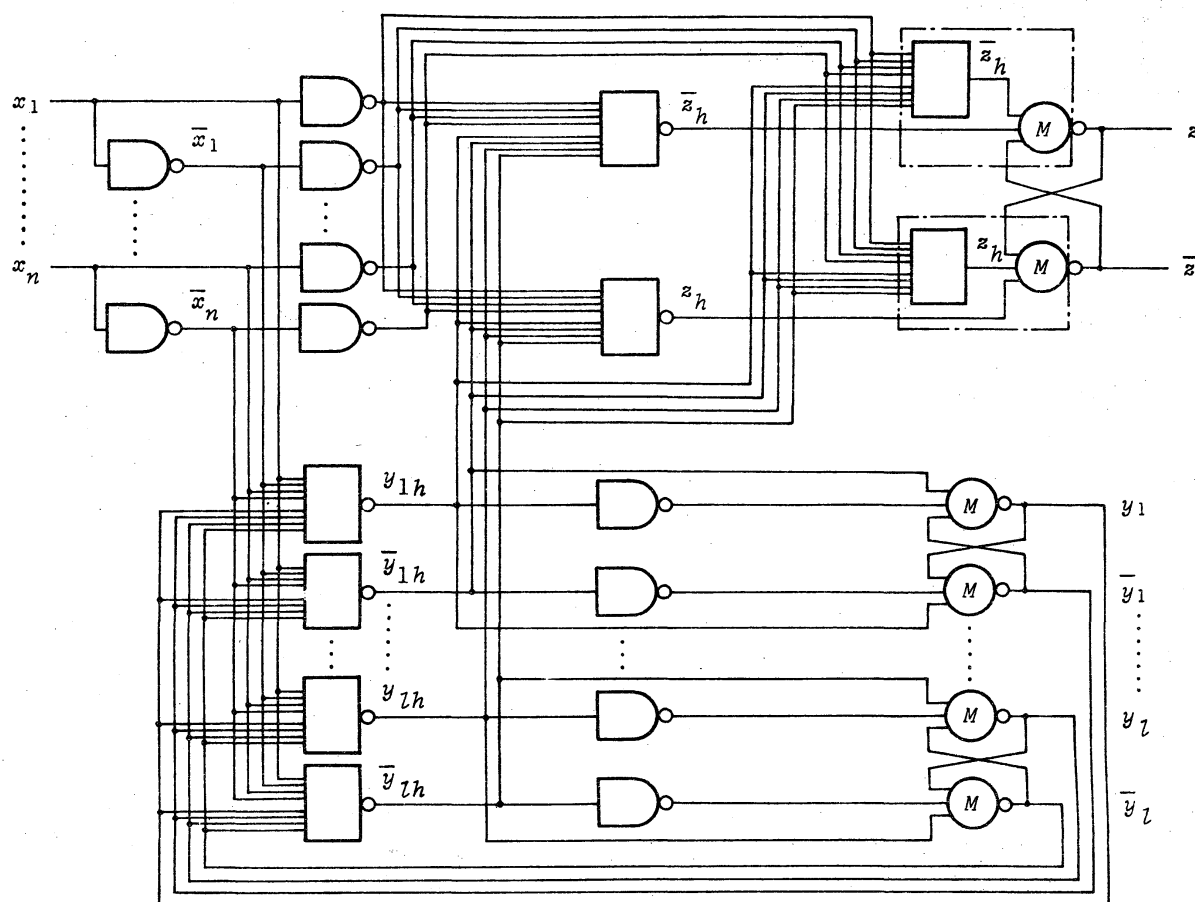


図3 負ゲートによるハザードレス順序回路の基本構成

$\bar{x}^{(1)}$ は先に作った $\bar{x}$ と同じであり、これを使ってよい。 $x^{(1)}, \bar{x}^{(1)}$ は $t=1, 2$ で変化する。これらと $y_h, \bar{y}_h$ を用いて $z_h, \bar{z}_h$ を計算する。 $x^{(1)}, \bar{x}^{(1)}, y_h, \bar{y}_h$ は $t=1, 2$ で変化するから、 $z_h, \bar{z}_h$ は $t=2$ あるいは3で変化し、ハザードが存在したとしても幅1単位時間の静的ハザードである。

出力 $z, \bar{z}$ はそれぞれ

$$z = M(z_h, \bar{z}_h^{(1)}, \bar{z}^{(1)})$$

$$\bar{z} = M(z_h, z_h^{(1)}, z^{(1)})$$

として作られる。これにより幅1単位時間の静的ハザードは除去されて、 $z, \bar{z}$ はハザードレスであり、しかも $t=3$ あるいは4で変化する。

一方 $y_h, \bar{y}_h$ が $t=1$ あるいは2で新しい値に変化すると、その変化により $y, \bar{y}$ も変化する。

$y_i, \bar{y}_i$ ($i=1, \dots, l$) はそれぞれ

$$y_i = M(\bar{y}_{ih}^{(1)}, \bar{y}_{ih}^{(2)}, \bar{y}_i^{(1)})$$

$$\bar{y}_i = M(y_{ih}^{(1)}, y_{ih}^{(2)}, y_i^{(1)})$$

として計算される。これにより幅1単位時間の静的ハザードは除去されて、 $y, \bar{y}$ はハザードレスであり、しかも $t=3$ あるいは4で変化する。

この $y, \bar{y}$ はフィードバックされて、再び $y_h, \bar{y}_h$ の値を変化させる。しかしながら最初に $y, \bar{y}$ は新しい安定状態の値として定められたので、 $y, \bar{y}$ は $t=3$ あるいは4で変化し、 $y_h, \bar{y}_h$ の値は $t=4, 5$ で変化しうが、 $y_h, \bar{y}_h$ の出力が変化しただけではそれは静的ハザードでしかた

い. そして幅1単位時間である.

この $y_A, \bar{y}_A$ の $t=4, 5$ における静的ハザードにより, $z_A, \bar{z}_A$ には $t=5, 6$ で静的ハザードが出るかもしれない. しかし $z, \bar{z}$ ではこの静的ハザードは除去される.

また $y, \bar{y}$ でも $y_A, \bar{y}_A$ の $t=4, 5$ における静的ハザードは除去され, これにより回路網は安定状態になる.

$y_A, \bar{y}_A$ の $t=1$ あるいは 2 での変化からハザードレスな $y, \bar{y}$ を得るのはもう1単位時間遅くして $t=2$ あるいは 3 でも可能である. $y_A, \bar{y}_A$ は再び $t=3, 4$ で変化する. $y, \bar{y}$ が $t=3$ で変化していたとすると, $y_A, \bar{y}_A$ の $t=3, 4$ の変化で $y, \bar{y}$ の出力変化時刻が $t=5$ に遅れることがありうる. このとき $y, \bar{y}$ の変化時刻の時間差がたかだか1単位時間におさまられず, 回路網が仕様通りに働かないことがありうる. またたとえ $y, \bar{y}$ が正常に $t=2$ あるいは 3 で変化したとしても, $t=1, 2$ の入力変化で $z_A, \bar{z}_A$ が $t=3$ で変化したとすると, このうち $y_A, \bar{y}_A$ の $t=3, 4$ の変化で $z_A, \bar{z}_A$ の出力に $t=4, 5$ で静的ハザードが起こることがありえ, このとき $z, \bar{z}$ の出力変化時刻は $t=6$ になることが示され, $z, \bar{z}$ の出力変化時刻の時間差はたかだか1単位時間におさまられなくなる. また $y, \bar{y}$ が $t=3$ あるいは 4 で変化すると, これらは出力変数としても使用できる. これらにより $y, \bar{y}$ はわざと最短時間より1単位時間遅らせて求めた.

以上により出力 $z, \bar{z}$ が $t=3$ あるいは 4 で得られるハザードレス順序回路を任意の仕様について得る構成法がわかった. z のつぎの変化は $t=5$ にならねば起こってもよい.

z の出力は必要なければ省いてもよい. しかしながら z があれば, $z, \bar{z}$ の出力変化時刻の時間差はたかだか1単位時間であるので, これをつぎのハザードレス論理回路の入力として用いることができる. すなわち順序回路の直列分解などの任意の構成が一定遅延のある負ゲートのみで可能になる.

このように任意の順序回路を任意の構成で実現できるので, 一定遅延のある負ゲートは出力変化時刻の時間差をたかだか1単位時間許せば万能である, すなわち弱 t -万能であるということができる.

入力線数の制限のない NAND ゲート (NOR ゲート) では上記の負ゲートによる回路網を適当に変形することによりハザードレス順序回路を得ることができ, 結果のみ述べると $t=4$ あるいは 5 で出力 $z, \bar{z}$ が変化するようにできる.

2入力 NAND ゲート (2入力 NOR ゲート) のみを用いてハザードレス順序回路を構成することも, 3.2 節と同様に可能である.

4. 一定遅延のある論理素子集合の弱 t -万能性

ここでの合成手続きは定義11と同様通常の接続で, 出力の変化時刻に1単位時間のゆらぎを許す合成手続きとする.

文献(2), (3)による遅延のない場合の既約万能系の表と, 一定遅延のある場合の既約 t -万能系の表とを比較すると, 万能であるが t -万能でない既約万能系は

(1 1 1 1 1)
(1 1 0 1 1) (1 0 1 0 0)
(1 1 0 1 1) (0 1 1 0 0)

の3種になる. このうち後2者はその部分集合が t -万能であり,

(1 1 0 1 1 0 0) (1 0 1 0 0 0 1)
(1 1 0 1 1 0 0) (0 1 1 0 0 0 1)

が t -万能でない。(11111)にも本論文でいう t -万能な部分集合がある。

〔命題1〕 類(11111)は弱 t -万能である。

(証明) 補題10 より遅延1単位時間の2入力NANDあるいはNORゲートが合成できるとより明らかである。(証明終)

〔補題11〕 類(1010001)の要素は定数関数0のみである。(証明略)

〔補題12〕 類(0110001)の要素は定数関数1のみである。(証明略)

〔命題2〕 (1101100)(1010001)および(1101100)(0110001)はいずれも弱 t -万能である。

(証明) $f(x_1, \dots, x_k) \in \text{類}(1101100)$ は $f(x_1, \dots, x_k) \in \bar{M}_1 \cap \bar{M}_2$ であるので、

$$f(1, 1, \dots, 1) = 0, f(0, 0, \dots, 0) = 1 \quad (4)$$

であり、 $f(x, \dots, x) = \bar{x}$ となる。これにより定数関数0, 1がいずれも利用できる。

$f \in \bar{M}_4$ より f は真に2変数以上、かつ $f \in M_3$ であり真に2変数の自己双対関数が存在しないことより、 f は真に3変数以上である。いま f を真に k 変数関数とする。

真に3変数以上でかつ $f \in M_3 \cap M_6$ より

$$f(0, 1, \dots, 1) = 0, f(1, 0, \dots, 0) = 1 \quad (5)$$

となる。さもなくば f は x_1 のみの関数になることが導かれる。

$$\left. \begin{aligned} f(0, x_2, \dots, x_k) &\equiv \bar{f}(0, \bar{x}_2, \dots, \bar{x}_k) \\ f(1, x_2, \dots, x_k) &\equiv \bar{f}(1, \bar{x}_2, \dots, \bar{x}_k) \end{aligned} \right\} \quad (6)$$

とすると、 $f \in M_3$ より

$$f(0, x_2, \dots, x_k) \equiv \bar{f}(1, \bar{x}_2, \dots, \bar{x}_k)$$

であるので、 f は x_1 に独立となり、 f を真に k 変数関数とした仮定に反する。ゆえに

$$\left. \begin{aligned} f(0, x_2, \dots, x_k) &= f(0, \bar{x}_2, \dots, \bar{x}_k) \\ f(1, x_2, \dots, x_k) &= f(1, \bar{x}_2, \dots, \bar{x}_k) \end{aligned} \right\} \text{あるいは} \quad (7)$$

があるすべて1あるいはすべて0でない $x_2, \dots, x_k$ の組についてなりたつ。 x_1 にそのときの定数の値を、 $x_2, \dots, x_k$ のうちこのとき0であるものに x_2 を、1であるものに $\bar{x}_2$ を代入した関数を $g(x_1, x_2)$ とすると、(5), (7)より補題10と同様に $g(x_1, x_2)$ は遅延1単位時間の2変数NANDあるいはNORゲートとなる。ゆえに弱 t -万能である。(証明終)

〔定理15〕 一定遅延のある論理素子集合の弱 t -万能性は、遅延のないときの論理素子集合の万能性と同値である。

(証明) 弱 t -万能ならば万能である。一方以上の諸論により、論理素子集合は万能ならば、 t -万能かあるいは弱 t -万能である。 t -万能ならば弱 t -万能であるから、万能ならば弱 t -万能である。ゆえに弱 t -万能性と万能性とは同値である。(証明終)

弱 t -万能性が万能性と同値であることが導かれたので、弱 t -万能性に基づく分類、既約弱 t -万能系はいずれも万能性に基づく分類、既約万能系と等しくなる。

5. むすび

一定遅延のある論理素子集合の万能性の概念について考察し、二値の場合について、ひとつには t -万能性の条件を実用的かつ整合的なものにゆづり、極大集合を従来の7つだったものを6つに減

らした。既約 t -万能系は82種となった。特に従来ただ1種でも t -万能な論理素子はないとされていたのを、本論文の条件のもとでは存在することを示した。

また von Neumann 以来一定遅延のある NAND ゲートあるいは負ゲートは万能でないと論じられていたのを、出力変化時刻のゆらぎを1単位時間許すことにより、任意の論理回路網を任意の構成で実現できる、すなわち弱 t -万能なことを示し、非常に多く実用されるこれらの論理素子に万能性の保証を与えた。しかも弱 t -万能性は遅延のない場合の万能性と同値なことを証明した。

本論文の議論は多値の場合、論理素子の遅延が異なる場合などに拡張可能であろう。

謝辞 有益な御討論、御助言いただいた本学・上林彦彦博士、阿草清滋氏、吉田進氏はじめ矢島研究室の諸氏に深謝する。なお本研究は一部文部省科厚研究費による。

文 献

- (1) E.L.Post, "The two-valued iterative systems of mathematical logic," *Annals of Mathematics Studies*, no.5, Princeton: Princeton University press, 1941.
- (2) 伊吹, 苗村, 野崎, "万能論理関数系の一一般論," 信学誌, vol.46, no.7, pp.934-940, 昭38-07.
- (3) 伊吹, "万能性を有する論理回路の研究," 通研成果報告, 第3747号, 昭43-03.
- (4) 伊吹, 鎌田, 寺嶋, "万能論理関数系理論の拡張," 昭39 信学全大, 59, 昭39-11.
- (5) J.von Neumann, "Probabilistic logics and the synthesis of reliable organisms from unreliable components," in *Automata studies*. Princeton: Princeton University Press, 1956.
- (6) V.B.Kudrjavičev, "Completeness theorem for a class of automata without feedback loop," *Doklady Akademii Nauk*, vol.132, no.2, pp.272-274, May 1960.
- (7) D.N.Arden, "Delayed logic and finite-state machines," *Proc. AIEE Symp. on Switching Theory and Logical Design*, pp.131-151, Sep. 1961.
- (8) H.H.Loomis, Jr., "Completeness of sets of delayed-logic devices," *IEEE Trans. on Electronic Computers*, vol.EC-14, no.2, pp.157-172, April 1965.
- (9) M.L.Minsky, "Some universal elements for finite automata," in *Automata studies*. Princeton: Princeton University Press, 1956.
- (10) J.V.Jablonski, "Functional structure of k -valued logic," *Trudy Matematicheskogo Instituta I. Steklova*, vol.51, pp.5-142, 1958.
- (11) J.W.Butler, "On complete and independent sets of operations in finite algebras," *Pacific J. of Mathematics*, vol.10, no.4, pp.1169-1179, Oct. 1960.
- (12) A.Nozaaki, "Functional studies of automata (I), (II)," *Scientific Papers of College of General Education*, University of Tokyo, vol.20, pp.21-36, pp.109-121, 1970.
- (13) 稲垣, 矢島, "負ゲートによるハザードレス論理回路[1]—CMOSによる電力最小論理回路—," 信学会電子計算機研資, EC73-28, 昭48-09.
- (14) 稲垣, 矢島, "負ゲートによるハザードレス論理回路[2]—CMOSによる電力最小論理回路—," 信学会電子計算機研資, EC73-36, 昭48-11.
- (15) 阿草, 上林, "ハザードレス NAND 回路の合成," 信学会電子計算機研資, EC73-29, 昭48-09.
- (16) D.A.Huffman, "Combinational circuits with feedback," in *Recent developments in switching theory*. New York: Academic Press, 1971.