

超高耐压 SiC PiN ダイオードの作製と低オン抵抗化

梶 直樹[†] 丹羽 弘樹[†] 須田 淳[†] 木本 恒暢[†]

[†] 京都大学大学院工学研究科 〒615-8510 京都市西京区京都大学桂 A1-303

E-mail: [†] kaji@semicon.kuee.kyoto-u.ac.jp

あらまし 超高耐压 SiC バイポーラデバイス実現には、接合終端構造の設計が重要になる。本研究では、当グループが提案した空間変調型 Junction Termination Extension (JTE) 構造をデバイスシミュレーションにより設計し、厚さ 186 μm 、ドーピング密度 $2\sim 3\times 10^{14}\text{ cm}^{-3}$ である n 型 SiC の耐压維持層を用いて、広い範囲の JTE ドーズ量で超高耐压(>17 kV)の SiC PiN ダイオードを実現した。また、熱酸化によるキャリア寿命向上プロセスにより、耐压維持層のキャリア寿命が 1.07 μs から 19.4 μs に増大し、電流密度 100 A/cm²、150°C において、順方向オン電圧、オン抵抗がそれぞれ 5.40 V、17.8 m Ωcm^2 となり、熱酸化を行わなかった PiN ダイオードと比較して大幅に改善することを示した。

キーワード SiC, PiN ダイオード, 接合終端構造, デバイスシミュレーション, キャリア寿命

Fabrication of Ultrahigh-Voltage SiC PiN Diodes with Low On-Resistance

Naoki KAJI[†] Hiroki NIWA[†] Jun SUDA[†] and Tsunenobu KIMOTO[†]

[†]Department of Electronic Science and Engineering, Kyoto University,

A1-303 Kyotodaigaku-katsura, Nisikyo, Kyoto 615-8510, Japan

E-mail: [†] kaji@semicon.kuee.kyoto-u.ac.jp

Abstract Designing of edge termination structure is an essential technique to realize ultrahigh-voltage SiC bipolar devices. In this study, we have designed edge termination by device simulation, especially Space-Modulated Junction Termination Extension (SM-JTE) structure that our group proposed. With the designed SM-JTE, we have fabricated SiC PiN diodes with over 17 kV breakdown voltages in wider range of JTE dose, which indicates SM-JTE is a promising edge termination structure to realize ultrahigh-voltage SiC bipolar devices. Furthermore, by performing lifetime enhancement process via thermal oxidation, we have demonstrated drastic improvement of the on-state voltage drop and the differential on-resistance of the PiN diodes.

Keyword SiC, PiN diode, Junction Termination Extension (JTE), Device simulation, Carrier lifetime

1. 背景

現在、パワー半導体デバイス材料として主に珪素 (Si) が用いられている。Si パワーデバイスは、長年に渡る研究開発により、その物性値から決まる理論限界に達しつつあり、これ以上の飛躍的な性能の向上は困難な状況である。そこで近年、Si に代わる新しい材料として、炭化珪素 (SiC: Silicon Carbide) が注目を集めている。SiC は Si と比較して約 3 倍の禁制帯幅を有しており、高温環境下での動作が可能であるため、水冷ユニットの小型化・低コスト化が可能になる。さらに Si より約 10 倍大きい絶縁破壊電圧を有しているため、Si と同耐压のデバイスを作製する際に耐压維持層の厚さを 1/10 に、ドーピング密度を 100 倍にできるため、オン抵抗を桁違いに低減することができる[1]。これらの理由から、SiC を用いることで高耐压・低損失なパワーデバイスが実現可能であり、電力変換器の小型化や省電力化、そして高性能化が可能となる。

特に超高耐压 SiC パワーデバイスは送電・変電系統設備の低損失化に貢献できると期待されている。6.6 kV の配電系統の制御には、13~20 kV 以上の耐压を有する超高耐压の半導体デバイスが必要とされるが、SiC がいかに高耐压パワーデバイスに適した物性値を有していようと、ユニポーラデバイスであるショットキーバリアダイオードや MOSFET を用いる場合はオン抵抗が著しく高くなってしまうため、低損失化を実現することはできない。一方、PiN ダイオードや IGBT などの SiC バイポーラデバイスでは、伝導度変調により順方向動作時のオン抵抗を著しく低減することが可能となる。現在、耐压 10 kV 以上の SiC バイポーラデバイスに関する報告は増加しているものの [2-4]、20 kV 以上の耐压を有するデバイスに関する報告は少なく [5]、依然として研究段階である。

超高耐压 SiC バイポーラデバイス実現に向けた重要な技術として、接合終端構造の設計が挙げられる。実

を用いることで、18.9 kV という半導体素子の中でも最高水準の耐圧を実現した。2 ゾーン JTE を用いることでも同様の最高耐圧が得られたが、空間変調型 JTE を用いることで、このような最高水準の耐圧(17 kV 以上)を広い範囲の JTE ドーズ量で実現した。

得られた実験結果より、次のことが言える。低ドーズ側では JTE 構造による耐圧に有意な差は見られない。このドーズ量の領域では、JTE はその構造によらず比較的低い逆方向電圧で完全に空乏化し、メサの下端や pn 接合端で電界集中が生じる。メサ構造は JTE 構造によらず同じであるため、耐圧に有意な差は見られない。一方、高ドーズ側では、空間変調型 JTE を用いることで高い耐圧が得られた。これは前述したように、空間変調型 JTE を用いることで JTE 外周端の電界集中を緩和したためであると言える。また、実験結果はシミュレーション結果と比較してドーズ量の正方向にシフトしていると考えられる。これは、SiO₂/p 型 SiC 界面近傍に存在する正の実効固定電荷が JTE 中のイオン化アクセプタと補償し、実効的な JTE ドーズ量が減少したためであると推測している。

4.2. 順方向特性

順方向特性には、耐圧維持層のキャリア寿命が重要なパラメータとなる。ダイオード作製プロセスを行う前の n 型耐圧維持層におけるキャリア寿命は、熱酸化前が約 1.1 μs、1400°C、48 時間の熱酸化後が約 19 μs となった。

作製した SiC PiN ダイオードの室温と 150°C における順方向 I-V 特性を図 8 に示す。熱酸化を行っていない PiN ダイオードでは、電流密度 100 A/cm² における微分オン抵抗が室温で 30.8 mΩcm²、150°C で 32.0 mΩcm² となり微分オン抵抗は正の温度依存性を示した。これは、温度上昇に伴う移動度の低下により耐圧維持層の抵抗が上昇したためであると考えられる。熱酸化を行った PiN ダイオードの微分オン抵抗は室温で 24.0 mΩcm²、150°C で 17.8 mΩcm² となり、熱酸化を行っていない PiN ダイオードと比較して微分オン抵抗が大幅に低減された。さらに、微分オン抵抗は負の温度依存性を示したが、これは温度上昇に伴うキャリア寿命の増加により、伝導度変調の効果が高まったためであると言える。熱酸化後の PiN ダイオードでは、400°C において微分オン抵抗が 11.1 mΩcm² まで低減された。

以上より、キャリア寿命向上プロセスを行うことにより、微分オン抵抗の温度依存性を含めた順方向特性が改善されることが示された。

5. まとめ

本研究では、デバイスシミュレーションを用いた接

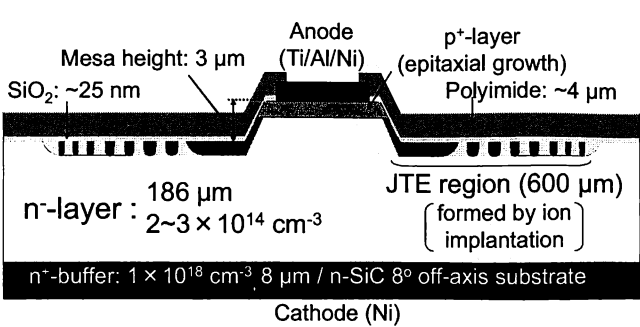


図 6: 作製した SiC PiN ダイオードの模式図

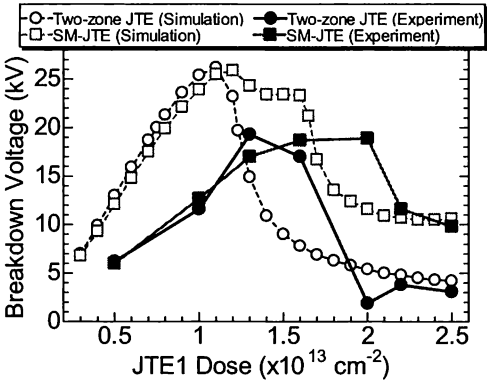


図 7: 作製した SiC PiN ダイオードの耐圧の JTE ドーズ量依存性

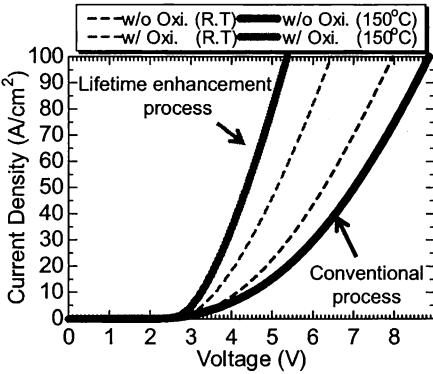


図 8: 作製した SiC PiN ダイオードの順方向 I-V 特性 (キャリア寿命向上プロセス前後の比較)

合終端構造、特に空間変調型 JTE の設計による SiC PiN ダイオードの超高耐圧化と、熱酸化を用いたキャリア寿命向上プロセスによる低オン抵抗化を目指した。

デバイスシミュレーションでは、設計した空間変調型 JTE を用いることで最適ドーズ量幅が従来の 2 ゾーン JTE と比較して大幅に広くなり、SiO₂/p 型 SiC 界面近傍に存在する正の固定電荷等の影響による実効的な JTE ドーズ量の変化に対する耐性が強くなることが示された。これより、本構造が超高耐圧 SiC バイポーラ

デバイス実現に向けて非常に有望な構造であると言える。

設計した空間変調型 JTE 構造を用いて SiC PiN ダイオードを作製し、18.9 kV という最高水準の耐圧を実現した。また 17 kV 以上の高耐圧を広い範囲の JTE ドーズ量で達成した。

熱酸化を用いたキャリア寿命向上プロセスを行い、耐圧維持層のキャリア寿命を向上させることで、電流密度 100 A/cm²、温度 150°C における微分オン抵抗として 17.8 mΩcm² を得た。従来プロセス(32.0 mΩcm²)と比較して大幅に低減することに成功した。

6. 謝辞

本研究は、日本学術振興会の最先端研究開発支援(FIRST)プログラムおよび科学技術日補助金により助成を受けたものである。

文 献

- [1] M. Bhatnagar and B. J. Baliga, "Comparison of 6H-SiC, 3C-SiC and Si for Power Devices", IEEE Trans. Electron Devices, vol. 40, pp. 645-655, March 1993.
- [2] Y. Sugawara, D. Takayama, K. Asano, R. Singh, J. Palmour and T. Hayashi, "12-19 kV 4H-SiC pin Diodes with Low Power Loss", Proc. Int. Symp. Power Semicond. Devices & ICs (Osaka), pp. 27-30, 2001.
- [3] M. K. Das, B. A. Hull, J. T. Richmond, B. Heath, J. J. Sumakeris, and A. R. Powell, "Ultra High Power 10 kV, 50 A SiC PiN Diodes", Proc. Int. Symp. Power Semicond. Devices & ICs (Santa Barbara), pp. 299-302, 2005.
- [4] T. Hiyoshi, T. Hori, J. Suda, and T. Kimoto, "Simulation and Experimental Study on the Junction Termination Structure for High-Voltage 4H-SiC PiN Diodes", IEEE Trans. Electron Devices, vol. 55, pp. 1841-1846, August 2008.
- [5] A. Agarwal, M. Das, S. Krishnaswami, J. Palmour, J. Richmond, and S-H. Ryu, "SiC Power Devices – An Overview", Mater. Res. Soc. Symp. Proc., vol. 815, pp. 243-254, 2004.
- [6] B. J. Baliga, Fundamentals of Power Semiconductor Devices, Springer-Verlag, 2008.
- [7] V. Temple, and W. Tantraporn, "Junction Termination Extension for Near-Ideal Breakdown Voltage in p-n Junctions", IEEE Trans. Electron Devices, vol. ED-33, pp. 1601-1608, October 1986.
- [8] R. Ghandi, B. Buono, M. Domeiji, G. Malm, C-M. Zetterling, and M. Östling, "High-Voltage 4H-SiC PiN Diodes With Etched Junction Termination Extension", IEEE Electron Device Letters, vol. 30, pp. 1170-1172, November 2009.
- [9] A. V. Boltnikov, P. G. Muzykov, Q. Zhang, A. K. Agarwal, and T. S. Sudarshan, "Junction Termination Extension Implementing Drive-in Diffusion of Boron for High-Voltage SiC Devices", IEEE Trans. Electron Devices, vol. 57, pp. 1930-1935, August 2010.
- [10] E. A. Imhoff, F. J. Kub, K. D. Hobart, M. G. Ancona, B. L. Vanmil, D. K. Gaskill, K-K. Lew, R. L. Myers-Ward, and C. R. Eddy, Jr, "High-Performance Smoothly Tapered Junction Termination Extensions for High-Voltage 4H-SiC Devices", IEEE Trans. Electron Devices, vol. 58, pp. 3395-3400, October 2011.
- [11] W. Sung, E. V. Brunt, B. J. Baliga, and A. Q. Huang, "A New Edge Termination Technique for High-Voltage Devices in 4H-SiC-Multiple-Floating-Zone Junction Termination Extension", IEEE Electron Device Letters, vol. 32, pp.880-882, July 2011.
- [12] G. Feng, J. Suda, and T. Kimoto, "Space-Modulated Junction Termination Extension for Ultrahigh-Voltage p-i-n Diodes in 4H-SiC", IEEE Trans. Electron Devices, vol. 59, pp. 414-418, February 2012.
- [13] T. Hiyoshi, and T. Kimoto, "Elimination of the Major Deep Levels in n- and p-Type 4H-SiC by Two-Step Thermal Treatment", Applied Physics Express, vol. 2, pp. 091101 2009.
- [14] A. O. Konstantinov, Q. Wahab, N. Nordell, and U. Lindefelt, "Ionization rates and critical fields in 4H silicon carbide", Appl. Phys. Lett., pp. 90-92, 1997.
- [15] N. Inoue, T. Kimoto, H. Yano, and, H. Matsunami, "Deep Interface States in SiO₂/p-type α-SiC Structure", J. J. Appl. Phys., vol. 36, pp. 1430-1432, November 1997.
- [16] M. Noborio, J. Suda, and T. Kimoto, "P-Channel MOSFETs on 4H-SiC {0001} and Nonbasal Faces Fabricated by Oxide Deposition and N₂O Annealing", IEEE Trans. Electron Devices, vol. 56, pp. 1953-1958, September 2009.
- [17] Y. Negoto, K. Katsumoto, T. Kimoto and H. Matsunami, "Electronic behaviors of high-dose phosphorus-ion implanted 4H-SiC(0001)", Journal of Appl. Phys., vol. 96, pp. 224, July 2004.