

氏 名	栗 林 元 隆
学位(専攻分野)	博 士 (工 学)
学 位 記 番 号	論 工 博 第 3414 号
学位授与の日付	平 成 11 年 3 月 23 日
学位授与の要件	学 位 規 則 第 4 条 第 2 項 該 当
学 位 論 文 題 目	機能ブロック混載LSIのレイアウトとタイミング検証の高度化に関する研究

(主査)

論文調査委員 教授 田丸啓吉 教授 岩井敏洋 教授 中村行宏

論 文 内 容 の 要 旨

集積回路製造プロセスの微細化により、1チップに集積される素子数が年々増加している。これにともない設計技術上にも種々の問題が生じてきた。まず大規模回路の設計手法として、別に設計した機能ブロックを利用する階層的な設計手法が使用されるようになった。このとき従来の自動配線方法では機能ブロックは配線障害物と見なされるので、機能ブロックの周囲で配線の局部的混雑が発生する。したがってより高度な配線手法が必要になっている。また微細化により回路性能が向上するのにともない、タイミング検証や回路動作・検証の精度向上と高速化が求められている。本論文はこれらの諸問題を検討し、その解決手法の開発成果をまとめたもので、全体は6章から構成されている。

第1章は序論で問題の発生した背景を説明し、本論文の構成を示している。

第2章では本論文で取り扱う分野の従来技術とその問題点について述べ、本研究の必要性とその立場を説明している。

第3章では機能ブロックが混載されているチップを高速で高密度に配線する階層的配線手法について述べている。この手法では配線の禁止されている機能ブロックの近傍の配線混雑が生じないように、階層の上の段階で各種の条件を考慮してカットラインの選択スケジュールを最適化することにより、処理時間が速く、均等な混雑度で、配線長はほぼ同等の自動配線を得た。

第4章ではトランジスタレベルのロジック回路の高精度タイミング解析に使用するスタティックタイミング解析を効率良く行う上で不可欠な信号の流れる方向を決定する新しいアルゴリズムの考案について述べている。近年のトランジスタレベルの回路設計では、高速動作を実現するためダイナミック回路やパストラジスタロジック回路を多く使用する。しかしMOSトランジスタは信号の流れの上では双方向素子であるので、クリティカルパスを求めるためには信号の方向を決定する必要がある。このため最初はパターンマッチングで単純な回路部分を抽出し、次にルールベースの手法でパストラジスタの信号の流れを決定し、最後に方向の決まっていないトランジスタを1個ずつ選択してアルゴリズムベースの手法で方向を決定する。この手法をベースに高速のタイミング解析ツールを開発した。

第5章では混載ブロックを含む大規模な回路の回路シミュレーションを効率良く行う手法について述べている。回路シミュレータは精度の良い回路動作のシミュレーションが行えるが、扱える回路規模が制限される。そのためシミュレーションに関係のない部分の回路を縮約するプログラムを開発し、ネットリストの数を1～2桁減らすことに成功し、大規模回路も一括して回路シミュレーションを可能とした。また処理時間も1～2桁短縮した。

第6章は結論で、本論文の内容をまとめるとともに、将来の課題について述べている。

論文審査の結果の要旨

集積回路の微細化技術の進歩により、1チップに集積される素子数が増加している。これにともない、大規模回路の設計技術にも、種々の新しい問題が生じている。本論文は、大規模回路の設計手法として使用されている機能ブロックを利用した階層設計手法に関連して生じる問題の中から、高密度の自動配線手法、高速ロジック回路のスタティックタイミング解析法、大規模回路の回路シミュレーション手法について検討し、解決手法を開発した成果をまとめたもので、得られた主な成果は以下のとおりである。

1. 機能ブロックを混載しているチップ上で、ブロックの上の配線通過が禁止されている場合、機能ブロックの近傍で配線が混雑しないように、設計階層の上位の段階で配線の概略経路を決定するための手法を開発した。この方法では配線上の制約条件をコストとする評価関数を設定し、配線経路を決定するカットラインの選択スケジュールを最適化することにより、処理時間が速く、均等な混雑度の配線を得ることを可能にした。

2. パストランジスタロジックなど高速のロジック回路では、MOSトランジスタは双方向性素子として扱われるため、トランジスタレベルの回路図から自動的にクリティカルパスを決定することが困難になる。このためトランジスタの信号伝搬の方向を決定する手法を開発した。この方法では単純な回路はパターンマッチングで抽出して方向を決定し、残る部分についてはルールベースで解析し、さらに方向の決まっていないトランジスタを1個ずつ選択してNon-Z手法と呼ぶアルゴリズム的手法を適用する。この手法を使用することにより、スタティックタイミング解析をほぼ1桁高速に行うツールを開発した。

3. アナログ回路を含む機能ブロックを混載する場合には、全体をシミュレーションする必要があるが、回路シミュレータの扱える回路規模には制限があり、また回路規模が大きくなると処理時間が急激に増大するという問題がある。これに対して回路の中からシミュレーション結果に関係する素子のみを抽出して、ネットリストを縮約するツールを開発した。ネットリストの数は1桁から最大2桁程度縮小され、大規模回路も一括して回路シミュレーションすることを可能にした。

以上要するに本論文は、機能ブロックを混載する大規模集積回路を設計する階層的設計手法で生じる問題の中から、回路とレイアウトレベルの問題点を取り上げ、自動配線とタイミング検証について解決手法を開発した成果をまとめたもので、得られた結果は学術上実際上寄与するところが少なくない。

よって本論文は博士（工学）の学位論文として価値あるものと認める。また平成11年1月19日に、論文内容とそれに関連した事項について試問を行った結果、合格と認めた。