

(論文内容の要旨)

半導体技術の進歩によりLSIの性能が飛躍的に向上してきており、組込み機器においても様々な処理が実現可能となっている。組込み機器に搭載するLSIでは、回路規模や消費電力が厳しく制約されるため、制約内で高性能を達成する高度な設計技術が必要となる。また性能と同時に、設計期間の短縮を可能とする、アーキテクチャ改善を含む設計効率の向上も強く求められている。

一方で車載や監視、ロボット等の用途において、組込み機器上で画像認識を実時間で実現したいという要求が高まっている。特に物体認識は画像認識の中心的な技術であり、近年、認識精度が著しく向上してきている。これらの認識処理は、例えば極めて高次元の特徴ベクトルを学習機械等により識別する等、大きな演算量を必要とすることから、これまで組込み機器上での実時間処理は困難であった。高性能な組込み画像認識システムを実現するためには、アプリケーションとハードウェアの両側面から検討を行うとともに、その汎用的な設計手法の確立が期待されている。

そこで本研究では、上記のような問題を解決し組込み機器上での高精度な画像認識の実時間処理を実現するため、性能と設計効率の両立を目指したLSIシステムの設計手法を提案することを目的とする。

まず画像認識に適した高性能なハードウェア設計手法を提案するため、近年の高精度な物体認識アルゴリズムの性質を分析し、それぞれ詳細な並列化検討に基づきアーキテクチャ検討を行った。その結果、近年の画像認識アルゴリズムにおいては入力データ量に対する演算量の比率が極めて高く、画像データへのメモリアクセスが集中する特徴があることが分かった。そこで本研究では、並列処理による高速化の効果を高めるため、レジスタアレイの利用によりデータへのアクセス競合を回避する手法を提案した。提案設計手法により実際にHaar-like特徴およびCoHOG特徴を用いた物体検出ハードウェアを設計し、共に従来のプロセッサ等への実装と比べて大幅な高速化を達成し、提案手法の有用性を示した。

次に、上記で提案した高性能なアーキテクチャ設計手法を取り入れつつ、LSIシステムの設計効率を高めるために、設計の自動化と再利用性の2つの観点から検討を行った。

まず1つ目として設計の自動化を対象とし、粗粒度再構成デバイスに着目し、アーキテクチャ評価環境を提案した。再構成デバイスは演算要素間の配線を自由に変更できるため、上記で提案したレジスタアレイを用いる画像認識アルゴリズムの並列実装が実現可能である。また粗粒度構造により専用ハードウェアの設計と比べ設計効率が高いという利点がある。本研究では、このような粗粒度再構成デバイスを画像認識向けLSIシステムに利用することを狙い、様々なアーキテクチャに対応可能な粗粒度再構成デバイス向けコンパイラを新たに開発し、これを用いたアーキテクチャ評価環境を構築した。本評価環境によりアプリケーションに適したアーキテクチャ探索が効率良く行えるようになる。画像認識向けLSIシステムのための有用な設計環境となる。

2つ目として設計の再利用性を対象とし、非同期式IPコアの設計手法を提案した。性能と設計効率の高さを両立するには、予め設計した高性能な回路をIPコアとして様々なシステムで再利用することが有用である。一方で非同期式回路は設計が困難な反面、高性能な回路を実現できる可能性がある。そこで本研究では、高性能なLSIシステムを容易に設計可能とするため、予めある必要な機能毎に高性能な非同期式回路を設計しておき、それをIPコアとして提供する手法を提案した。また、個々のIPコアの設計自体も効率化するため、本研究では特にFPGAを対象とした非同期式回路の設計フローを提案した。提案設計フローを用い、単精度浮動小数点除算器の非同期式IPコアを設計した結果、同期式回路より面積、消費電力において優れた性能が得られ、他のシステムに組み込んで実際に動作可能であることを示した。

以上のような検討を通じ、本研究では、高精度な画像認識アルゴリズムを対象とした組み込み向けLSIシステムについて、性能と設計効率の両立を目指した各種設計手法を提案し、その実現に向けた指針を示すことができた。

(論文審査の結果の要旨)

本論文は、「LSI Design Methodology for Real-Time Computer Vision on Embedded Systems (組込みシステムにおける実時間画像認識のためのLSI設計手法)」と題し、民生機器等に組込んで使用される集積回路、特に実時間画像認識に適する高性能な集積回路を効率よく設計する方法を提案し論じたもので、7章から構成されている。

第1章では、本論文が対象とする、組込みシステムにおける画像処理の概要を、特に組込みシステムに求められる制約と実時間処理を実現する集積回路の設計という観点からまとめている。続いて第2章で、多様な画像認識アルゴリズムの具体的な処理を概説するとともに、そこで必要となる演算処理とデータの流れとを分析して、画像認識に適する集積回路アーキテクチャを提案している。特に高次元の特徴量に対し統計的な処理を行う現代の画像認識アルゴリズムでは、メモリアクセス競合が性能向上の最大の障害となることを指摘し、これを効果的に回避できるレジスタアレイを用いる処理並列度の高い集積回路アーキテクチャを新たに提案している。

第2章での分析に基づいた物体検出アルゴリズムを、FPGA上に具体的なハードウェアとして設計、実装し性能を測定することで提案の妥当性を検証している。第3章および第4章ではそれぞれ、物体検出において広く用いられているHaar-like特徴およびCoHOG特徴に対し、提案するレジスタアレイに基づくアーキテクチャを構成した。従来のプロセッサ等では実時間処理が困難であった両アルゴリズムが、本論文において提案しているアーキテクチャで大幅な高速化が達成され実時間処理が可能となった。提案手法の有用性と一般性を具体的事例に基づいて示している。

こうしたアルゴリズムに対応する集積回路設計には従来、多くの工数を要する困難な作業であることが広く認識されていた。この課題に対し、本論文では第5章と第6章において、設計効率の向上を実現する一般性の高い設計手法を提案している。粗粒度再構成デバイスの利用により設計自由度と設計効率の両立させることに加え、演算処理のデバイス上への実現を自動化するコンパイラを構築してアプリケーションに応じたアーキテクチャの構成評価を省力化し、広い設計空間の効率的な探索を可能とした。さらに、対象画像により変化し得る性能要求に柔軟に対応し得る、非同期式演算器の設計手法を提案している。

本論文により得られた成果と今後の展望は、第7章にまとめられている。

本論文で提案している設計手法を用いることにより、消費電力や回路規模等の設計制約のもとで高い認識性能を実現する組込み応用向け集積回路を、短い期間で設計することが可能となる。集積回路構成・設計手法に関する学術的意義と、提案手法により実現される実時間画像認識システムの広範な応用可能性の観点から、情報学の発展に資するところが少なくない。よって、本論文は博士(情報学)の学位論文として価値あるものと認める。また、平成21年10月8日実施した論文内容とそれに関連した試問の結果合格と認めた。