

## 二段組合せ回路の最大動作率について

### Maximum Power Consumption Ratio on Two-Level Circuits

阿武孝文 (Takafumi ANNO) 堀山貴史 (Takashi HORIYAMA) 岩間一雄 (Kazuo IWAMA) \*

E-mail: {anno, horiyama, iwama}@lab2.kuis.kyoto-u.ac.jp

#### 概要

回路の消費電力は回路が消費する平均電力と最大電力の二つの観点から問題視される。本稿では後者の最大電力に注目し、2入力のANDゲートとNOTゲートから構成される一般の $n$ 入力の二段組合せ回路について、ゲート出力が変化したときのみ電力消費が発生するとして単純にモデル化を行った。更に入力変化に対応する消費電力の指標として回路の動作率を定義し、回路入力 $n > 4$ の場合について回路ごとに異なる最大動作率の下限を $n$ の関数の形で示した。また $n = 4$ の場合には下限を実現する回路を提示し下限がタイトであることを示した。

#### 1 はじめに

回路の消費電力を扱うとき、その対象は大きく二つに分けることができる。一つは回路が消費する平均電力で、この問題の背景には携帯機器の駆動時間や発熱などが存在する。いま一つは回路が消費する最大電力で、こちらは回路の要求を満たす電源の設計という観点から問題となる。本稿では回路が消費する最大電力を対象とする。

一般に対象となる回路にランダムにテスト入力を与えて消費電力を測定することを繰り返すと、その平均値は真の平均値に収束してゆく性質が中心極限定理として知られている。回路の平均消費電力を見積もる方法としてこの性質を利用したものが提案されている。[1], [2]

これに対して回路が消費する最大電力の見積もりはその入力値のとり空間の広大さのため困難である。一般に $n$ 入力の回路は $2^n$ の入力パターンを持つ。回路の電力消費は主に回路を構成する素子とその出力

を変化させる際に生ずる性質があるため、 $n$ 入力回路の最大消費電力を見積もるとき、探索すべき空間は $4^n$ と指数関数的に増大する。この困難を克服するために回路を表す論理関数をSATの問題に還元し、SATに対する近似アルゴリズムを応用する手法が提案され[3], [4]、一定の成果を挙げている。

回路の最大消費電力を考えるに当たり、回路の最大消費電力に自明でない下限が存在することが言えれば、その値を用いて最大消費電力の見積もり誤差をバウンドすることができる。本稿では回路がその規模に比例した形で一定の電力を消費してしまうことを示し、最大電力消費を見積もる際の一助とする。

本稿は以下のように構成される。第2章で考察の対象とする回路について説明し、最大動作率の定義を与える。第3章で回路入力 $n = 4$ の場合を考察し、次いで第4章で回路入力が一般の $n > 4$ の場合を考察する。最後に第5章で得られた結果をまとめる。

#### 2 電力消費および回路モデル

この章では本稿で取り扱う回路や、用語について説明を行う。まず回路のモデル化を行い、次いで回路の最大動作率を定義する。

##### 2.1 回路モデル

本稿で取り扱う回路は2入力のANDゲートとNOTゲートで構成される $n$ 入力の組合せ二段回路である。二段目の出力を除き、NOTゲートはANDゲートの入力に附属するものとして扱い、段数に数えない。各ゲートへの入力は遅延無く伝わるものとし、その出力変化も遅延無く生ずるとする。回路の構成は任意であるがいくつかの例外が存在し、出力が同じ関数で表現される冗長なANDゲート、およ

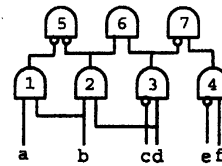
\*606-8501 京都市左京区吉田本町 京都大学大学院 情報学研究科: Graduate School of Informatics, Kyoto University, Kyoto, 606-8501, Japan

び出力が恒真または恒偽である AND ゲート（不動ゲート）は回路から排除する。

## 2.2 回路動作率

回路の電力消費は回路内に存在する素子の負荷容量への充放電，スイッチング時にグラウンドと電源ラインが短絡するために生ずるショートサーキット効果，信号伝搬遅延によるグリッド，など様々な要因により引き起こされる。そのためある回路の消費電力を正確に求めるためには個々の素子固有のパラメータを始めとして，素子のスイッチング確率や入力パターン間の相関など様々な情報が必要であり，その値を正確に求めることは一般に困難である。本稿では素子のスイッチングによる電力消費が回路における電力消費の主因であることから，これを電力消費の唯一の原因として回路を単純にモデル化する。更に本稿では各 AND ゲートの消費電力を規格化し全て等しいとする。これらの仮定をおくことで以下に定める回路動作率と回路の電力消費率を対応付けることができる。

前項で述べた回路のモデル図を図 1 に示し，これを例に回路動作率の説明を行う。回路への入力がある入力セット  $S$  から別の入力セット  $S'$  へと変化したとき，回路中に存在する AND ゲートにその出力値が変化したものが現れる。この AND ゲートを動作ゲートと呼び，回路中に存在する全 AND ゲート数と動作ゲート数の比をその回路のその入力変化に対する動作率とする。図 1 の例では始めに  $S_{(a,b,c,d,e,f)} = (0, 1, 1, 0, 0, 1)$  なる入力値が与えられ，このとき出力値が 1 である AND ゲート集合  $G_{sat}(S)$  は  $G_{sat}(S) = \{4, 5, 7\}$  である。次いで  $S'_{(a,b,c,d,e,f)} = (1, 1, 0, 0, 1, 0)$  なる入力値が与えられ，このときは  $G_{sat}(S') = \{1\}$  である。ここで出力値が変化した AND ゲート集合  $G_{work}(S, S')$  を考えると  $G_{work}(S, S') = \{1, 4, 5, 7\}$  である。回路に存在する全 AND ゲートは 7 なので，この回路の  $S$  から  $S'$  への入力変化に対する回路動作率は  $\frac{4}{7}$  となる。同様に  $S'$  から  $S''$  への入力変化に対する回路動作率は  $\frac{3}{7}$  と計算される。全ての入力セットの変化に対して回路動作率を求め，その最大値をその回路の最大動作率とする。最大動作率は回路に固有の値であり，回路入力を  $n$  と定めても回路ごとに様々な値をとる。本稿では回路の最大動作率の下限を回路入力  $n$  の関数の形で示す。



| Input Set<br>(a,b,c,d,e,f) | Satisfied        | Switched         | Ratio |
|----------------------------|------------------|------------------|-------|
| $S (0, 1, 1, 0, 0, 1)$     | $\{4, 5, 7\}$    |                  |       |
| $S' (1, 1, 0, 0, 1, 0)$    | $\{1\}$          | $\{1, 4, 5, 7\}$ | $4/7$ |
| $S'' (1, 1, 0, 1, 1, 1)$   | $\{1, 2, 3, 6\}$ | $\{2, 3, 6\}$    | $3/7$ |

図 1: 回路モデルおよび回路動作率の計算例

## 2.3 入力変化とゲート動作

本稿では入力変化に対する AND ゲートの出力変化を考える。そのため 4 種類の入力変化ごとに文字を割当て，変化前の入力と変化後の入力をまとめると表記が簡略化され，取扱いが容易となる。そこで表 1 のように入力変化に文字を割当てる。

表 1: 入力変化と文字割当て

| $x \rightarrow x'$ | 文字割当て | $\neg(x \rightarrow x')$ |
|--------------------|-------|--------------------------|
| $0 \rightarrow 0$  | $f$   | $t$                      |
| $1 \rightarrow 1$  | $t$   | $f$                      |
| $1 \rightarrow 0$  | $d$   | $u$                      |
| $0 \rightarrow 1$  | $u$   | $d$                      |

各入力変化をここで割当てた文字で表したものを新たに回路への入力として考える。 $f, t, d, u$  からなるある入力を与えられたとき，出力が  $d, u$  のいずれかである AND ゲートが動作したゲートである。AND ゲートへの入力と出力の関係は表 2 のようになる。

表 2: AND ゲートの入出力表

| $x \backslash x'$ | $f$ | $t$ | $d$ | $u$ |
|-------------------|-----|-----|-----|-----|
| $f$               | $f$ | $f$ | $f$ | $f$ |
| $t$               | $f$ | $t$ | $d$ | $u$ |
| $d$               | $f$ | $d$ | $d$ | $f$ |
| $u$               | $f$ | $u$ | $f$ | $u$ |

ここで  $f$  もしくは  $t$  のみからなる入力について考えると，そのような入力は回路中に存在するいかなる

AND ゲートをも動作させない。そのためそのような入力は考慮すべき範囲から除く。従って  $n$  入力回路について考慮する全入力パターン数  $I_n$  は、 $I_n = 4^n - 2^n$  となる。

また  $S_{(a,b,c,d)} = (f, t, d, u)$  と  $S'_{(a,b,c,d)} = (f, t, u, d)$  のように入力に存在する全ての  $d$  を  $u$  に、 $u$  を  $d$  に置換した入力は回路中に存在する AND ゲートの出力値を  $d$  から  $u$ 、 $u$  から  $d$  と変化させるだけで各 AND ゲートの動・不動自体は変化させない。この入力対を双対入力と呼ぶ。 $d, u$  を含む入力、すなわち考察の対象となる入力は必ず一つだけ双対入力を持つ。

次に回路入力が増えたときある AND ゲートを動作させる入力を部分入力として持つ入力が全入力中にいくつ存在するのかを考える。これはその AND ゲートの論理式に使用されていない入力とその AND ゲートの論理式に使用されている入力とで値域の直積を考えればよい。例えば回路入力が  $(a, b, c, d, e, f)$  の 6 入力の場合、ある二段目ゲート  $g_{(a,b,c,d)} = (a \wedge b) \wedge (c \wedge d)$  を動作させる入力がいくつあるのかを考える。このとき  $(e, f)$  は  $(a, b, c, d)$  と独立であるから、その値のとり方は任意に選ぶことができる。そのため  $g_{(a,b,c,d)}$  を動作させる  $(a, b, c, d)$  からなる入力一つにつき、 $4^{6-4} = 16$  通りの入力が  $(a, b, c, d, e, f)$  からなる入力について考えられる。以上のことからその出力が  $k$  入力の論理式で表される AND ゲートが、回路入力が  $k$  のとき  $x$  の入力について動作するとすると、回路入力が  $n$  に増えたときその AND ゲートが動作する入力数は  $x \times 4^{(n-k)}$  で表される。

### 3 4 入力回路の最大動作率の下限

本稿で考察する回路に使用される AND ゲートは 2 入力なので、ある二段目 AND ゲートに影響を及ぼす入力は最大で 4 である。そこで本章では回路入力  $n = 4$  の場合を考察し、次章で一般化した  $n$  入力回路の場合を考える。

議論に先立って動作表とよばれる、以下に述べるような行列を導入する。各入力に対する回路の動作率を考えるとき、回路に存在する個々の AND ゲートの各入力に対する動・不動を行方向に 1・0 で表したものを考える。これを列方向に重ねた行列を回路ごとに考えることができ、このようにして作成した行列を回路動作表と呼ぶ。

回路動作表の行数は回路中に存在する AND ゲート数、列数は入力数  $I_n$  に対応し、ある行中に存在す

る 1 の数は対応する AND ゲートが全入力中いくつの入力について動作したかを表し、これをゲート動作数と呼ぶ。列方向に存在する 1 の数はある入力について回路中に存在する AND ゲートがいくつ動作したかを表し、これを回路動作数と呼ぶ。各入力に対する回路動作率は回路動作数を行数で割ることで求められる。

一例を図 2 に示す。この動作表は 5 つの AND ゲートからなる回路について作成されたもので、回路動作数を行列下部に記載してある。各列は各入力に対する AND ゲートの動作状況を示す。例えば、左端列に対応する入力が回路に加えられたとき AND ゲート  $g_4, g_5$  のみが動作し、この入力に対する回路動作数は 2 である。したがってこのとき回路動作率は  $\frac{2}{5} = 0.4$  である。また回路動作数が最大となる入力に対して回路動作率も最大値をとる。

|       |                                                                                |
|-------|--------------------------------------------------------------------------------|
| Name  |                                                                                |
| $g_1$ | $\begin{pmatrix} 0 & 0 & 0 & 0 & 1 & \cdots & 1 & 1 & 0 & 1 & 0 \end{pmatrix}$ |
| $g_2$ | $\begin{pmatrix} 0 & 1 & 1 & 0 & 0 & \cdots & 0 & 0 & 0 & 0 & 0 \end{pmatrix}$ |
| $g_3$ | $\begin{pmatrix} 0 & 0 & 1 & 0 & 1 & \cdots & 0 & 0 & 1 & 0 & 1 \end{pmatrix}$ |
| $g_4$ | $\begin{pmatrix} 1 & 1 & 0 & 0 & 1 & \cdots & 1 & 1 & 0 & 1 & 0 \end{pmatrix}$ |
| $g_5$ | $\begin{pmatrix} 1 & 0 & 1 & 0 & 1 & \cdots & 0 & 0 & 1 & 0 & 0 \end{pmatrix}$ |
|       | 2 2 3 0 4 $\cdots$ 2 2 2 2 1                                                   |
|       | The Number of Working Gates for each Input                                     |

図 2: 動作表の一例

4 入力回路でその最大動作率が最小であるものがどのような AND ゲートで構成されているであろうか、ということを予想すると、その回路を構成する AND ゲートは次に述べる二つの特長を持つものが望ましいと言える。

- ゲート動作数が小さい。
- ある入力について他の AND ゲートと同時に動作しにくい。

表 3: 二段目 AND ゲートとその動作数

|      |    |    |    |    |     |     |     |
|------|----|----|----|----|-----|-----|-----|
| 動作数  | 30 | 56 | 78 | 96 | 120 | 126 | 128 |
| ゲート数 | 16 | 32 | 96 | 24 | 96  | 48  | 58  |

そこでコンピュータプログラムを作成し、4 入力回路の二段目において考えられる全ての AND ゲート

についてゲート動作数を調べた。その結果ゲート動作数とゲート個数の関係は表3に示すものとなった。この動作数最小の16個の二段目ANDゲートを用いて作成した回路を図3に示す。この回路について全ての入力を与えてその最大動作率を求めたところ最大動作率  $\frac{1}{4}$ 、一段目部分の最大動作率  $\frac{1}{2}$ 、二段目部分の最大動作率  $\frac{1}{8}$  が得られた。これらの値が4入力回路において一段目、二段目、回路全体の最大動作率の下限  $R_{\max,1st}^{\text{lower}}(4)$ ,  $R_{\max,2nd}^{\text{lower}}(4)$ ,  $R_{\max}^{\text{lower}}(4)$  であること、すなわち  $R_{\max,1st}^{\text{lower}}(4) = \frac{1}{2}$ ,  $R_{\max,2nd}^{\text{lower}}(4) = \frac{1}{8}$ ,  $R_{\max}^{\text{lower}}(4) = \frac{1}{4}$  を以下に示す。

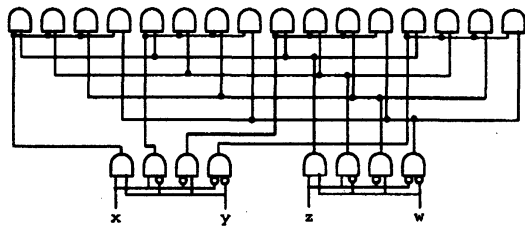


図3: 4入力で最大動作率最小の回路

まず回路の一段目部分の最大動作率の下限を考える。回路中に存在するANDゲートは2入力なので一段目ANDゲートの出力に影響を与えることのできる入力は最大で2種類である。冗長なANDゲート、および不動ゲートは回路に存在しないので  $(x \wedge x) = x$  や  $(x \wedge \neg x) = 0$  の形のANDゲートは存在せず、一段目ANDゲートは常に2入力の積の形をとる。

一段目ANDゲートはゲート入力部分へのNOTゲートの配置パターンにより、ある2入力の組合せについて  $(x \wedge y)$ ,  $(x \wedge \neg y)$ ,  $(\neg x \wedge y)$ ,  $(\neg x \wedge \neg y)$  の4種類が考えられるが、その各々についてANDゲートを動作させる入力が6通り存在する。例えば  $(x \wedge y)$  の形の一段目ANDゲートについては  $(x, y) = (t, d)$ ,  $(d, t)$ ,  $(d, d)$ ,  $(t, u)$ ,  $(u, t)$ ,  $(u, u)$  が存在する。今は回路入力  $n = 4$  の場合を考えているので各一段目ANDゲートは  $I_4 = 240$  の入力中、 $6 \times 4^{4-2} = 96$  通りの入力について動作する。単純な最大動作率の下限  $R_{\max,1st}^{\text{lower}}(4)$  は動作数最小のANDゲートのみで構成された回路について、その動作表中に存在する1が各列に均等に存在すると考えたときに与えられる。そのため一段目ANDゲート数  $m$ 、最小動作数  $x$  としたとき任意の4入力回路一段目部分の最大動作率  $R_{\max,1st}(4)$  について以下の式が成立する。

$$R_{\max,1st}(4) \geq \frac{\lceil \frac{mx}{I_n} \rceil}{m}$$

$$\geq \frac{mx}{I_n m} = \frac{x}{I_n} = \frac{96}{240} = \frac{2}{5}$$

この値はある入力について複数のANDゲートが同時に動作することを考慮しない場合の値である。実際には複数のANDゲートがある入力について同時に動作するため  $R_{\max,1st}(4)$  の下限はより大きくなる。そこで、動作表全体からそのような入力に対応する部分の行列を取り出し、平均値の底上げを考える。このときその部分行列の列数  $I$ 、行数  $m'$  とし、部分行列中に  $m'x'$  個1が存在するとすると、動作表の一部分について回路の最大動作率を考えたときも同様に以下の式が成立する。

$$R_{\max,1st}(4) \geq \frac{\lceil \frac{m'x'}{I} \rceil}{m'} \quad (1)$$

$$\geq \frac{m'x'/I}{m'} = \frac{x'}{I} \quad (2)$$

回路に存在するANDゲートが多く動作することが期待できる入力について考える。 $f$  が入力されたANDゲートはその入力について動作しないため、 $f$  もしくは  $t$  を含む入力が動作させるANDゲートは  $d$  もしくは  $u$  のみで構成される入力が動作させるANDゲートよりも少ないと思われる。 $d$  もしくは  $u$  のみで構成される入力を考えてみると、4入力回路についてそのような入力は  $2^4 = 16$  存在する。以下ではこの16入力について考える。

NOTゲートの配置パターンにより一段目ANDゲートは4種類に分類されるが、どの種類の一段目ANDゲートにも  $d$  もしくは  $u$  のみで構成される入力中に自身が動作する入力を二つ持つ。例えば  $(x \wedge y)$  には  $(x, y) = (d, d), (u, u)$  が存在する。ANDゲートは2入力なので4入力回路の場合、ある一段目ANDゲートを動作させる  $d$  もしくは  $u$  からなる入力は  $2 \times 2^{4-2} = 8$  存在する。

したがって一段目ANDゲートが  $m$  個存在する場合、回路動作表中の16入力の部分に  $8m$  個の1が存在する。このときの  $R_{\max,1st}(4)$  は式2より次のようになる。

$$R_{\max,1st}(4) \geq \frac{8}{16} = \frac{1}{2} \quad (3)$$

この値は図3の回路の示す値と一致する。したがって回路入力  $n = 4$  のとき、 $R_{\max,1st}^{\text{lower}}(4) = \frac{1}{2}$  が示された。

次に回路の二段目部分の最大動作率の下限を考える。二段目ANDゲートのゲート動作数は各々異なるが、その最小値は30である。したがって4入力回路

表 4: 一段目, 二段目 AND ゲートの個数の関係

| $x$         | 1 | 2 | 3   | 4 | 5   | 6   | 7    | 8  |
|-------------|---|---|-----|---|-----|-----|------|----|
| $y_{max}$   | 0 | 1 | 2   | 4 | 6   | 9   | 12   | 16 |
| $y_{max}/x$ | 0 | 2 | 2/3 | 1 | 6/5 | 3/2 | 12/7 | 2  |

の場合, 回路の二段目部分の最大動作率  $R_{max,2nd}(4)$  は式 2 から,

$$R_{max,2nd}(4) \geq \frac{30}{240} = \frac{1}{8} \quad (4)$$

この値もまた図 3 の回路の示す値と一致する. したがって  $R_{max,2nd}^{lower}(4) = \frac{1}{8}$  が示された.

続いて回路全体の最大動作率の下限について考える. はじめに回路の二段目部分が動作数最小の AND ゲートでのみ構成された回路について考える. このとき  $d$  もしくは  $u$  のみからなる 16 入力に対して一段目 AND ゲートの最小動作数は 8, 二段目 AND ゲートの最小動作数は 2 であるから回路全体の最大動作率  $R_{max}(4)$  について以下の式が成り立つ.

$$\begin{aligned} R_{max}(4) &\geq \left\lfloor \frac{8x+2y}{16} \right\rfloor / (x+y) \\ &= \frac{1}{8} \left( 1 + \frac{3}{1+\frac{y}{x}} \right) \end{aligned} \quad (5)$$

$\frac{y}{x}$  が最大のとき式 5 は最小値をとる. 動作数最小の二段目 AND ゲートは図 5 に示すとおり 4 入力の積の形をしているため, 二段目 AND ゲートの入力となる二つの一段目 AND ゲートは入力を共有してはならない. したがって入力  $(x, y)$  を入力に持つ一段目 AND ゲートが対になって動作数最小の二段目 AND ゲートを作ることのできる一段目 AND ゲートは  $(z, w)$  を入力に持つ  $(z \wedge w), (z \wedge \neg w), (\neg z \wedge w), (\neg z \wedge \neg w)$  の 4 通りのみである. 一段目 AND ゲート個数  $x$  が与えられたとき, 構成できる動作数最小の二段目 AND ゲート個数の上限  $y_{max}$  をまとめたものを表 4 に示す.

4 入力回路の場合前述したように  $y \leq 16$  なので  $\frac{y}{x} \leq 2$  が言える. したがって,

$$\begin{aligned} R_{max}(4) &\geq \frac{1}{8} \left( 1 + \frac{3}{1+\frac{y}{x}} \right) \\ &\geq \frac{1}{8} \left( 1 + \frac{3}{1+2} \right) = \frac{1}{4} \end{aligned}$$

である.

次に, 動作数が最小でない二段目 AND ゲートを組合せた場合の回路全体の最大動作率を考える. 回

路の一段目部分に  $a$  個, 二段目部分に  $b$  個の AND ゲートが存在するとし,  $d$  もしくは  $u$  のみで構成される 16 の入力範囲についてこの回路の最大動作率を考える. このとき一段目 AND ゲートの動作数はこの入力範囲において全て 8 で等しいが, 二段目 AND ゲートの動作数は各々異なる. この入力範囲での二段目 AND ゲートの動作数の最小値は 2 であるから, 二段目 AND ゲート全体で平均したとき  $(2+\epsilon)$  の動作数を持つとする. このとき以下の式が成立する.

$$\begin{aligned} R'_{max}(4) &\geq \left\lfloor \frac{8a + (2+\epsilon)b}{16} \right\rfloor / (a+b) \\ &\geq \frac{1}{8} \left( 1 + \frac{\epsilon}{2} + \frac{3-\frac{\epsilon}{2}}{1+\frac{b}{a}} \right) \end{aligned} \quad (6)$$

式 6 と図 3 に示す回路の最大動作率  $\frac{1}{4}$  を比較すると以下の不等式が成立すれば  $R_{max}^{lower}(4) = \frac{1}{4}$  であると言える.

$$\frac{1}{8} \left( 1 + \frac{\epsilon}{2} + \frac{3-\frac{\epsilon}{2}}{1+\frac{b}{a}} \right) \geq \frac{1}{4}$$

より

$$\frac{\epsilon}{2} + 2\frac{a}{b} \geq 1 \quad (7)$$

式 7 の成立を判定するために  $\epsilon$  と  $b$  について考える.  $\epsilon$  は動作数が最小の二段目 AND ゲート以外のものを回路に加えたために生じた動作数の増分を表す値として導入された. そこで,  $b = m + n$  とする. ここで  $n$  は  $b$  個の二段目 AND ゲートのうち動作数最小のもの個数,  $m$  は動作数最小でないもの個数とする.  $d$  もしくは  $u$  のみで構成された入力範囲において二段目 AND ゲートの動作数の最小値は 2 なので  $m$  個の二段目 AND ゲートは少なくとも新たに 1 つ, 動作する入力を持つことになる. また, この増分の入力も  $d$  もしくは  $u$  のみで構成される入力であるから, その双対入力もまた  $d$  もしくは  $u$  のみで構成される入力である. したがって,  $m$  個の二段目 AND ゲートは少なくとも 4 以上の入力について動作する. 以上の議論から  $\epsilon$  について以下の式が成立する.

$$(2+\epsilon) \geq \frac{2n+4m}{n+m} = 2 + \frac{2}{1+\frac{n}{m}} \quad (8)$$

式 8 より  $\epsilon \geq \frac{2}{1+\frac{n}{m}}$  である. これと  $b = n + m$  を式 7 に代入すると以下の不等式が新たに得られる.

$$\frac{\epsilon}{2} + 2\frac{a}{b} \geq \frac{m+2a}{m+n} \geq 1 \quad (9)$$

$2a \geq n$  のとき式 9 が成立する. ところで式 9 において  $a$  は一段目 AND ゲートの個数,  $n$  は二段目 AND

ゲートのうち動作数最小のものの個数であった。すなわち動作数最小の二段目 AND ゲートからなる回路にそれ以外のものをつけた回路の最大動作率の下限が式 9 で表されると考えると、式 9 の  $a, n$  は式 5 における  $x, y$  にそれぞれ対応する。4 入力回路において  $\frac{y}{x} = \frac{n}{a}$  の値域は  $0 \leq \frac{y}{x} \leq 2$  である。したがって式 9 は常に成立する。以上のことから  $R_{max}^{lower}(4) = \frac{1}{4}$  が示された。

#### 4 $n$ 入力回路の最大動作率の下限

回路入力  $n$  が一般の自然数 ( $n > 4$ ) の場合も前章と同様の考え方でその最大動作率の下限を求めることができる。

$n$  入力回路の一段目部分に AND ゲートが  $x$  個、二段目部分に動作数最小の AND ゲートが  $y$  個存在するとする。 $d$  もしくは  $u$  のみからなる  $2^n$  の入力中に一段目 AND ゲートは  $2^{n-2}$ 、二段目 AND ゲートは  $2^{n-4}$  の動作入力を必ず持つ。したがって回路の最大動作率  $R_{max}(n)$  の下限として以下の式が得られる。

$$\begin{aligned} R_{max}(n) &\geq \left[ \frac{2^{n-2}x + 2^{n-4}y}{2^n} \right] / (x+y) \\ &\geq \frac{1}{8} \left( 1 + \frac{3}{1 + \frac{y}{x}} \right) \end{aligned} \quad (10)$$

また二段目 AND ゲートに動作数最小のもの以外を含んだ回路の最大動作率  $R'_{max}(n)$  として前章の議論と同様に、一段目 AND ゲートの個数  $a$ 、二段目 AND ゲート個数  $b$ 、平均動作数の増分  $\epsilon$  として  $d$  もしくは  $u$  のみからなる  $2^n$  の入力範囲での最大動作率を考えることで以下の式が成立する。

$$\begin{aligned} R'_{max}(n) &\geq \frac{\left[ \frac{8a \times 2^{n-4} + (2+\epsilon)b \times 2^{n-4}}{2^n} \right]}{a+b} \\ &\geq \frac{1}{8} \left( 1 + \frac{\epsilon}{2} + \frac{3 - \frac{\epsilon}{2}}{1 + \frac{b}{a}} \right) \end{aligned} \quad (11)$$

式 11 は式 6 と同じである。したがって  $2a \geq n$  のとき式 11 の値は  $\frac{1}{4}$  以上であると言え、式 11  $\geq$  式 10 が成立する。ところが  $n > 4$  の場合を考えると  $\frac{y}{x}$  の最大値  $\frac{y}{x}_{max}$  は  $\frac{y}{x}_{max} \geq 16 \binom{n}{4} / 4 \binom{n}{2} = (n-2)(n-3)/3 > 2$  ( $n \geq 5$ ) より 2 を超えてしまい、 $2a < n$  のケースが生じる。したがって  $\frac{y}{x} > 2$  の領域で式 10 と式 11 の値を比較する必要がある。

以上の議論から以下の不等式が成立するならば最大動作率の下限を与える回路の二段目は、動作数が

最小の二段目 AND ゲートのみで構成されていると考えてよいと言える。

$$\begin{aligned} R'_{max}(n) - R_{max}(n) &> 0 \\ \frac{1}{8} \left( \left( 1 + \frac{\epsilon}{2} + \frac{3 - \frac{\epsilon}{2}}{1 + \frac{b}{a}} \right) - \left( 1 + \frac{3}{1 + \frac{y}{x}} \right) \right) &> 0 \end{aligned}$$

より

$$\frac{y}{x} \frac{a}{b} + \frac{\epsilon}{6} \left( 1 + \frac{y}{x} \right) > 1 \quad (12)$$

前章と同様に  $\epsilon$  と  $b$  について考える。 $b = m + n$  とし、 $n$  を回路中の二段目 AND ゲートのうち動作数最小のものの個数、 $m$  を動作数が最小でないものの個数として  $\epsilon$  について以下の式が成立する。

$$\begin{aligned} (2 + \epsilon)2^{n-4} &\geq \frac{2n + 4m}{n + m} 2^{n-4} \\ &= \left( 2 + \frac{2}{1 + \frac{n}{m}} \right) 2^{n-4} \end{aligned}$$

したがって  $\epsilon \geq \frac{2}{1 + \frac{n}{m}}$  である。これと  $b = m + n$  を式 12 に代入すると以下の式が得られる。

$$\frac{y}{x} \frac{a}{b} + \frac{\epsilon}{6} \left( 1 + \frac{y}{x} \right) \geq \frac{\left( \frac{y}{x} a + \frac{m}{3} \left( 1 + \frac{y}{x} \right) \right)}{m + n}$$

ここで前章の議論と同様に、動作数最小の二段目 AND ゲートのみで構成された回路にそれ以外のものを付け加えた回路の最大動作率の下限が式 11 で表されると考えると  $x = a, y = n$  とでき、更に  $2a < n$  であるから、

$$\begin{aligned} \frac{\left( \frac{y}{x} a + \frac{m}{3} \left( 1 + \frac{y}{x} \right) \right)}{m + n} &= \frac{n + \frac{m}{3} \left( 1 + \frac{n}{a} \right)}{n + m} \\ &> \frac{n + m}{n + m} = 1 \end{aligned}$$

したがって式 12 は  $n > 4$  について成立する。以上の議論から  $n > 4$  のとき最大動作率の下限を考える際には、回路の二段目部分が動作数最小の AND ゲートのみで構成された回路について考えれば十分であることが分かる。

$\frac{y}{x}$  が最大のとき式 10 は最小値をとる。したがって  $\frac{y}{x}$  の最大値が  $n$  の関数として求められればタイトな下限を示すことができる。しかし回路入力  $n$  が一般の  $n > 4$  の場合、前章と同様に一段目 AND ゲートの組合せを総当りで探索するアプローチを試みるのは組合せが膨大な数になるため困難である。

二段目 AND ゲートは一段目 AND ゲートを組合せて作ることから  $y$  の上界として  $y \leq \binom{x}{2} = x(x-1)/2$  が言え、更にある 2 入力の組合せひとつにつき NOT

ゲートの配置により4つの一段目 AND ゲートが考えられることから  $x \leq 4 \times \binom{n}{2} = 2n(n-1)$  より,

$$\begin{aligned} \frac{1}{8} \left( 1 + \frac{3}{1 + \frac{y}{x}} \right) &\geq \frac{1}{8} \left( 1 + \frac{6}{1+x} \right) \\ &\geq \frac{1}{8} \left( 1 + \frac{3}{n^2 - n + \frac{1}{2}} \right) \end{aligned} \quad (13)$$

が  $n > 4$  の場合の  $R_{\max}^{\text{lower}}(n)$  として得られる.

動作数最小の二段目 AND ゲートを作るためには入力を共有していない一段目 AND ゲートを組合せる必要があるため, 実際には生成可能な二段目 AND ゲート数は式 13 で想定している数よりも少ない. 一段目 AND ゲートを入力組合せの種類で分類したとき, その入力組合せ種類の中での各入力の延べの登場回数が  $k$  で等しいとき, 最も多くの動作数最小の二段目 AND ゲートを構成できる.

そのように一段目 AND ゲートを構成すると回路入力  $n$  が偶数のとき,  $x = 4\frac{n^2}{2}$  の一段目 AND ゲートを考えられる. このときある一段目 AND ゲートは自身と入力を共有していない  $4(\frac{n^2}{2} - 2k + 1)$  個の一段目 AND ゲートと動作数最小の二段目 AND ゲートを構築できる. そのため動作数最小の二段目 AND ゲート数  $y$  は  $y = 16\frac{n^2}{2}(\frac{n^2}{2} - 2k + 1)/2$  と表される. ただし, この値は全く同じ4入力で構成される動作数最小の二段目 AND ゲートを重複してカウントしている. このとき  $\frac{y}{x}$  は,

$$\begin{aligned} \frac{y}{x} &= 2 \left( \frac{n^2}{2} - 2k + 1 \right) \\ &= k(n-4) + 2 \end{aligned}$$

更に  $k \leq n-1$  であるので,

$$\begin{aligned} \frac{y}{x} &= k(n-4) + 2 \\ &\leq (n-1)(n-4) + 2 = n^2 - 5n + 6 \end{aligned} \quad (14)$$

$(n^2 - 5n + 6) - (n^2 - n + 1/2) = -4n + 11/2$  より  $n \geq 4$  の範囲で式 14 より式 13 の与える  $y/x$  の方が大きい. したがって  $R_{\max}(n)$  について式 10 より

$$\begin{aligned} R_{\max}(n) &\geq \frac{1}{8} \left( 1 + \frac{3}{n^2 - 5n + 7} \right) \\ &= R_{\max}^{\text{lower}}(n) \end{aligned}$$

が言え,  $n$  が奇数のときは  $n-1$  入力について同様に考えると

$$\begin{aligned} R_{\max}(n) &\geq \frac{1}{8} \left( 1 + \frac{3}{n^2 - 7n + 13} \right) \\ &= R_{\max}^{\text{lower}}(n) \end{aligned}$$

である.

## 5 おわりに

本稿では回路の電力消費機構のシンプルなモデルおよび回路の最大動作率を定義し,  $n$  入力の組合せ二段回路において最大動作率の下限  $R_{\max}^{\text{lower}}(n)$  が  $n > 4$  の偶数の場合  $\frac{1}{8} \left( 1 + \frac{3}{n^2 - 5n + 7} \right)$ , 奇数の場合  $\frac{1}{8} \left( 1 + \frac{3}{n^2 - 7n + 13} \right)$  で与えられることを示した. また  $n = 4$  の場合には最大動作率の下限を与える回路を示し, その値がタイトな下限であることも示した.

一般の  $n > 4$  の自然数に対するタイトな下限を与える式を示すためには前述したように  $\frac{y}{x}$  の最大値を与える式を  $n$  の関数として示すことが必要である. そのためには式 14 で重複してカウントされている動作数最小の二段目 AND ゲートの個数の算定が必要であり, これが今後の研究課題として残されている.

## 参考文献

- [1] C. M. Huizer, "Power Dissipation Analysis of CMOS VLSI Circuits by Means of Switch-Level Simulation," *IEEE European Solid State Circuits Conference*, pp. 61-64. Grenoble, France, (1990).
- [2] R. Burch, F. Najm, P. Yang, and T. Trick, "A Monte Carlo Approach for Power Estimation," *IEEE Transactions on VLSI Systems*, Vol. 1, No. 1, pp. 63-71, March (1993).
- [3] S. Devadas, K. Keutzer, and J. White, "Estimation of Power Dissipation in CMOS Combinational Circuits," In *Proceedings of Custom Integrated Circuits Conference*, pp. 19.7.1-19.7.6 May (1990).
- [4] Y. Asano, K. Iwama, M. Halldorson, T. Matsuda, "Approximation Algorithms for the Maximum Power Consumption Problem on Combinatorial Circuits," In *Proceedings of International Symposium on Algorithms and Computation*, pp. 204-215. (2000).