

氏 名	幸 田 武 範
学位(専攻分野)	博 士 (工 学)
学 位 記 番 号	工 博 第 1793 号
学位授与の日付	平成 11 年 3 月 23 日
学位授与の要件	学 位 規 則 第 4 条 第 1 項 該 当
研 究 科 ・ 専 攻	工 学 研 究 科 情 報 工 学 専 攻
学 位 論 文 題 目	Studies on FPGA Circuit Design Methods Utilizing Error Compensation and Block Modification (エラー補償とブロックの論理変更を利用したFPGA回路設計手法に関する研究)
	(主査)
論 文 調 査 委 員	教 授 上 林 彌 彦 教 授 富 田 眞 治 教 授 中 村 行 宏

論 文 内 容 の 要 旨

1980年代後半に登場したField Programmable Gate Arrays (FPGA) は、利用者の手で自由に論理が変更できるという特徴をもち、試作回路作成時などに多く用いられてきた。近年では動作速度をはじめとする性能向上の結果、動的に変化するシステムを実現するための有効な手段として製品回路の一部に組み込まれるようになってきた。しかしながら、FPGAはもともと試作回路向けの素子として扱われていたため、回路そのものの最適設計を行うための方法は単純なものしか知られていない。このため、FPGA独自の特徴を生かした効果的な設計手法が必要とされている。

本論文は、このような背景に基づき、FPGA回路の特徴であるブロックの論理可変性を利用し、FPGA回路面積の圧縮等を実現する最適化手法の研究を行った成果をまとめたもので、全体で6章から構成されている。

第1章は序論であり、本研究の背景及び意義を述べるとともに、本論文で提案するFPGA回路設計手法の概要及び論文構成を示している。

第2章では、まず研究の対象となっているFPGAの構造を示した上で、本論文内で用いる各種記号・概念の定義を行っている。その後、回路内の各要素の論理的冗長性を示すものとして、Compatible Sets of Permissible Functions (CSPFs) 及びSets of Pairs of Functions to be Distinguished (SPFDs) の2つの概念と計算方法を紹介している。

第3章では、結線削除などにより故意に出力に誤りを発生させ、それをブロックの論理変更などにより修正するエラー補償の概念を利用することで、FPGA内で実現される回路面積や段数等を改善することが可能であることを示している。さらに、エラー補償の際に行う結線交換の順序や交換対象結線の選択法を工夫することで、回路面積最小化や遅延最小化などの最適化目標に特化した処理を実現した手法も提案している。また、これらの手法を実際にプログラミングしベンチマーク回路に対して実験を行った結果、回路面積や遅延改善に影響するブロック数や結線数をそれぞれ平均12%及び平均20%減少させることができることも示している。

第4章では、最近のFPGAブロックが複数の出力端子を持っていることに注目し、複数関数を1つのブロックで実現することでFPGA回路の面積最小化を行う手法を提案している。本章では、ある特別なクラスの関数を考えると2つの独立な論理関数が実現できることに注目した手法を提案している。1ブロックを占有してしまっている関数を、前章でも利用したエラー補償の概念を用いて条件を満足する関数に変形することで、他の関数を当該ブロックで同時に実現可能にしている。本手法のベンチマーク回路に対する実験結果により、平均45%のブロック数削減が実現できることが示されている。

第5章でも、第4章と同様に1ブロックで複数の関数を実現することでFPGA回路の面積最小化を実現する手法について提案しているが、ここで提案する手法では、相互に関係のある関数を実現している。関数の自由度をあげるため、FPGAブロックが回路内で果たす役割を数値化し、その数値を設計戦略に応じてFPGAブロックを構成する各要素に再配分する優先

度付SPFDsを用いている。その結果、最適化処理適用後のブロックにおいては、一部の内部関数がブロックの出力関数を構成する内部関数としてのみでなく同じブロックの1出力関数としても利用可能となり、高度なブロック利用が実現できる。本手法をベンチマーク回路に適用した結果から、前述の2手法の数分の1から数十分の1の時間で初期回路のブロックを40%程度削減できることが示されている。

第6章は結論であり、本研究で得られた成果を総括している。

論文審査の結果の要旨

FPGA (Field Programmable Gate Arrays) はソフト的に論理を変更できるという特徴を持っており、大規模回路を短時間で実現するための重要な手段として、最近注目を集めている。しかし、FPGA回路を設計する場合、既存素子からなる回路をFPGA回路に変換するという一般的な方法では冗長性の高い回路になるため、FPGAに適した回路設計手法が必要となる。本論文では、FPGAの独自性を考慮した論理変更及びに回路変換を行うことでFPGA回路の最適化を行う手法を提案しており、得られた主な成果は以下の通りである。

1. 回路の変更により、回路出力に故意にエラーを発生させ、それを修正するエラー補償の概念を利用した素子面積・結線数・動作遅延の最小化手法を提案した。
2. FPGAを構成するブロックの多出力特性を利用した設計法は非常に単純なものしか知られていなかった。特別な性質を持つ最大入力数の関数を考えると、もうひとつ独立な関数をひとつのブロックで実現できるため、この性質を利用した設計法を示した。
3. 上記のブロックの多出力特性を利用する手法をさらに一般化して、相互に関係する2つの出力関数を利用する手法を提案した。
4. 各提案手法に対して実際にプログラム開発を行い、ベンチマーク回路による実験で有効性を実証した。この結果として10%から45%の論理ブロック数の減少がみられたことを示し、既存の回路設計用CADが自動合成した回路に対して、さらに設計仕様を満たすための面積圧縮や駆動速度向上を実現する手法としての有用性を示した。

以上要するに本論文は、FPGAブロックの持つ実現論理の自由度を生かしFPGA回路の最小化を効率よく行う手法を示したものであり、その成果は学術上、実際に寄与するところが少なくない。よって本論文は博士(工学)の学位論文として価値あるものと認める。また、平成11年1月13日、論文内容とそれに関連した項目について諮問を行った結果、合格と認めた。