

[招待講演] 物理的プラズマダメージによる MOSFET バラツキ増大予測のための包括モデル

江利口 浩二 中久保 義則 松田 朝彦 鷹尾 祥典 斧 高一

京都大学 〒606-8501 京都市左京区吉田本町

E-mail: eriguchi@kuaero.kyoto-u.ac.jp

あらまし プロセスプラズマからのイオン衝撃による物理的プラズマダメージが、デバイス特性に及ぼす影響について詳細に考察した。イオンの入射エネルギー (E_{ion})、シリコン基板表面に形成されるダメージ層構造、ダメージ層除去に伴うシリコンロス、シリコンロスに伴うデバイス特性変動 (ΔV_{th})、の定量的相関を示すプラズマダメージモデルを報告する。さらに、本モデルに基づいたデバイス特性バラツキを予測するためのモデルを示すとともに、典型的な例に対しての計算結果を議論する。プラズマダメージによるデバイス特性バラツキは、将来のデバイス設計では無視できない要素になると予測される。

キーワード プラズマダメージ, Si リセス, しきい値電圧変化, サブスレッショルドリーク, バラツキ

Design Framework for Parameter Fluctuation in MOSFET Damaged by Ion Bombardment during Plasma Etching

Koji ERIGUCHI Yoshinori NAKAKUBO Asahiko MATSUDA

Yoshinori TAKAO and Kouichi ONO

Kyoto University Yoshida-Honmachi, Sakyo-ku, Kyoto, 606-8501 Japan

E-mail: eriguchi@kuaero.kyoto-u.ac.jp

Abstract We investigated the effects of plasma process-induced physical damage (bombardment of ions) on MOSFET performance degradation. We focus on “Si recess” in the source / drain extension region – Si loss by a subsequent wet-etch of the damaged-layer formed during plasma etch processes. We present a model describing the relationship between the energy of incident ion, Si recess depth d_R , and the threshold voltage shift ΔV_{th} of MOSFET. Based on the analytic model, we then propose a unified framework for predicting the MOSFET parameter fluctuation induced by the plasma process damage. The model prediction suggests an increase in ΔV_{th} -variation by Si recess structure (d_R). We also estimate an enhancement of the subthreshold leakage-current fluctuation by the Si recess structure.

Keyword Plasma-Induced Damage, Si recess, Threshold Voltage Shift, Subthreshold Leakage, Parameter Fluctuation

1. はじめに

近年, MOSFET の微細化の伴い, その特性バラツキは大きな問題となってきた。[1-4] これまでは主に, ゲート長 (L_g) や不純物濃度のバラツキによる効果が注目され, それらバラツキによる, チップ内, チップ間でのしきい値 (V_{th}) やオフリーク電流のバラツキが議論されてきた。[5] プロセスの観点からは, 例えば, (平均値としての) L_g に関わるバラツキ要因には, リソグラフィやプラズマエッチングでのプロセス起因バラツキがある。極微 MOSFET における L_g のバラツキは, LER (line-edge roughness) [6, 7] や LWR (line-width roughness) [8, 9] として議論されている。

一方, 微細加工のためのプラズマエッチングでは,

原子レベルでの加工制御を目指したさまざまな取り組みが進められている。しかしながら, 近年, プラズマエッチングにおける “プラズマダメージ” が大きな問題となっている。High-k 導入に伴う電氣的チャージングダメージ増大[10, 11]に加え, プラズマからの高エネルギーイオン衝撃 (～数 100eV) による材料表面でのダメージ層形成 (物理的ダメージ) [12, 13]がスケーリングの障壁として大きな問題となってきた。例えば, ゲート電極, オフセットスペーサ, サイドウォール加工の際には, Si 基板表面にダメージ層 (深さ方向に概ね 5 nm 程度) が形成される。このダメージ層は, 後のウェットエッチ工程で除去されるため, Si ロス, あるいは Si リセス[12, 14]と呼ばれる構造を誘発する。

この物理的ダメージが注目される理由は、プラズマからのイオンエネルギーが、デバイスのスケリングと調和できない点[13]にある。すなわち、Si リセス量は世代に関係なく一定値のまま存在し続けることになる。

これら2つの側面の研究開発を鑑みた場合、上記の特性バラツキとプラズマダメージの相関は重要であると予想されるにもかかわらず、これまで十分には研究されていなかった。特性バラツキ低減のためには、得られたデータの要因分析が必須であり、また、バラツキ予測のためには、バラツキをプロセスパラメータで記述する解析的モデルの構築が不可欠である。

本稿では、プラズマエッチングによる物理的ダメージ(Si リセス)形成モデルと、ダメージによる MOSFET の特性変動に注目する。しきい値電圧変化(ΔV_{th})、サブスレッショルドリーク電流(ここでは総称して I_{off} と記す)、Si リセス構造、プラズマからの入射イオンエネルギーの定量的相関(解析的モデル)を検討する。その後、得られた解析的モデルをベースに、バラツキ推定のための包括的枠組みを提案する。

2. 物理的プラズマダメージと MOSFET 特性劣化モデル

2.1. Si リセス形成モデル

プラズマエッチングでは、真空プロセスチャンバー内のウェハステージに高周波電力を印加する。プラズマとデバイス表面との間には、自己整合的にシースと呼ばれる領域[15]が形成される。イオンはシース内の電界により加速され、デバイス表面に衝突し、“欠陥”を形成する。ここで言う欠陥とは、格子間原子、空孔、変位原子、歪み構造、などである。図1にその一例を示す。イオンは入射エネルギー(E_{ion})に依存して、Si 基板に進入し欠陥を形成しながらやがて静止する。図1には、ダメージ層及び欠陥の様子を古典的分子動力学法による計算結果例を用いて併せて示している。表面の結晶構造が乱れた層(表面層)に加え、基板内部に局所的に結晶構造の乱れた部分(界面層)が確認できる。その表面層及び界面層の一部は、プラズマ処理後、大気暴露により酸化され、後の検査工程で表面酸化層(SiO_2 層)として同定することができる。プラズマエッチング後のウェット処理工程では、それら表面酸化層及び界面層の一部が除去され、その結果、Si ロスが発生[12, 14, 16, 17]する。この構造は現在の MOSFET の断面図から容易に確認できる。一方、一般的なデバイス断面図には見えないウェット処理で除去できなかった欠陥も潜在欠陥(N_{dam})として残っていることにも注意を要する。デバイスの立場からは、Si ロス量、すなわち Si リセス量(d_R)と N_{dam} が重要なパラメータとなる。

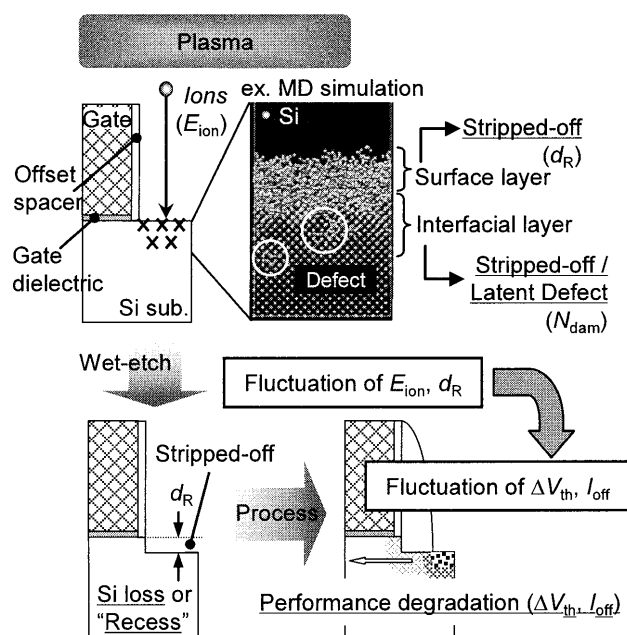


図1 プラズマエッチング中イオン衝撃による欠陥形成と Si リセス構造形成の概念図(図は、オフセットスペーサエッチング時のダメージ形成を示している)

次に d_R を決定づけるパラメータについて考える。図1からわかるように、表面層及び界面層の構造(膜厚、(局所的)欠陥構造密度など)は、 E_{ion} と入射フラックス Γ が決定づける進入深さ(project range: R_p)や欠陥密度プロファイル($n_{dam}(x)$, x :深さ)に依存する。つまり、 E_{ion} と Γ が決まれば、 R_p と $n_{dam}(x)$ が決まる。これらの関係は、プラズマダメージに対する Range Theory[18]から、

$$R_p = A_p \cdot (E_{ion})^\alpha \quad (1)$$

のように書ける。[19] ここで、 A_p は入射イオン、Si、プラズマパラメータに依存する定数、 α は入射イオンと Si のポテンシャルで決定されるパラメータである。Ar プラズマの場合、イオンエネルギーが小さく、Moliere 型ポテンシャル[20]を仮定すると $A_p = 0.35$, $\alpha = 0.32$ である。 R_p が決定され、深さ方向(x)の欠陥密度 $n_{dam}(x)$ が決まると、ウェットエッチによる Si 除去量(d_R)と電氣的に計測される欠陥面密度 N_{dam} は、

$$N_{dam} = \int_{d_R}^{\infty} n_{dam}(x) dx \quad (2)$$

と書け[21]、互いにトレードオフの関係にあることがわかっている。各プロセスに対する検討から、 d_R と E_{ion} の関係は近似的に、

$$d_R = a(E_{ion})^\beta \quad (3)$$

と書けることが報告[21]されている。ここで、 a , β は

プラズマ，材料に依存したパラメータである．なお，プラズマからの入射イオンのエネルギーは単一ではなく，ある分布関数に従っている．[15] しかしながら， d_R は，分布したイオンエネルギーの平均値で近似的に表現できることがわかっている[19]ため，ここでは E_{ion} を代表値としている．

図2に，実験から得られた表面層及び界面層厚の E_{ion} 依存性の一例を示す．また，モデル計算[17]から得られた d_R の E_{ion} 依存性も併せて載せている．ダメージ形成には，誘導結合型プラズマ装置（Ar ガス）を用いた．サンプルは n 型 Si(100) 基板を用いた． I はソースプラズマに投入する高周波電力， E_{ion} はステージに投入する電力により制御した．表面層及び界面層厚は，最適化した光学モデルを用いたエリプソ分光法[22]から算出した．式(3)で示す関係が図2から確認できる．以下，本結果を元に，モデル計算を進めることにする．

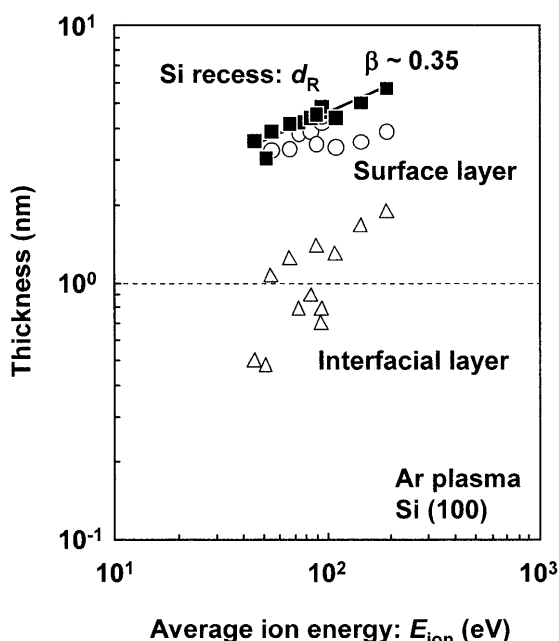


図2 表面層・界面層厚及び Si リセス予測値の入射イオンエネルギー依存性

2.2. MOSFET 特性変動モデル

Si リセス構造形成によって，MOSFET の V_{th} は変化する．ダメージのないデバイスとダメージのあるデバイスの閾値電圧の差 (ΔV_{th}) は，

$$\Delta V_{th} \approx -\frac{qN_A W}{C_{ox} L_g} \left(\frac{W}{\sqrt{X_j^2 + 2WX_j}} d_R \right) \quad (4)$$

と書ける．[16] ここで， q は電荷素量， X_j は接合深さ， W は空乏層厚， N_A はチャネルドーズ量， C_{ox} はゲート絶縁膜容量である．すなわち d_R が決まると，各

ゲート長に対して，ダメージによる ΔV_{th} は一意的に決まる．また，MOSFET のサブスレッショルドリーク (I_{off}) は，

$$I_{off} = A \frac{1}{L_g} \exp(-B \cdot V_{th}) \quad (5)$$

と書けるので，ダメージによる I_{off} 増大は，式(3),(4)より，

$$I_{off}^{dam} = I_{off} \times \exp\left(C \frac{d_R}{L_g}\right) \quad (6)$$

となる．ここで， A, B, C はデバイス構造に依存するパラメータである．

一方，欠陥密度 $n_{dam}(x)$ はドレイン電流低下を誘発することが分かっている．[23] 図3にこれら関係をデバイスシミュレーションにより確認した結果を示す．N-ch MOSFET に対して，人工的にエクステンション領域に Si リセスと欠陥を導入している．（デバイスシミュレーションに用いたパラメータについては，参考文献[16, 17, 23]を参照されたい．）図からわかるように，特に d_R 増大に伴う V_{th} の低下が顕著である．また，詳細は省略するが，式(4)が示唆する ΔV_{th} と d_R の線形関係は確認されている．さらに， d_R 増加とともに I_{off} は増大しており，プラズマエッチングにおけるリセス量の制御の重要性がわかる．以上から，これら MOSFET 特性は， d_R を通して E_{ion} と関係付けられているので，後で述べるように，プラズマパラメータ変動から MOSFET 特性変動を予測できることになる．

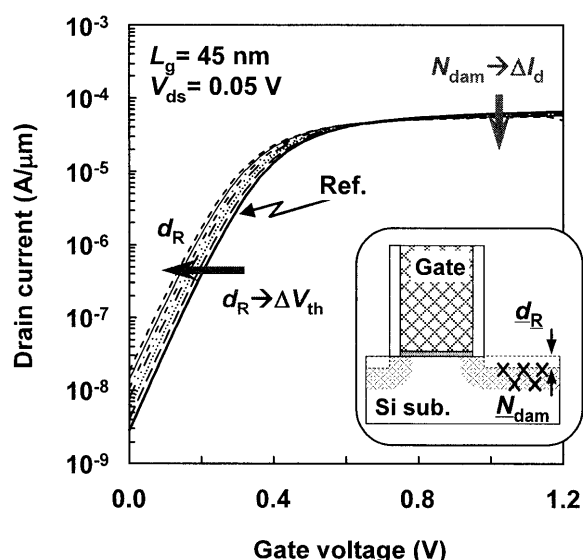


図3 デバイスシミュレーションから得られた物理的プラズマダメージを受けた N-ch MOSFET のドレイン電流ーゲート電圧特性

3. パラメータバラツキ増大モデル

上記のプラズマダメージモデルを用いて MOSFET 特性バラツキを推定する枠組みについて述べる．バラツキを議論する上で必要ないくつかの関数・パラメータを定義する．パラメータ $X(=x)$, $Y(=y)$, $Z(=z)$ に対する確率密度関数 PDF (probability density function)[24]をそれぞれ $f_X(x)$, $f_Y(y)$, $f_Z(z)$ と定義する．また、それぞれの平均値、標準偏差を $\mu_X, \mu_Y, \mu_Z, \sigma_X, \sigma_Y, \sigma_Z$ とする．本稿では便宜上、 $E_{ion}(=x)$, $d_R(=y)$, $L_g(=z)$, $\Delta V_{th}(=w)$ と書き、例えば、 E_{ion} に対しては、 $f_{Eion}(x)$, μ_{Eion} , σ_{Eion} と書くことにする．(ここでは、ゲート幅のバラツキによる効果は議論の簡略化のために無視する．) 式(3)から $d_R=h(E_{ion})$ であるので、

$$f_{dR}(y) = \frac{f_{Eion}(h^{-1}(y))}{|h'(x)|} \quad (7)$$

と書ける．ここで、 h^{-1} は逆関数、 h' は微分を示す． ΔV_{th} , I_{off} は L_g 及び d_R に依存するので、 $f_{\Delta V_{th}}$ は、 $y-z$ 平面における f_{L_g} と f_{dR} の JDF(joint density function)[24]となる．

$$f_{\Delta V_{th}}(w) = \frac{d}{dw} \left[\iint_D f_{L_g}(z) f_{dR}(y) dz dy \right] \quad (8)$$

ここで、 D は $y-z$ 平面を示す．さらに、 I_{off} は ΔV_{th} と L_g に依存するので、上式と同様の手続きで計算することができる．したがって、 E_{ion} に代表されるプラズマパラメータのバラツキから、MOSFET 特性パラメータのバラツキが予測できることになる．

4. 計算結果及び考察

ここでは、 E_{ion} のバラツキを仮定し、その時の V_{th} のバラツキを予測する．

前述したように、プロセス中にプラズマから入射するイオンのエネルギーはある分布を持っている．イオンのエネルギー分布関数はウエハステージに印加する高周波電力の周波数、圧力、ガス種など多くのパラメータに依存する．これまでの研究から、形成されるダメージ層構造はイオンエネルギー分布関数よりもその平均イオンエネルギー (E_{ion}) に大きく依存すること [19]がわかっている．そこで、今回、投入電力のバラツキに注目し、平均イオンエネルギーが正規分布でばらつく場合を考える．

今、 $E_{ion}(=x)$ が、 $\mu_{Eion} = 100$ eV, $\sigma_{Eion} = 3$ eV からなる正規分布であるとする．(図 4 (a)参照．乱数により分布を形成している．また、規格化は行っておらず、デバイス数は約 5 万個である．) この時、式(7)より、 f_{dR} が求められる．(図 4 (b)参照) ここで、 $3\sigma_{dR} = 0.13$ nm である． E_{ion} のバラツキによる d_R のバラツキは、MOSFET の ΔV_{th} のバラツキを誘発する．正確には、 ΔV_{th}

のバラツキは式(8)による計算から求められるが、以下、プラズマダメージの影響のみを理解するために、 L_g のバラツキは無視している．($\mu_{L_g} = 45$ nm, $\sigma_{L_g} = 0$ nm) 求めた ΔV_{th} の分布 $f_{\Delta V_{th}}$ を図 5 に示す．図 5 で示す分布を解析した結果、 $3\sigma_{\Delta V_{th}} = 1.5$ mV となった．さらに、 $f_{\Delta V_{th}}$ から f_{Ioff} を計算した結果を図 6 に示す．図では、 I_{off} のバラツキ指標として $3\sigma_{Ioff}$ を μ_{Ioff} で割った値を示している．図 6 では、 E_{ion} , L_g 依存性も併せて示している．(いずれの場合も、 $\sigma_{L_g} = 0$ nm) 図からわかるように、 $\sigma_{Eion} = 3$ eV (一定) の条件では、低 E_{ion} の場合にバラツキの影響は顕著になる．また、 L_g 依存性も確認できる． $\mu_{Eion} = 100$ eV, $\sigma_{Eion} = 3$ eV で $L_g = 45$ nm の場合、 $3\sigma_{Ioff}/\mu_{Ioff} > 5\%$ となり、プラズマダメージによる I_{off} のバラツキ増大が予想される．

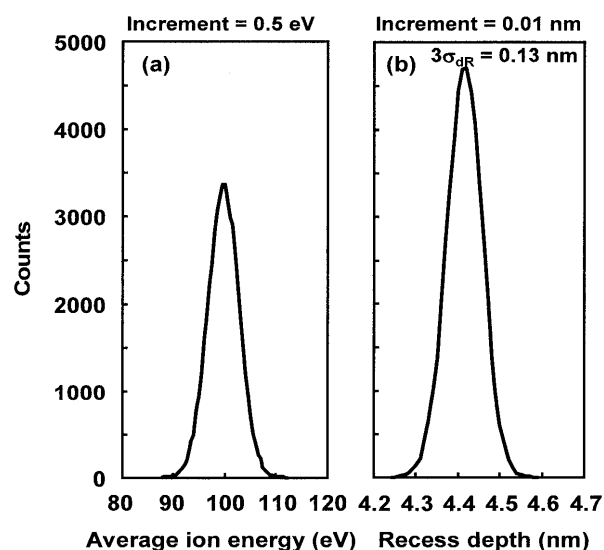


図 4 (a)仮定したプラズマから入射するイオンエネルギーの分布関数と(b)ダメージ層形成モデルにより計算した Si リセス量 (d_R) の分布関数

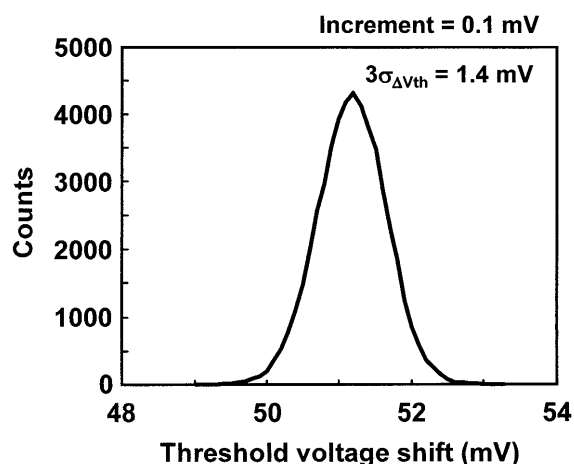


図 5 デバイス劣化モデルとデバイスシミュレーションから得られたプラズマダメージによる ΔV_{th} の分布関数 ($L_g = 45$ nm, L_g のバラツキは考慮していない)

図 4 (b)で算出した $3\sigma_{dr} = 0.13 \text{ nm}$ は, Si(100)面間隔と同程度であり, エッチングにより形成される Si リセス量バラツキの最小単位とも考えられる。(プロセスの観点から, これ以下に抑制するのは非常に困難である。) すなわち, プラズマダメージによる Si リセスが発生すると, 図 5, 6 で示す程度の V_{th} バラツキ及び I_{off} バラツキが今後も加算され続けることになる。将来, デバイスの縮小が進むと, ますますプラズマダメージによる深さ方向のバラツキの影響が顕著になるため, バラツキ評価におけるプラズマダメージ成分の評価が重要になる。あるいは, 現時点のバラツキ解析データの中には既にプラズマダメージ起因が含まれている可能性が高い, とも言える。

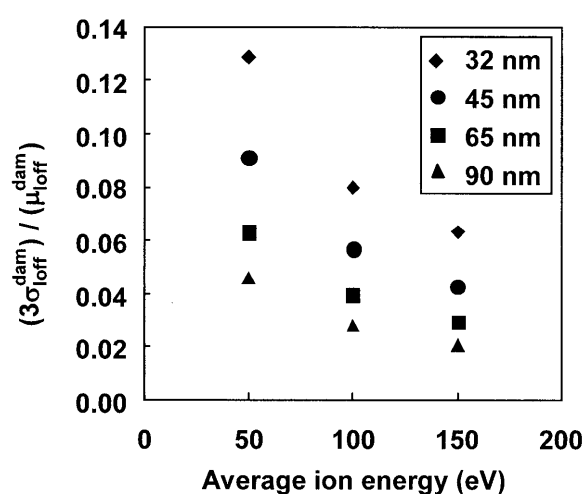


図 6 平均入射イオンエネルギーバラツキによる I_{off} バラツキの様子 (L_g のバラツキは考慮していない)

5. 結論

プラズマダメージメカニズムの 1 つである物理的ダメージについて, そのデバイス特性への影響をモデル化した。入射イオンエネルギー (E_{ion}), リセス深さ (d_R), Si リセス構造による MOSFET のしきい値電圧変動 (ΔV_{th}) の相関関係をもとに, E_{ion} のバラツキによる ΔV_{th} のバラツキを予測する包括的モデルを提案した。さらに, ΔV_{th} によるサブスレッショルドリーク電流 (I_{off}) のバラツキも検討した。プラズマパラメータバラツキによる ΔV_{th} は, MOSFET の V_{th} バラツキを増大させ, I_{off} バラツキも増大させることが判明した。今後の極微 MOSFET 設計においては, プラズマダメージを考慮したデバイス特性バラツキ解析が必要であり, また, 本プラズマダメージモデルは, 特性バラツキ予測における重要なモデルの 1 つと言える。

6. 謝辞

本研究を通じて多くのアドバイスを頂いた, 半導体

理工学センター (STARC) の辰巳哲也氏, 小倉輝氏, 林久貴氏, 林重徳氏, 吉丸正樹氏, 桑原純夫氏に深く感謝いたします。なお, 本研究の一部は, STARC プロジェクト及び科研費 (基盤研究 B) によってサポートされた。

文 献

- [1] SIA, *The International Technology Roadmap for Semiconductors 2009 edition, Front End Processes*, 2009.
- [2] K. Takeuchi, T. Fukai, T. Tsunomura, A. T. Putra, A. Nishida, S. Kamohara, and T. Hiramoto, "Understanding Random Threshold Voltage Fluctuation by Comparing Multiple Fabs and Technologies," *IEDM Tech. Dig.*, Washington, D.C., USA, pp. 467 - 470, 2007.
- [3] M. Kanno, A. Shibuya, M. Matsumura, K. Tamura, H. Tsuno, S. Mori, Y. Fukuzaki, T. Gocho, H. Ansai, and N. Nagashima, "Empirical Characteristics and Extraction of Overall Variations for 65-nm MOSFETs and Beyond," *VLSI Symposium on Technology*, pp. 88-89, Kyoto, Japan, 2007.
- [4] K. J. Kuhn, "Reducing Variation in Advanced Logic Technologies: Approaches to Process and Design for Manufacturability of Nanoscale CMOS," *IEDM Tech. Dig.*, Washington, D.C., USA, pp. 471 - 474, 2007.
- [5] K. A. Bowman, A. R. Alameldeen, S. T. Srinivasan, and C. B. Wilkerson, "Impact of Die-to-Die and Within-Die Parameter Variations on the Clock Frequency and Throughput of Multi-Core Processors," *IEEE Trans. Very Large Scale Integration (VLSI) Systems*, vol. 17, pp. 1679-1690, 2009.
- [6] A. T. Putra, A. Nishida, S. Kamohara, and T. Hiramoto, "Random Threshold Voltage Variability Induced by Gate-Edge Fluctuations in Nanoscale Metal-Oxide-Semiconductor Field-Effect Transistors," *Appl. Phys. Express*, vol. 2, p. 024501, 2009.
- [7] H. Fukutome, Y. Momiyama, T. Kubo, Y. Tagawa, T. Aoyama, and H. Arimoto, "Direct Evaluation of Gate Line Edge Roughness Impact on Extension Profiles in Sub-50-nm n-MOSFETs," *IEEE Trans. Electron Devices*, vol. 53, pp. 2755-2763, 2006.
- [8] H. Fukutome, E. Yoshida, K. Hosaka, M. Tajima, Y. Momiyama, and S. Satoh, "Effects of Gate Line Width Roughness on Threshold-Voltage Fluctuation Among Short-Channel Transistors at High Drain Voltage," *IEEE Electron Device Lett.*, vol. 31, pp. 240 - 242, 2010.

- [9] H.-W. Kim, J.-Y. Lee, J. Shin, S.-G. Woo, H.-K. Cho, and J.-T. Moon, "Experimental investigation of the impact of LWR on sub-100-nm device performance," *IEEE Trans. Electron Devices*, vol. 51, pp. 1984-1988, 2004.
- [10] C. D. Young, G. Bersuker, F. Zhua, K. Matthews, R. Choi, S. C. Song, H. K. Park, J. C. Lee, and B. H. Leed, "Comparison of Plasma-Induced Damage in SiO₂/TiN and HfO₂/TiN Gate Stacks," *Proc. Int. Rel. Phys. Symp.*, pp. 67-70, Phoenix, Arizona, USA, 2007.
- [11] K. Eriguchi, M. Kamei, D. Hamada, K. Okada, and K. Ono, "Comparative Study of Plasma Source-Dependent Charging Polarity in Metal-Oxide-Semiconductor Field Effect Transistors with High-k and SiO₂ Gate Dielectrics," *Jpn. J. Appl. Phys.*, vol. 47, pp. 2369-2374, 2008.
- [12] S. A. Vitale and B. A. Smith, "Reduction of silicon recess caused by plasma oxidation during high-density plasma polysilicon gate etching," *J. Vac. Sci. Technol. B*, vol. 21, pp. 2205-2211, 2003.
- [13] K. Eriguchi and K. Ono, "Quantitative and comparative characterizations of plasma process-induced damage in advanced metal-oxide-semiconductor devices," *J. Phys. D*, vol. 41, p. 024002, 2008.
- [14] T. Ohchi, S. Kobayashi, M. Fukasawa, K. Kugimiya, T. Kinoshita, T. Takizawa, S. Hamaguchi, Y. Kamide, and T. Tatsumi, "Reducing Damage to Si Substrates during Gate Etching Processes," *Jpn. J. Appl. Phys.*, vol. 47, pp. 5324-5326, 2008.
- [15] M. A. Lieberman and A. J. Lichtenberg, *Principles of Plasma Discharges and Materials Processing*, 2nd ed. New York: Wiley, 2005.
- [16] K. Eriguchi, A. Matsuda, Y. Nakakubo, M. Kamei, H. Ohta, and K. Ono, "Effects of Plasma-Induced Si Recess Structure on n-MOSFET Performance Degradation," *IEEE Electron Device Lett.*, vol. 30, pp. 712-714, 2009.
- [17] K. Eriguchi, Y. Nakakubo, A. Matsuda, M. Kamei, H. Ohta, H. Nakagawa, S. Hayashi, S. Noda, K. Ishikawa, M. Yoshimaru, and K. Ono, "A New Framework for Performance Prediction of Advanced MOSFETs with Plasma-Induced Recess Structure and Latent Defect Site," in *IEDM Tech. Dig.*, San Francisco, CA, USA, 2008, pp. 443-446.
- [18] J. Lindhard, M. Scharff, and H. E. Schiott, "Range Concepts and Heavy Ion Ranges," *Mat. Fys. Medd. K. Dan. Vidensk. Selsk.*, vol. 33, pp. 1-41, 1963.
- [19] K. Eriguchi, Y. Nakakubo, A. Matsuda, Y. Takao, and K. Ono, "Model for Bias Frequency Effects on Plasma-Damaged Layer Formation in Si Substrates," *Jpn. J. Appl. Phys.*, vol. 49, p. 056203, 2010.
- [20] G. Moliere, "Theorie der Streuung schneller geladener Teilchen I," *Z. Naturforschung*, vol. A2, pp. 133-145, 1947.
- [21] K. Eriguchi, Y. Nakakubo, A. Matsuda, M. Kamei, Y. Takao, and K. Ono, "Trade-Off Relationship between Si Recess and Defect Density Formed by Plasma-Induced Damage in Planar Metal-Oxide-Semiconductor Field-Effect Transistors and the Optimization Methodology," *Jpn. J. Appl. Phys.*, vol. 50, p. 08KD04, 2011.
- [22] A. Matsuda, Y. Nakakubo, Y. Takao, K. Eriguchi, and K. Ono, "Modeling of ion-bombardment damage on Si surfaces for in-line analysis," *Thin Solid Films*, vol. 518, pp. 3481-3486, 2010.
- [23] K. Eriguchi, Y. Nakakubo, A. Matsuda, Y. Takao, and K. Ono, "Plasma-Induced Defect-Site Generation in Si Substrate and Its Impact on Performance Degradation in Scaled MOSFETs," *IEEE Electron Device Lett.*, vol. 30, pp. 1275-1277, 2009.
- [24] A. Papoulis and S. Pillai, *Probability, Random Variables, and Stochastic Processes*, New York: McGraw-Hill, 2002.