

氏 名	やま おか まさ なお 山 岡 雅 直
学位(専攻分野)	博 士 (情 報 学)
学 位 記 番 号	情 博 第 263 号
学位授与の日付	平 成 19 年 3 月 23 日
学位授与の要件	学 位 規 則 第 4 条 第 1 項 該 当
研究科・専攻	情 報 学 研 究 科 通 信 情 報 シ ス テ ム 専 攻
学位論文題目	A Study on Low-Power SRAM Design under Process Variation of Transistors (トランジスタのプロセスばらつきを考慮した低電力 SRAM 設計の研究)
論文調査委員	(主 査) 教 授 小 野 寺 秀 俊 教 授 富 田 眞 治 教 授 松 山 隆 司

論 文 内 容 の 要 旨

本研究は、複数の機能を有する LSI（システム LSI）に搭載される混載メモリであるスタティック型 RAM（SRAM）の低電力化回路技術に関し、半導体加工技術の微細化にともなうばらつき増加によって低下する動作マージンの改善と増加するリーク電流の低減という各課題について、その対策案を検討し、実チップへの適用とその実測、およびシミュレーションによる効果の検証を行ったものであり、7 章から成っている。

第 1 章は序論であり、半導体加工技術の微細化とそれに伴う LSI の性能の変化、SRAM と微細化の関係等、研究背景について述べている。その後、本研究の目的および本研究の概要について述べている。

第 2 章では、SRAM メモリセルの性能とトランジスタの性能ばらつきの関係の解析技術について述べている。複数のトランジスタの性能のバランスの上に成立している SRAM 動作性能は微細化の進展にともなう製造時のトランジスタの性能ばらつきの増加により大きく劣化し、SRAM メモリセルの設計にはその性能を予測する技術が求められるため、トランジスタのばらつきと SRAM の動作性能の関係を解析する技術を提案している。さらにトランジスタの性能ばらつきを詳細に検討し微細化がさらに進展した後にも適用できるより詳細な性能解析を提案している。以上の解析手法はモンテカルロシミュレーションにより解析精度を検証している。

第 3 章では、SRAM メモリセルに印加されている電源電位を動作に応じて適切に変更することで、SRAM メモリセルの基本動作である書き込みおよび読み出しに必要な動作マージンを改善する技術を提案している。従来、SRAM メモリセルには SRAM 以外の回路と同等の固定電位の電源が供給されていたため、その電位を SRAM 回路で制御するには面積増加や動作安定性の減少などの弊害があるが、それらの弊害を抑えた回路技術が説明されている。メモリセルの電源を周辺回路の電源より 100mV 程度昇圧することで読み出しの動作マージンを改善する技術を提案している。また書き込み動作時にメモリセルの電源をフローティング状態とすることで書き込みの動作マージンを改善する技術を提案している。以上、提案の回路技術をテストチップ試作とその測定により実証している。

第 4 章では、トランジスタの微細化の進展とともに問題となるトランジスタの漏れ電流（リーク電流）を低減することによって SRAM の消費電力を低減する回路技術が提案されている。SRAM 回路をその機能によって 3 分割し、それぞれの回路の電源電圧をそれぞれの回路に最適な方法で制御することでリーク電流を効果的に低減する回路技術が提案されている。さらに書き込みタイミングを調整する回路を用いて動作時の電力を低減する回路技術が提案されている。以上の提案技術をテストチップ試作とその測定によって実証している。

第 5 章では、新しい構造のトランジスタ構造が提案され、その新トランジスタを用いた高性能・低面積メモリセルが提案されている。第 1 に非常に薄い埋め込み酸化膜層を有しトランジスタのチャネル部分の不純物濃度を薄くすることで性能ばらつきを低減した構造のトランジスタを提案している。第 2 に新トランジスタの基板電位を独立に制御することが可能な構造を利用して、従来は 6 トランジスタで構成されていた SRAM メモリセルを 4 トランジスタで構成することを可能にし面

積の低減と消費電力の低減を同時に実現する技術を説明している。新トランジスタの性能は試作した実デバイスを測定することで性能の検証を行い、新しいメモリセルはデバイスと回路の統合化シミュレータにより性能検証を行っている。

第6章では、トランジスタの性能ばらつきによるSRAM性能の低下を抑制するため、性能の低いSRAMセルを性能の高いSRAMセルで置き換える冗長回路方式が提案されている。本方式をシステムLSI中で使用するためにトランジスタの標準プロセスで作成できる不揮発メモリであるie-Flash素子を提案し、回路方式によりその信頼性を高める手法を説明している。以上の提案技術をテストチップ試作とその測定によって実証している。

第7章は結論であり、本論文で得られた結果を総括的にまとめている。

論文審査の結果の要旨

本論文は、トランジスタの微細化にともない困難となるSRAM回路の低電力化技術、微細化により悪化するSRAMの動作マージンの改善技術、微細化により増加するリーク電流の低減技術について、微細化とともに増大するトランジスタの性能ばらつきを考慮して種々の提案を行いその有効性を検証している。本論文で得られた成果は以下の通りである。

1. SRAM回路の動作とトランジスタの微細化にともない増加するトランジスタの性能ばらつきの関係を解析する技術を提案し、SRAM設計にトランジスタの性能ばらつきの影響を考慮することを可能とした。さらに解析技術の精度を高め、今後の微細プロセスへの対応を可能とした。

2. 従来は固定されていたSRAMの電源電圧を適切に制御することで、SRAMの書き込みおよび読み出しという基本動作の動作マージンを改善する技術を提案し、その効果を実証した。

3. SRAM回路をその機能にしたがって3分割し、それぞれの電源を個別に適切な電位に制御することで、SRAMメモリセルにデータを保持した状態でリーク電流を低減する技術を提案し、その効果を実証した。

4. 薄い埋め込み酸化膜層を有し性能のばらつきの少ない新しいトランジスタ構造を提案し、その動作を実証した。また新しいトランジスタを用いてメモリセル面積が小さく消費電力の少ない4トランジスタ型のメモリセルを提案し、その効果をシミュレーションにより検証した。

5. 性能の悪いメモリセルを性能の良いメモリセルで置き換える冗長回路方式をシステムLSIに適用するために、トランジスタの標準プロセスで作成できるie-Flashメモリを提案し、その動作を実証した。さらにie-Flashメモリの信頼性を高めてシステムLSIに実装するための回路技術を提案し、その効果を実証した。

以上、本論文はトランジスタの微細化にともなうスタティック型メモリの諸問題に対して、回路技術面、トランジスタデバイス面、および回路システム面から解決方法を提案するとともに、実際のスタティック型メモリ設計に適用してその有効性を実証している。本論文の内容は、学術上、応用上ともに寄与するところが少なくない。よって本論文は博士（情報学）の学位論文として価値あるものとして認める。また平成19年2月23日に実施した論文内容とそれに関連した試問の結果、合格と認めた。