

ドリフト拡散デバイスシミュレーションを用いた実装応力に起因するnMOSFETのDC特性変動評価手法

小金丸 正明*, 池田 徹**, 宮崎 則幸**, 友景 肇***

An Evaluation Method for DC Characteristics Shifts in Resin-Molded nMOSFETs Using Drift-Diffusion Device Simulation

Masaaki KOGANEMARU*, Toru IKEDA**, Noriyuki MIYAZAKI** and Hajime TOMOKAGE***

*福岡県工業技術センター機械電子研究所 (〒807-0831 福岡県北九州市八幡西区則松3-6-1)

**京都大学大学院工学研究科 (〒606-8501 京都府京都市左京区吉田本町)

***福岡大学工学部電子情報工学科 (〒814-0180 福岡県福岡市城南区七隈8-19-1)

*Mechanics & Electronics Research Institute, Fukuoka Industrial Technology Center (3-6-1 Norimatsu, Yahatanishi-ku, Kitakyushu-shi, Fukuoka 807-0831)

**Department of Mechanical Engineering and Science, Graduate School of Engineering, Kyoto University (Yoshida-Honmachi, Sakyo-ku, Kyoto-shi, Kyoto 606-8501)

***Department of Electronics Engineering and Computer Science, Fukuoka University (8-19-1 Nanakuma, Jonan-ku, Fukuoka-shi, Fukuoka 814-0180)

概要 実装応力に起因するnMOSFETのDC特性変動を、ドリフト拡散デバイスシミュレーションにより評価する手法を検討した。応力効果をデバイスシミュレーション上で取り扱うための電子移動度モデルを検討し、実験結果との比較からその妥当性を検証した。この移動度モデルでは、応力によるSi伝導帯エネルギー変化、および伝導帯エネルギー変化によって引き起こされる電子存在確率と散乱確率の変化を考慮した。このシミュレーション手法を用いて、QFP樹脂封止にともなうnMOSFETのDC特性変動を評価した。その結果、実験で得られたドレイン電流の変動、しきい値電圧の挙動および相互コンダクタンスの変動を再現することができた。

Abstract

The electronic performance of semiconductor devices is adversely affected by residual stress during various packaging processes. Very few attempts have been made to develop a simulation method for evaluating this issue. Therefore, we have verified a device simulation method for evaluating stress-induced effects on the DC characteristics of nMOSFETs. Our simulation model includes an electron mobility model that takes the stress effects into consideration. In the electron mobility model, two physical phenomena induced by stress were modeled: the change in the occupancy of electrons in the conduction band and the change in the average electron relaxation time. We evaluated the variation in the DC characteristics of nMOSFET during an actual resin-molding process (QFP process) using the developed device simulation method, and compared the simulation results with experimental results. Our findings show that the simulation method produced a reasonable approximation of the experimental results. It was demonstrated that the simulation is useful for evaluating stress-induced effects on the DC characteristics of nMOSFETs.

Key Words: Residual Stress, nMOSFET, DC Characteristics, Electron Mobility, Device Simulation

1. 緒言

現在、電子機器の軽量・小型化を実現するために、電子実装およびパッケージ形態の高密度化が急速に進んでいる^{1),2)}。すなわち、MCP (Multi Chip Package)³⁾やSiP (System in Package)⁴⁾、部品内蔵基板⁵⁾などの研究開発および実用化が精力的に進められている。このような新たな高密度実装形態では、実装時の残留応力が増大する傾向にあり、この残留応力が信頼性に係わるさまざまな問題を引き起こすため、その対策が急務となっている。例えば、電子パッケージ中の半導体チップに生じた残留応力は、チップに形成された半導体デバイスの電気的な動作特性を変動させ^{6)~8)}、最終的な電子機器製品に不具合を生じさせる。しかしなが

ら、このような問題に的確に対処できる工学的知見に基づいた汎用的な評価手法が確立しているとは言い難く、実装メーカーでは従来からの経験則に基づいた製品の設計・製造が行われる場合が多い。したがって、実装工程で半導体チップに発生する残留応力を適切に見積もり、残留応力による半導体デバイスの電気特性変動を予測できる評価技術の確立が望まれている。

筆者らは、このような問題に対処する汎用的な方法としてデバイスシミュレーション^{9),10)}の援用が有効であると考え、シミュレーションモデル(移動度モデル)の検討を行ってきた^{11),12)}。ドリフト拡散モデルに基づくデバイスシミュレーションでは、応力の効果はキャリア移動度の変化に集約される。n型半導体を念頭に置けば、Si結晶にひず

みが生じると伝導帯のエネルギーが変化し、それに伴って電気伝導に寄与する電子の存在確率および散乱確率が変動して、電子移動度が変化することが知られている¹³⁾。これまで、EgleyとChidambarraoが応力による伝導帯および価電子帯のエネルギー変化をキャリア（電子、正孔）存在確率の変化に反映させたキャリア移動度モデルを提案し、このモデルを用いたデバイスシミュレーションによりnpnトランジスタにおける応力効果の評価を実施している¹⁴⁾。Morozらは、Egleyらの移動度モデルを用いてプロセス時の応力に起因した電気特性変動をデバイスシミュレーションにより評価している¹⁵⁾。また、Dharらは、Egleyらの移動度モデルに電子散乱確率の変化を考慮した電子移動度モデルを提案している^{16),17)}。しかし現状では、応力に起因するデバイスの電気特性変動に関してデバイスシミュレーションによる評価例は他に見あらず、評価モデル・手法に関して実デバイスの実験結果と比較した実用的な検証がなされていない。したがって、シミュレーション手法の確立のためには、実デバイスへの評価手法の適用と検証、評価結果の蓄積が必要である。

そこで本研究では、応力効果を考慮する電子移動度モデルを用いてデバイスシミュレーションを実施し、実験結果と比較することによって移動度モデルを含めたシミュレーション手法の妥当性、有用性を検証することを目的とした。応力による電子移動度変化において、電子存在確率および緩和時間の変化を考慮するDharらの電子移動度モデルを実際にデバイスシミュレーションで用い、デバイスの電気特性変動シミュレーションを実施した。具体的には、QFP (Quad Flat Package)実装時の樹脂封止工程における残留応力に起因したnMOSFET (n-type Metal Oxide Semiconductor Field Effect Transistor)のDC特性変動をシミュレーションし、実験結果との比較・検証を行った。

2. 実験結果

Fig. 1に、本研究で評価対象にしたnMOSFETの断面構造を模式的に示す。nMOSFETのゲート長さ、およびゲート幅はいずれも $24\mu\text{m}$ である。ゲート長さが短いデバイスでは応力に対するゲート長さ依存性の存在が指摘されており、その原因としてデバイスの微細構造に起因したチャネル領域の応力分布の影響¹⁸⁾や、ソース・ドレイン部分の寄生抵抗の影響¹⁹⁾が挙げられている。本研究では、応力分布や寄生抵抗の影響を考慮する必要がないゲート長さを有する試験デバイス（著者らの既報論文¹²⁾で検証済み、すなわちゲート長さ $24\mu\text{m}$ ）において実験結果を示し、デバイスシミュレーションを実施する。なお、素子分離酸化膜であるLOCOS (Local Oxidation of Silicon)エッジからゲートエッジまでの距離は $1.8\mu\text{m}$ である。nMOSFETは $3\text{mm}\times 3\text{mm}\times 0.3\text{mm}$ のSiチップの(001)面に形成されており、電流が流れるソース・ドレインの方向は $\langle 110 \rangle$ 方向である。この

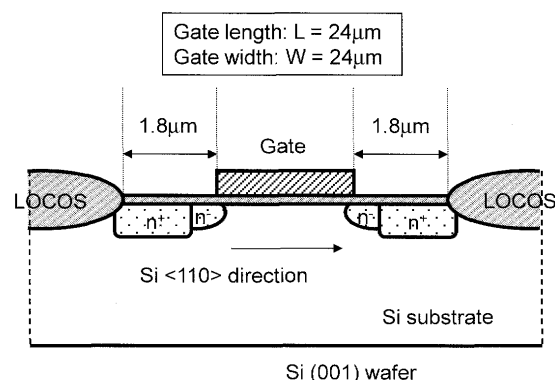


Fig. 1 Schematic cross-section of nMOSFET

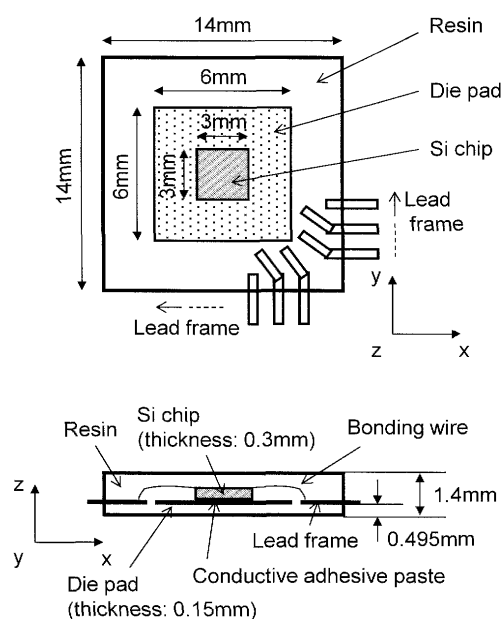


Fig. 2 Schematic diagram of QFP

nMOSFETが形成されたSiチップがQFPに実装され、その際の樹脂封止工程に起因してSiチップ、すなわちnMOSFETに残留応力が生じている。Fig. 2には、nMOSFETが実装されたQFPの形状を示す。QFPの樹脂封止には線膨張係数(CTE)が異なる2種類の樹脂 (Resin AおよびResin B) が用いられており、それぞれのQFPでnMOSFETに発生する残留応力が異なっている。以下では、Resin A (CTE: $12.2 \times 10^{-6}/^{\circ}\text{C}$)を用いたQFPをQFP type A、Resin B (CTE: $30.1 \times 10^{-6}/^{\circ}\text{C}$)を用いたQFPをQFP type Bとして区別する。

QFP中におけるSiチップ表面の残留応力は、ピエゾ抵抗テストチップおよび有限要素法熱弾性解析を用いてすでに評価されている^{12),20)}。その結果、Fig. 3に示すようにいずれのQFP中においても、Siチップ上の応力がnMOSFETのゲートと水平な面内 (x - y 面内) で2軸等圧縮応力状態と見なせることがわかっている。具体的には、QFP type Aで $\sigma_{xx} = \sigma_{yy} = -77\text{ MPa}$ 、QFP type Bでは $\sigma_{xx} = \sigma_{yy} = -152\text{ MPa}$ であり、 z 方向 (チップ面外方向) の垂直応力とすべてのせん断応力をゼロと見なせる。これらの応力状態および応

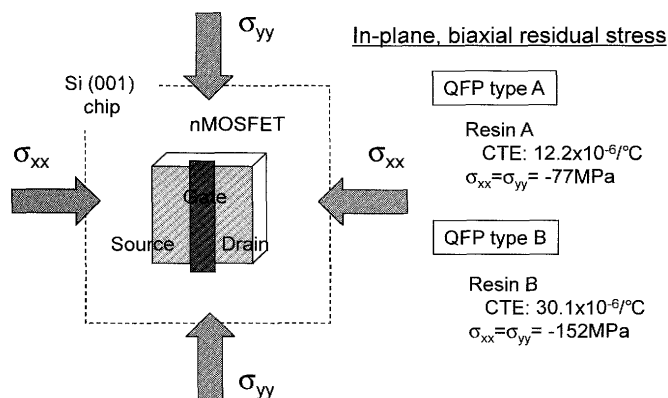


Fig. 3 Residual stress in QFP

力値の設定が妥当であることは、これらの応力値を用いてピエゾ効果の関係^{(21),(22)}から見積もられるnMOSFETのDC特性変動量が、その実験結果と良い対応を示すことにより担保されている⁽¹²⁾。本研究では、これらの応力値に対応させてnMOSFETのDC特性変動デバイスシミュレーションを実施する。

Fig. 4 (a)および(b)には、QFP樹脂封止にともなうnMOSFETのドレイン電流変動の測定結果を例示する。1軸負荷の場合⁽¹¹⁾と同様に、樹脂封止にともないドレイン電流は減少する。顕著なしきい値電圧の変動は見られない。また、より大きな残留応力が発生しているQFP type Bの方が、ドレイン電流の変動量が大きい。本研究では、Fig. 4に例示する実験結果と比較することにより、電子移動度モデルおよびデバイスシミュレーションの妥当性を検証する。

3. デバイスシミュレーションのための電子移動度モデル

3.1 ひずみによるSi伝導帯エネルギーの変化

本研究ではnMOSFETを対象としているため、伝導帯および電子移動度について議論を進める。多バレーモデルに基づけば、バルクSiの伝導帯エネルギーの底(伝導バレー)は無負荷の状態では6重に縮退しており、その等エネルギー面は k 空間(波数空間)においてそれぞれの主軸方向を長軸とする回転楕円体として表される⁽²³⁾。このとき、電子は有効質量近似によりそれぞれの伝導バレーにおいて主軸方向に有効質量 m_i^* 、電子移動度 μ_i 、それと垂直方向に有効質量 m_j^* 、電子移動度 μ_j を有していると考えられる。なお、以下では主軸を i 軸($i=1, 2, 3$)として表記する。

n型半導体においては、電気伝導に寄与する主なキャリアは電子であり、電子電流(ドリフト電流) J は次式で表される。

$$J = q\mu n \nabla \phi_n \quad (1)$$

ここで、 q は電荷、 μ は電子移動度、 n は電子数、 $\nabla \phi$ は電子擬フェルミポテンシャルの勾配である。式(1)を多バレーモデルにより書き直せば、次式のとおりに表せる。

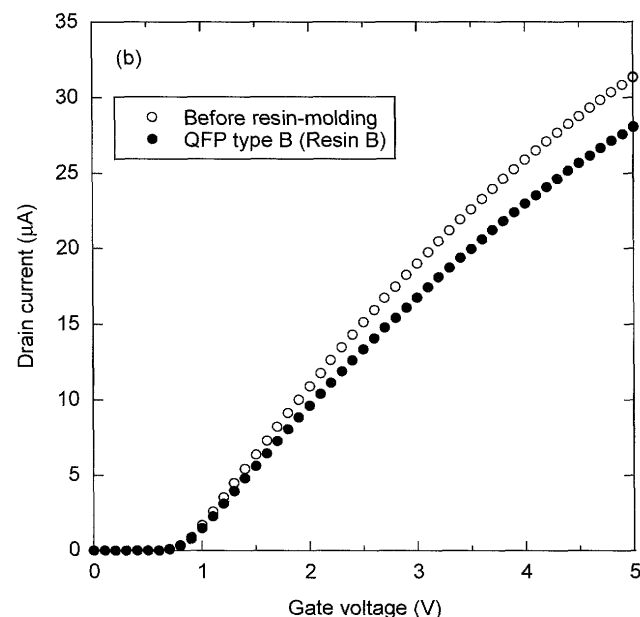
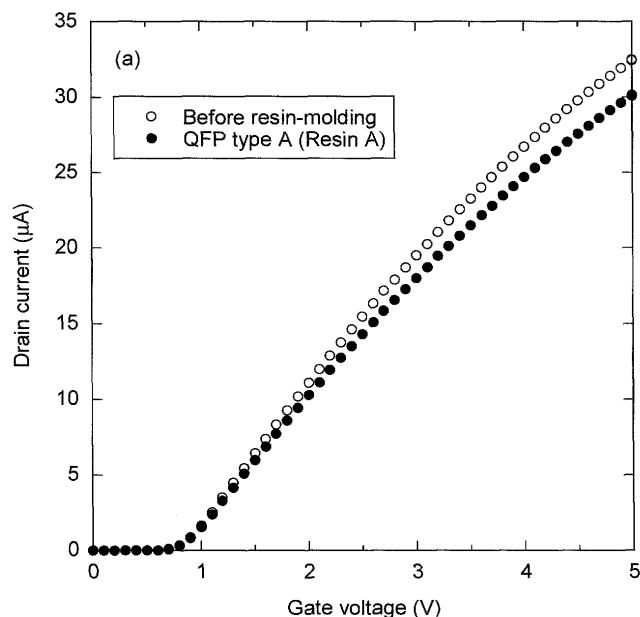


Fig. 4 Experimental results of drain current shift induced by resin-molding.

(a) QFP type A (Resin A), (b) QFP type B (Resin B)

$$\begin{pmatrix} J_1 \\ J_2 \\ J_3 \end{pmatrix} = q \left[\begin{pmatrix} \mu_L & 0 & 0 \\ 0 & \mu_T & 0 \\ 0 & 0 & \mu_T \end{pmatrix} \frac{n_1}{n} + \begin{pmatrix} \mu_T & 0 & 0 \\ 0 & \mu_L & 0 \\ 0 & 0 & \mu_T \end{pmatrix} \frac{n_2}{n} + \begin{pmatrix} \mu_T & 0 & 0 \\ 0 & \mu_T & 0 \\ 0 & 0 & \mu_L \end{pmatrix} \frac{n_3}{n} \right] n \begin{pmatrix} \partial_1 \phi \\ \partial_2 \phi \\ \partial_3 \phi \end{pmatrix} \quad (2)$$

なお、 $\partial_i = \partial / \partial x_i$ である。 n_i は i 軸に沿った伝導バレーにおける電子数であり、 $n = n_1 + n_2 + n_3$ である。したがって、電子移動度 μ_i は次式で与えられる。

$$\begin{pmatrix} \mu_1 \\ \mu_2 \\ \mu_3 \end{pmatrix} = \begin{pmatrix} \frac{n_1}{n} \mu_L + \frac{n_2}{n} \mu_T + \frac{n_3}{n} \mu_T & 0 & 0 \\ 0 & \frac{n_1}{n} \mu_T + \frac{n_2}{n} \mu_L + \frac{n_3}{n} \mu_T & 0 \\ 0 & 0 & \frac{n_1}{n} \mu_T + \frac{n_2}{n} \mu_T + \frac{n_3}{n} \mu_L \end{pmatrix} \quad (3)$$

バルク Si においては、無負荷の状態では6つの伝導バレーが縮退しており等価であるため

$$\frac{n_1}{n} = \frac{n_2}{n} = \frac{n_3}{n} \quad (4)$$

となり、電流方向がいずれの方向であっても移動度は

$$\mu = \frac{\mu_L + 2\mu_T}{3} \quad (5)$$

で与えられ等方的となる。

一方、Si (001) MOS デバイスでは、反転層での電子が二次元量子化される結果、エネルギー状態が2重縮退バレーと4重縮退バレーに分岐する^{13),24)}。このとき、Fig. 5 (a) に示すように2重縮退バレーの基底サブバンドエネルギー E_0^2 の方が、4重縮退バレーの基底サブバンドエネルギー E_0^4 よりも $\Delta E_u = E_0^4 - E_0^2$ だけ低くなる。この MOS 反転層にひずみが生じると、2重縮退バレーと4重縮退バレーの基底サブバンドエネルギー差がさらに変調する。すなわち、本研究で評価の対象とする Fig. 3 に示す応力状態（チップ面内の2軸等圧縮）では、Fig. 5 (b) に示すように変化する。このとき、ひずみによる効果（伝導バンド端の変化）を含んだ2重縮退バレーの基底サブバンドエネルギーと4重縮退バレーの基底サブバンドエネルギーの差 ΔE_s は、 $\Delta E_s = \Delta E_u - \Delta E_{\text{strain}}$ で表される。 ΔE_{strain} はひずみに起因した2重縮退バレーと4重縮退バレーの変調差（伝導バンド端の変化分）である。本研究では、無負荷の状態 (Fig. 5 (a)) の電気特性値を変動ゼロの基準とするため、ひずみによる変調差分 ΔE_{strain} （つまり Fig. 5 (a) から Fig. 5 (b) への変調分）のみを考え電子移動

度の変化と対応させる。

このひずみによる伝導バレーのエネルギー変化は、変形ポテンシャルモデル²⁵⁾により求められる。すなわち、ひずみによる i 軸における Si 伝導バレーエネルギーの変化 ΔE_i は次式で表される。

$$\Delta E_i = \Xi_d(\varepsilon_{11} + \varepsilon_{22} + \varepsilon_{33}) + \Xi_u \varepsilon_{ii} \quad (6)$$

式中の ε_{ij} はひずみテンソル、 Ξ_d および Ξ_u は変形ポテンシャル定数である。本研究では、式(6)を用いてひずみによる伝導バレーのエネルギー変化量を算出し、以下で示す電子移動度モデルを用いて電子移動度の変化を算出する。

3.2 電子存在確率の変化

Egley と Chidambarrao は、ひずみによる移動度の変化を各伝導バレーのエネルギー変化にともなう電子存在確率の変化に帰着させたモデルを提案している¹⁴⁾。本研究では、ひずみによる電子存在確率の変化を考慮するモデルとして、この Egley らのモデルを用いた。ただし、電子の分布関数としてマクスウェル・ボルツマン分布関数を用いて簡略化を行った²⁶⁾。本節の以下では、本研究で用いた Egley らのモデルを示す。すなわち、 i 軸に沿った伝導バレーにおける電子存在確率 v_i が、ひずみによる各伝導バレーのエネルギー変化 ΔE_i を用いて次式で与えられる。

$$v_i = \frac{\exp\left(-\frac{\Delta E_i}{k_B T}\right)}{\sum_{i=1}^3 \exp\left(-\frac{\Delta E_i}{k_B T}\right)} \quad (7)$$

ここで、 k_B はボルツマン定数、 T は格子温度である。これにより、ひずみによる電子存在確率の変化を考慮した移動度として、式(3)が次式に書き換えられる。

$$\begin{pmatrix} \mu_1 \\ \mu_2 \\ \mu_3 \end{pmatrix} = \begin{pmatrix} v_1 \mu_L + v_2 \mu_T + v_3 \mu_T & 0 & 0 \\ 0 & v_1 \mu_T + v_2 \mu_L + v_3 \mu_T & 0 \\ 0 & 0 & v_1 \mu_T + v_2 \mu_T + v_3 \mu_L \end{pmatrix} \quad (8)$$

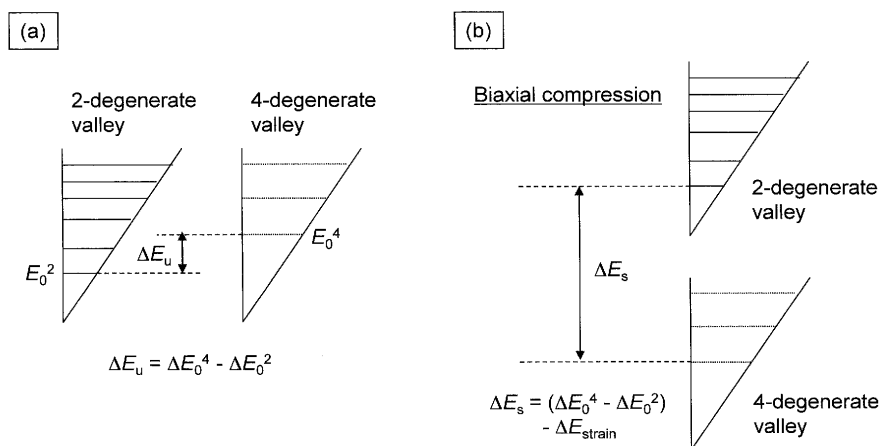


Fig. 5 Si MOS conduction band energy in inversion layer. ^{13),24)}

(a) subband energy, unstrained condition, (b) subband energy, biaxial compressive stress condition.

この式(8)で表される移動度では、各伝導バレーの電子が有する移動度の電流方向移動度への寄与分（これが各伝導バレーの電子存在確率にあたる）が、ひずみに応じて変化する。すなわち、伝導バレー間の電子存在確率の相対的な偏差のみが電流方向の移動度変化に反映される。したがって、各伝導バレーの移動度そのもの、すなわち式(8)中の μ_L や μ_T はひずみによって変化しない。一方で、電子存在確率の変化のみを考慮した場合、移動度変化におけるひずみの効果を過小評価してしまうとの指摘がある¹⁵⁾。そこで次節では、電子存在確率の変化に加えて電子散乱確率の変化を考慮するため、ひずみによる電子散乱確率の変化を与えるモデルを示す。

3.3 電子散乱確率の変化

ひずみが生じていない場合、伝導電子の移動度と緩和時間 τ の関係は次式で表される。

$$\mu = \frac{q\tau}{m_c^*} \quad (9)$$

m_c^* は伝導電子の有効質量であり、電流方向の総体的な移動度 μ に対応する。このとき、

$$\mu_L = \frac{q\tau}{m_{cL}^*}, \quad \mu_T = \frac{q\tau}{m_{cT}^*} \quad (10)$$

である。したがって、ひずみが生じることにより緩和時間が変化すれば、各伝導バレーに存在する電子の移動度および電流方向の総体的な移動度も変化することになる。Fig. 6(a)に、バレー間散乱機構を模式的に図示する。バレー間散乱には、Fig. 6(a)に示すように同一主軸上において等価なバレー間の散乱 (g 過程) と、主軸が異なるバレー間の散乱 (f 過程) が存在する²⁴⁾。ひずみが生じていない場合、 g 過程の緩和時間を τ_{0g} 、 f 過程の緩和時間を τ_{0f} とすると、Matthiessen's rule から τ_{0g} および τ_{0f} と τ の関係が次式で表される。

$$\frac{1}{\tau} = \frac{1}{\tau_{0g}} + \frac{1}{\tau_{0f}} \quad (11)$$

この関係を用いれば、式(9)は次式のとおり書き換えられる。

$$\mu = \frac{q}{m_c^*} \cdot \frac{\tau_{0g} \cdot \tau_{0f}}{\tau_{0g} + \tau_{0f}} \quad (12)$$

Fig. 6(b)に示すように、ひずみにより各伝導バレーのエネルギーが変化した場合、 τ_{0g} は主軸上において等価なバレー間散乱の緩和時間なので変化せず、一方、 τ_{0f} は伝導バレー間のエネルギー差に応じて変化するようになる。

以上の関係を前提に、Dhar らは3.2で示したEgley らのモデルを拡張し、伝導帯エネルギー変化にともなう電子存在確率の変化に加えバレー間の散乱確率、すなわち緩和時間の変化も考慮するモデルを提案している¹⁶⁾。本研究では、デバイスシミュレーションで最終的に用いる移動度変化を、Dhar らのモデルを用いて算出した。本節の以下には、本研究で用いたDhar らのモデルを示す。まず、ひずみが生じた後の f 過程の緩和時間 τ_{fi} が次式で定義される。

$$\frac{1}{\tau_{fi}} = \frac{1}{\tau_{0f}} \cdot p_i \quad (13)$$

これによって、ひずみが生じた後の i 軸上传導バレーの電子が有する緩和時間 τ_{stri} が次式で表される。

$$\begin{aligned} \frac{1}{\tau_{stri}} &= \frac{1}{\tau_{0g}} + \frac{1}{\tau_{fi}} \\ &= \frac{1}{\tau_{0g}} + \frac{1}{\tau_{0f}} \cdot p_i \end{aligned} \quad (14)$$

なお、Dhar らのモデルでは、式(14)の関係において不純物による緩和時間の変化を考慮しているが、本研究ではデバ

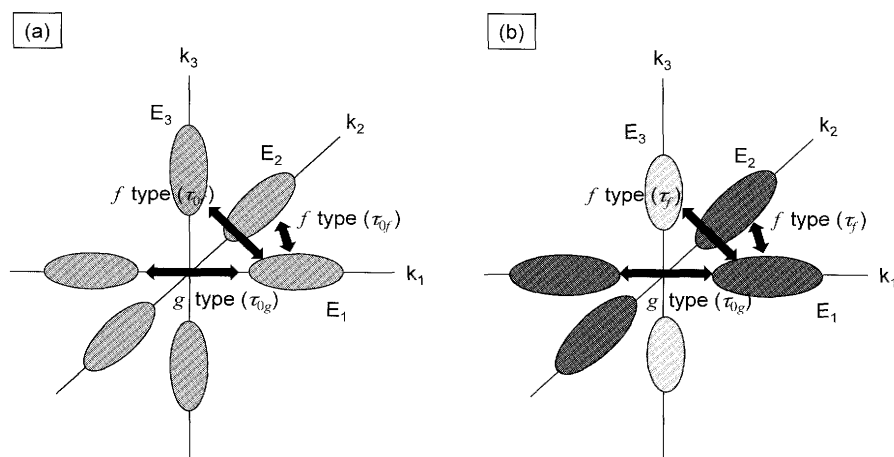


Fig. 6 Schematic diagram of inter-valley scattering processes.

(a) unstrained condition, (b) biaxial compressive stress condition.

イスシミュレーション実施の際に別途考慮する。 f 過程に係わる緩和時間のひずみによる変化係数である p_i は、次式で与えられる。

$$p_i = \frac{\mathbf{g}\left(\frac{\Delta E_{i \rightarrow j}^{\text{emi}}}{k_B T}\right) + \mathbf{g}\left(\frac{\Delta E_{i \rightarrow l}^{\text{emi}}}{k_B T}\right) + \exp\left(\frac{\hbar \omega_{\text{opt}}}{k_B T}\right) \left\{ \mathbf{g}\left(\frac{\Delta E_{i \rightarrow j}^{\text{abs}}}{k_B T}\right) + \mathbf{g}\left(\frac{\Delta E_{i \rightarrow l}^{\text{abs}}}{k_B T}\right) \right\}}{2 \left\{ \mathbf{g}\left(\frac{-\hbar \omega_{\text{opt}}}{k_B T}\right) + \Gamma\left(\frac{3}{2}\right) \right\}} \quad (15)$$

ここで、

$$\Delta E_{i \rightarrow j}^{\text{emi}} = \Delta E_j - \Delta E_i - \hbar \omega_{\text{opt}} \quad (16)$$

$$\Delta E_{i \rightarrow j}^{\text{abs}} = \Delta E_j - \Delta E_i - \hbar \omega_{\text{opt}} \quad (17)$$

であり、 $\hbar \omega_{\text{opt}}$ はフォノンエネルギーである。この式(16)および式(17)中の ΔE_i が式(6)を用いて算出され、ひずみの効果を反映する。なお、式(15)における $\mathbf{g}(s)$ は次式で定義される。

$$\mathbf{g}(s) = \begin{cases} \exp(-s) \cdot \Gamma\left(\frac{3}{2}\right) & (\forall s > 0) \\ \exp(-s) \cdot \Gamma\left(\frac{3}{2}, -s\right) & (\forall s < 0) \end{cases} \quad (18)$$

$\Gamma(3/2) = (\pi)^{1/2}/2$ であり、 $\Gamma(3/2, -s)$ は不完全ガンマ関数である。

本研究では、以上に示したDharらのモデルによってひずみによる電子散乱確率の変化を考慮する。次節では、3.2および本節で示したモデルから、デバイスシミュレーションで用いるための電子移動度モデルを定式化する。

3.4 電子移動度モデルの定式化

本節では、3.2および3.3で示した電子移動度モデルに近似、簡略化を適用し、実際にデバイスシミュレーションで用いるための定式化を行う。本研究では、デバイスシミュレータとして市販のHyDeLEOSTM（半導体先端テクノロジーズ製）を用いた。このデバイスシミュレータには、ひずみによる電子存在確率の変化のみを考慮したEgleyらのモデルが実装されている²⁶⁾。

HyDeLEOSTMでは、有限体積法により4.1に示すドリフト拡散モデルの基本方程式を離散化して解く。このとき、本来電子移動度は式(3)で示したようにテンソルで与えられるが、有限体積法でテンソル移動度を扱うのは計算の実行上困難であるため、スカラーの電流方向移動度が定義されている²⁶⁾。また、デバイスシミュレーション上でひずみによる移動度変化を取り扱う際、ひずみの効果を考慮していない移動度に対する変化係数として与える。したがって以下では、まずひずみの効果を考慮した電流方向のスカラー移動度を定義し、ひずみが生じていない場合のスカラー移動度 μ （式(5)）に対する変化係数の形で、電子移動度モデルを定式化する。

はじめに、3.2で示した電子存在確率の変化を考慮した電

流方向のスカラー移動度を示す。本研究で用いたnMOS-FETは電流方向が(001)面内であるため、ソース・ドレイン方向（x方向とする）と1軸がなす角を θ とすれば、3軸周りの回転を与えるテンソル $\mathbf{R}$ は次式で与えられる。

$$\mathbf{R} = \begin{pmatrix} \cos\theta & -\sin\theta & 0 \\ \sin\theta & \cos\theta & 0 \\ 0 & 0 & 1 \end{pmatrix} \quad (19)$$

これを用いて次式のとおり回転操作を行えば、式(8)で与えられた移動度はx方向の移動度を与える式に変換される。

$$\begin{pmatrix} \mu_x \\ \mu_y \\ \mu_z \end{pmatrix} = \mathbf{R}^{-1} \begin{pmatrix} v_1 \mu_L + v_2 \mu_T + v_3 \mu_T & 0 & 0 \\ 0 & v_1 \mu_T + v_2 \mu_L + v_3 \mu_T & 0 \\ 0 & 0 & v_1 \mu_T + v_2 \mu_T + v_3 \mu_L \end{pmatrix} \mathbf{R} \quad (20)$$

なお、y方向を(001)面内でx方向と垂直な方向、z方向を(001)面外方向（3軸方向）とする。したがって、x方向（ソース・ドレイン方向）の電流 J_x が次式で表される。

$$J_x = qn \{ (v_1 \mu_L + v_2 \mu_T + v_3 \mu_T) \cos^2 \theta + (v_1 \mu_T + v_2 \mu_L + v_3 \mu_T) \sin^2 \theta \} \partial_x \phi - \{ (v_1 \mu_L + v_2 \mu_T + v_3 \mu_T) \sin \theta \cos \theta + (v_1 \mu_T + v_2 \mu_L + v_3 \mu_T) \sin \theta \cos \theta \} \partial_y \phi \quad (21)$$

ここでHyDeLEOSTMでは、電子擬フェルミポテンシャルの勾配の向きと電流の向きが一致すると仮定し、実際に電圧を印可するソース・ドレイン方向（x方向）では $\partial_x \phi$ が支配的であるため $\partial_y \phi = 0$ と見なして、電流方向のスカラー移動度を定義している²⁶⁾。すなわち、

$$J_x = qn \{ (v_1 \mu_L + v_2 \mu_T + v_3 \mu_T) \cos^2 \theta + (v_1 \mu_T + v_2 \mu_L + v_3 \mu_T) \sin^2 \theta \} \partial_x \phi \quad (22)$$

となり、電流方向の移動度 μ_x が次式で与えられる。

$$\mu_x = v_1 (\mu_L \cos^2 \theta + \mu_T \sin^2 \theta) + v_2 (\mu_T \cos^2 \theta + \mu_L \sin^2 \theta) + v_3 \mu_T \quad (23)$$

したがって、ひずみが生じていない場合の移動度に対する変化係数 $f_{\text{str, pop}}$ は、

$$f_{\text{str, pop}} = \frac{\mu_x}{\mu} = \frac{v_1 (\mu_L \cos^2 \theta + \mu_T \sin^2 \theta) + v_2 (\mu_T \cos^2 \theta + \mu_L \sin^2 \theta) + v_3 \mu_T}{(\mu_L + 2\mu_T)/3} = v_1 c_1 + v_2 c_2 + v_3 c_3 \quad (24)$$

で定義される。式(24)中の c_i は

$$c_1 = \frac{3}{1 + 2(m_L^*/m_T^*)} \cdot \cos^2 \theta + \frac{3(m_L^*/m_T^*)}{1 + 2(m_L^*/m_T^*)} \cdot \sin^2 \theta \quad (25)$$

$$c_2 = \frac{3(m_L^*/m_T^*)}{1 + 2(m_L^*/m_T^*)} \cdot \cos^2 \theta + \frac{3}{1 + 2(m_L^*/m_T^*)} \cdot \sin^2 \theta \quad (26)$$

$$c_3 = \frac{3(m_L^*/m_T^*)}{1 + 2(m_L^*/m_T^*)} \quad (27)$$

で与えられる。なお、本研究で用いたnMOSFETでは、ソース・ドレイン方向(x方向)が<110>方向であるため $\theta=45^\circ$ となる。以上から、ひずみによる各伝導バレー移動度の電流方向移動度への寄与の割合のみが変化した移動度 $\mu_{\text{str, pop}}$ は、

$$\mu_{\text{str, pop}} = \mu \cdot f_{\text{str, pop}} \quad (28)$$

で与えられることになる。

次に、電子存在確率の変化(Egleyらのモデル)に加え電子散乱確率の変化も考慮するDharらのモデルを用い、デバイスシミュレーションで最終的に用いる電流方向の移動度変化係数を定義する。まず式(11)と式(14)から、ひずみが生じた後のi軸上伝導バレーの電子が有する緩和時間の変化係数 $f_{\tau, i}$ は次式で与えられる。

$$f_{\tau, i} = \frac{\tau_{\text{str, i}}}{\tau} = \frac{1 + \frac{\tau_{0g}}{\tau_{0f}}}{1 + \frac{\tau_{0g}}{\tau_{0f}} \cdot p_i} \quad (29)$$

この式(29)における τ_{0g}/τ_{0f} は、ひずみが生じていない状態でのf過程の緩和時間とg過程の緩和時間の比であり、以下に示す関係¹⁶⁾からその値を見積もった。(001)面内に2軸引張りひずみが生じた場合を考えれば、Fig. 5(b)とは逆に4重縮退バレーの基底サブバンドエネルギーが2重縮退バレーよりも高くなる。これが十分大きなひずみの場合、すなわち4重縮退バレーと2重縮退バレーのエネルギー差が十分大きな場合、2重縮退バレーから4重縮退バレーへの散乱は抑制され、ほとんどの電子が2重縮退バレーを占有することになり、ひずみによる移動度の増加は飽和する。つまり、(001)面内方向の飽和移動度 μ_{sat} が、2重縮退バレーにおける主軸と垂直方向の移動度のみを考慮し、かつ、式(11)において $1/\tau_{0f} \approx 0$ すなわち $\tau = \tau_{0g}$ と見なして次式で与えられる。

$$\mu_{\text{sat}} = \frac{q\tau_{0g}}{m_T^*} \quad (30)$$

したがって、ひずみによる飽和移動度 μ_{sat} のひずみが生じていない状態の移動度(式(12))に対する増加率 μ_{sat}/μ が

$$\frac{\mu_{\text{sat}}}{\mu} = \frac{m_c^*}{m_T^*} \left(1 + \frac{\tau_{0g}}{\tau_{0f}} \right) \quad (31)$$

で与えられる。 τ_g/τ_{0f} を与える式に変形すれば、

$$\frac{\tau_{0g}}{\tau_{0f}} = \frac{\mu_{\text{sat}}}{\mu} \cdot \frac{m_T^*}{m_c^*} - 1 \quad (32)$$

が得られる。本研究では、文献¹³⁾から(001)面内の2軸引張りひずみによる飽和移動度の増加率(μ_{sat}/μ)を1.7と見なし、式(32)を用いて τ_{0g}/τ_{0f} の値を決定した。具体的には $\tau_{0g}/\tau_{0f}=0.25$ となり、この値を式(29)に適用してi軸上伝導

バレーの電子が有する緩和時間の変化係数 $f_{\tau, i}$ を算出した。

以上から、HyDeLEOSTMに実装されている電子存在確率の変化を考慮するEgleyらのモデル¹⁴⁾を拡張し、Dharらのモデル¹⁶⁾を用いて電子散乱確率の変化を考慮した形で、デバイスシミュレーションで最終的に用いる電流方向の移動度変化係数 $f_{\text{str, tot}}$ を定義した。すなわち、式(24)において式(29)を用いて各伝導バレーの緩和時間の変化を考慮することにより $f_{\text{str, tot}}$ が次式で与えられる。

$$f_{\text{str, tot}} = v_1 c_1 \cdot f_{\tau, 1} + v_2 c_2 \cdot f_{\tau, 2} + v_3 c_3 \cdot f_{\tau, 3} \quad (33)$$

したがって、ひずみの効果を考慮した電流方向の総体のスカラー移動度 $\mu_{\text{str, tot}}$ が、次式を用いて得られる。

$$\mu_{\text{str, tot}} = \mu \cdot f_{\text{str, tot}} \quad (34)$$

次節では、式(33)を用いて算出される移動度変化率を実験結果と比較し、移動度モデルの妥当性を検証する。

3.5 実験結果との比較と考察

本研究では、3.1で述べたとおり、ひずみに起因した各伝導バレーエネルギーの変化分のみを移動度変化におけるひずみによる影響分と見なす。本節では、2.で示したQFP実装における残留応力(ひずみ)に対応する移動度変化率を、式(33)により算出して実験結果と比較した。すなわち具体的な応力値として、 $\sigma_{11}=\sigma_{22}=-77$ MPaまたは $\sigma_{11}=\sigma_{22}=-152$ MPaを適用した。その際、応力はSiの弾性コンプライアンス²⁷⁾を用いてひずみに変換した。これらの応力値に対し、式(6)を用いて各伝導バレーのエネルギー変化を算出し、式(33)を用いて移動度変化係数 $f_{\text{str, tot}}$ を求めた。その際、格子温度 T は300 Kとし、フォノンエネルギー $\hbar\omega_{\text{opt}}$ の値は文献²⁸⁾から61.2 meVとした。また、変形ポテンシャル定数 Ξ_u の値も、文献²⁸⁾から10.5 eVとした。

Fig. 7に、式(33)を用いて移動度変化率 $\Delta\mu/\mu(\%)$ を算出した結果を示す。ここで移動度変化率 $\Delta\mu/\mu$ は次式で定義される。

$$\frac{\Delta\mu}{\mu} = \frac{\mu_{\text{str, tot}} - \mu}{\mu} = f_{\text{str, tot}} - 1 \quad (35)$$

Fig. 7には、比較のため実験結果から求めた移動度変化率¹²⁾も同時に示している。さらにFig. 7には、式(24)で与えられる伝導バレー間の電子存在確率の相対的な偏差のみを電流方向の移動度変化に反映させたモデルで得られた移動度変化率もあわせて示す。

Fig. 7に示す結果から、応力効果として伝導バレー間の電子存在確率の相対的な偏差のみを考慮したモデル(式(24))、電子存在確率の変化に加えて各伝導バレーに存在する電子の散乱確率の変化も考慮したモデル(式(33))、これらいずれのモデルにより算出される移動度変化も実験結果と定性的に一致することがわかった。すなわち、本研究で評価を実施した応力範囲では、2軸圧縮応力の増大に伴って移動度変化率が単調に減少し、この傾向は実験結果と移動度モデルによる算出結果で一致している。また、電

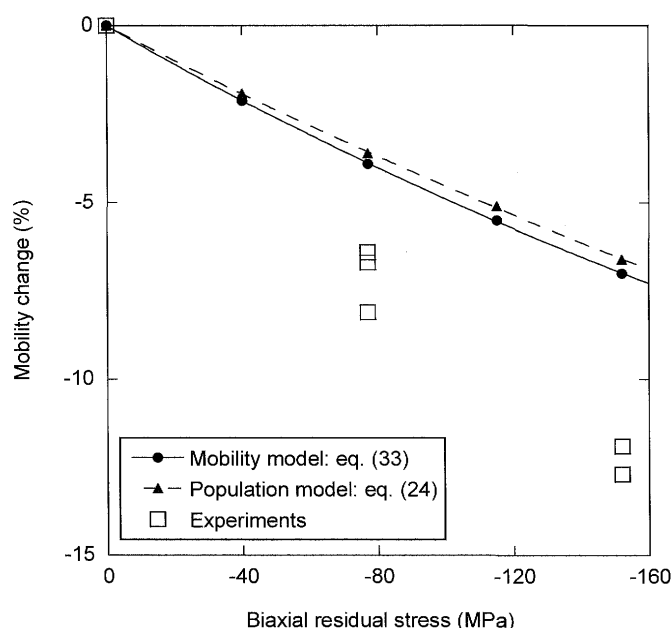


Fig. 7 Comparison with experimental results and electron mobility model

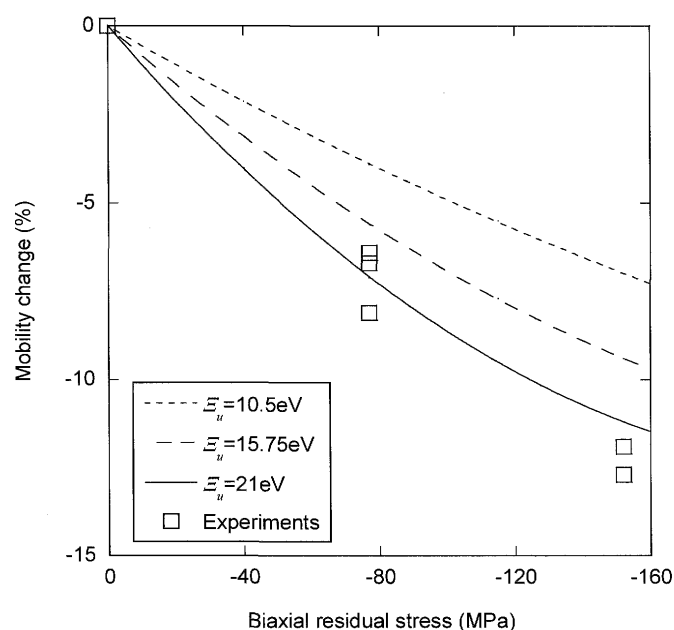


Fig. 8 Variation of mobility change with deformation potential Ξ_u

子の散乱確率の変化を考慮することにより、考慮しない場合に比較して応力に対する移動度の変化はわずかに大きくなり、実験結果に対して定量的に近づく傾向であることがわかった。この結果は、Si結晶に生じたひずみが、主に電子の存在確率および散乱確率の変化を引き起こすという指摘¹³⁾と一致する。一方で、定量的には実験結果と差が生じており、移動度モデルで算出される移動度変化率が実験結果のおよそ半分となった。本研究で示した移動度モデルでは、変形ポテンシャル定数の値やフォノンエネルギーの値をパラメータとし、Fig. 7に示す結果はこれらのパラメータ値として文献値を用いている。変形ポテンシャルの値については数多くの報告があり、その計算方法が確立している一方、その計算結果は計算に用いるパラメータに依存しており確定していないと認識されている²⁹⁾。

そこで本研究では、移動度モデルによる算出結果が実験結果の傾向を再現していることから、変形ポテンシャル定数 Ξ_u の値をフィッティングパラメータとし、 Ξ_u の値を変化させて算出される移動度変化率を実験結果と比較した。具体的には、Fig. 7に示す結果の算出に用いた Ξ_u の文献値(10.5eV)²⁸⁾の1.5倍および2倍の値を用いて移動度変化率を算出した。それらの結果を、実験結果と比較してFig. 8に示す。Fig. 8に示す結果から、 $\Xi_u=21\text{eV}$ とした結果は定量的にも実験結果とよく一致しており、本研究で定式化した移動度モデルを用いて実験結果を再現できることがわかった。次章では、この結果を用いてデバイスシミュレーションを実施する。以上、本研究で定式化した移動度モデルは、実際の電子パッケージの実装工程で生じたゲート水平面内での2軸等負荷に対して、その負荷に起因した移動度変化率を評価するモデルとして妥当であると考えられる。

しかしながら、モデルに用いる物理パラメータ値についてはさらなる検証を要する。

一方、1軸負荷における移動度変化について考察すると、本研究で示した移動度モデルでは電流方向への負荷によって電流方向の移動度変化もそれと垂直方向の移動度変化も同じとなり、負荷方向により応力感度に違いが生じる実験結果¹¹⁾に反する。この1軸応力感度における負荷方向依存性については、1軸負荷においては各伝導バレーに存在する電子の有効質量が変化するとの指摘がある³⁰⁾。また、3軸上バレーの変化の異方性を考慮したピエゾ効果モデルも検討されている³¹⁾。しかし現状では、1軸応力感度における負荷方向依存性の物理モデルは明確ではなく、1軸負荷の効果を定性的に評価できる移動度モデルの構築が今後の検討課題として残されている。

4. デバイスシミュレーション

4.1 ドリフト拡散モデル

ドリフト拡散モデル^{9),10)}では、キャリア（電子、正孔）の挙動を流体近似することによりデバイスの電氣的応答をシミュレーションする。すなわち、以下に示すポアソン方程式（式(36)）、電流連続方程式（式(37)）および電流密度方程式（式(38)）からなる基本方程式を、数値解析ソルバー（すなわちデバイスシミュレータ）を用いて自己無撞着的に解く。

$$-\nabla^2\psi = \frac{q}{e}(N_D - n + p - N_A) \quad (36)$$

$$\frac{\partial n}{\partial t} = \frac{1}{q} \nabla \cdot \mathbf{J}_n - G \quad (37)$$

$$\mathbf{J}_n = q\mu_n n \mathbf{E} + qD_n \nabla n \quad (38)$$

なお、連続方程式および密度方程式に関しては電子に関する式のみを示している。式中、 ψ は静電ポテンシャル、 q は電荷、 e は誘電率である。また、 N_D および N_A はそれぞれドナー濃度とアクセプタ濃度、 n および p はそれぞれ電子濃度と正孔濃度である。 $\mathbf{J}_n$ は電子電流、 G はキャリア生成再結合速度であり、 $\mathbf{E}$ および D_n はそれぞれ電界と電子の拡散係数である。式(38)中の μ_n が(電子)移動度であり、流体近似されたキャリアの挙動を特徴づけ、したがって、応力(ひずみ)の効果はこの移動度に反映される。すなわち、3.で示した電子移動度モデルを用いて応力効果を考慮した移動度変化係数を算出し、デバイスシミュレーション実行時に入力パラメータとして与えた。

4.2 シミュレーションモデルおよび条件

デバイスシミュレーションモデルとして、Fig. 9に模式的に示す2次元モデルを作製した。具体的には、シリコン基板、ゲート酸化膜、ゲートポリシリコンを形状としてモデル化した。Fig. 10に要素分割図を示す。要素分割の際、電流密度が大きくなるLDD (Lightly Doped Drain) 領域の分割密度を大きくした。Fig. 10には、LDD領域を拡大して示している。総節点数は55125である。デバイスシミュレーションモデルに適用した不純物濃度分布は、プロセスシミュレーションによって得られた不純物濃度分布を簡略化して用いた。Fig. 11には、本研究で用いた不純物濃度分布を示す。Fig. 11では、Fig. 11 (a)に示す位置(図中のLine 1~4)での不純物濃度分布をFig. 11 (b), (c), (d)および(e)に示している。なお、プロセスシミュレーションによる不純物濃度分布は、デバイスメーカーより提供を受けた。

本研究では、応力効果以外に起因する移動度変化も考慮した。すなわち、本研究で使用したHyDeLEOSTMには、フォノン散乱の影響による移動度変化(格子温度依存性)、クーロン散乱の影響による移動度変化(不純物濃度依存性)、シリコン・酸化膜界面での表面ラフネス散乱などの影響による移動度変化(垂直方向電界依存性)およびチャネルに水平な方向の電界によるキャリアのドリフト速度の飽和を考慮した移動度変化(水平方向電界依存性)が移動度モデルとして実装されている²⁶⁾。本研究では、(1)格子温度依存モデルとしてLatticeScattモデル³²⁾、(2)不純物濃度依存モデルとしてMujtabaCoulombモデル³³⁾、(3)垂直電界依存モデルとしてShinモデル³⁴⁾および(4)水平電界依存モデルとしてScharfetterモデル³⁵⁾をそれぞれ用いた。格子温度は300 Kとした。これにより、実効電界に依存した移動度の変化³⁶⁾などは考慮されることになる。また、3.で示した応力効果を考慮するための移動度モデルでは、Dharらのモデル¹⁶⁾で考慮されている不純物による緩和時間変化を省いたが、本章で実施するデバイスシミュレーション上では(2)により考慮される。

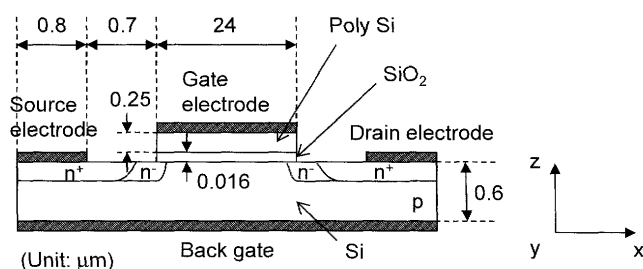


Fig. 9 Schematic diagram of nMOSFET model for device simulation

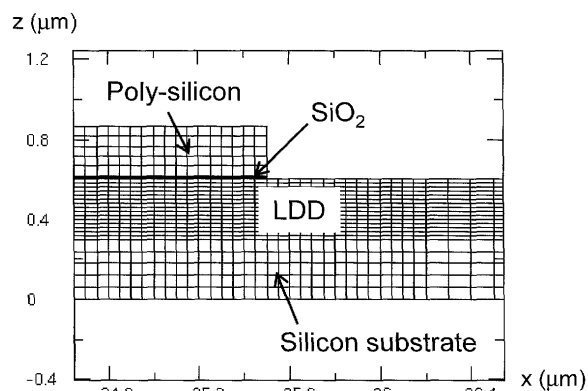


Fig. 10 Finite volume model of nMOSFET (enlarged view of LDD region)

応力効果として、QFPの実装応力(Fig. 3)に対応する移動度変化を、Fig. 9のSi基板部分に一样に与えた。具体的には、ゲートに水平な面内(x-y面内)方向の応力値(σ_{xx} および σ_{yy})として、 $\sigma_{xx} = \sigma_{yy} = -77$ MPaまたは $\sigma_{xx} = \sigma_{yy} = -152$ MPaの値を用い、式(33)の移動度モデルを用いて移動度変化係数 $f_{str, tot}$ を算出した。算出した移動度変化係数 $f_{str, tot}$ を上記(1)~(4)が考慮された移動度(モデル上の k 番目の節点での値を μ_k とする)に乘じることにより、デバイスシミュレーション上で用いられる最終的な実効移動度を得た。すなわち、モデル上の k 番目の節点においてデバイスシミュレーション上で最終的に用いられる実効移動度を $\mu_{eff, k}$ とすれば、 $\mu_{eff, k}$ は次式で与えられる。

$$\mu_{eff, k} = \mu_k \cdot f_{str, tot} \quad (39)$$

実際の取り扱いでは、移動度変化係数 $f_{str, tot}$ を別途算出し、デバイスシミュレーション実行時に μ_k に乘じられる入力パラメータとして与えた。

電氣的境界条件としては、ソース電極、ドレイン電極、ゲート電極およびバックゲートに2.で示した実験と同様の条件を施した。具体的には、ソース電極とドレイン電極間を0.1 Vに固定し、バックゲートを地接(0 V)した。ゲート電圧を0 Vから5 Vまで掃引し、ドレイン電流の変化をシミュレーションした。

4.3 シミュレーション結果と考察

Fig. 12には、デバイスシミュレーションの結果としてドレイン電流の変化を示す。まず、無負荷での結果について

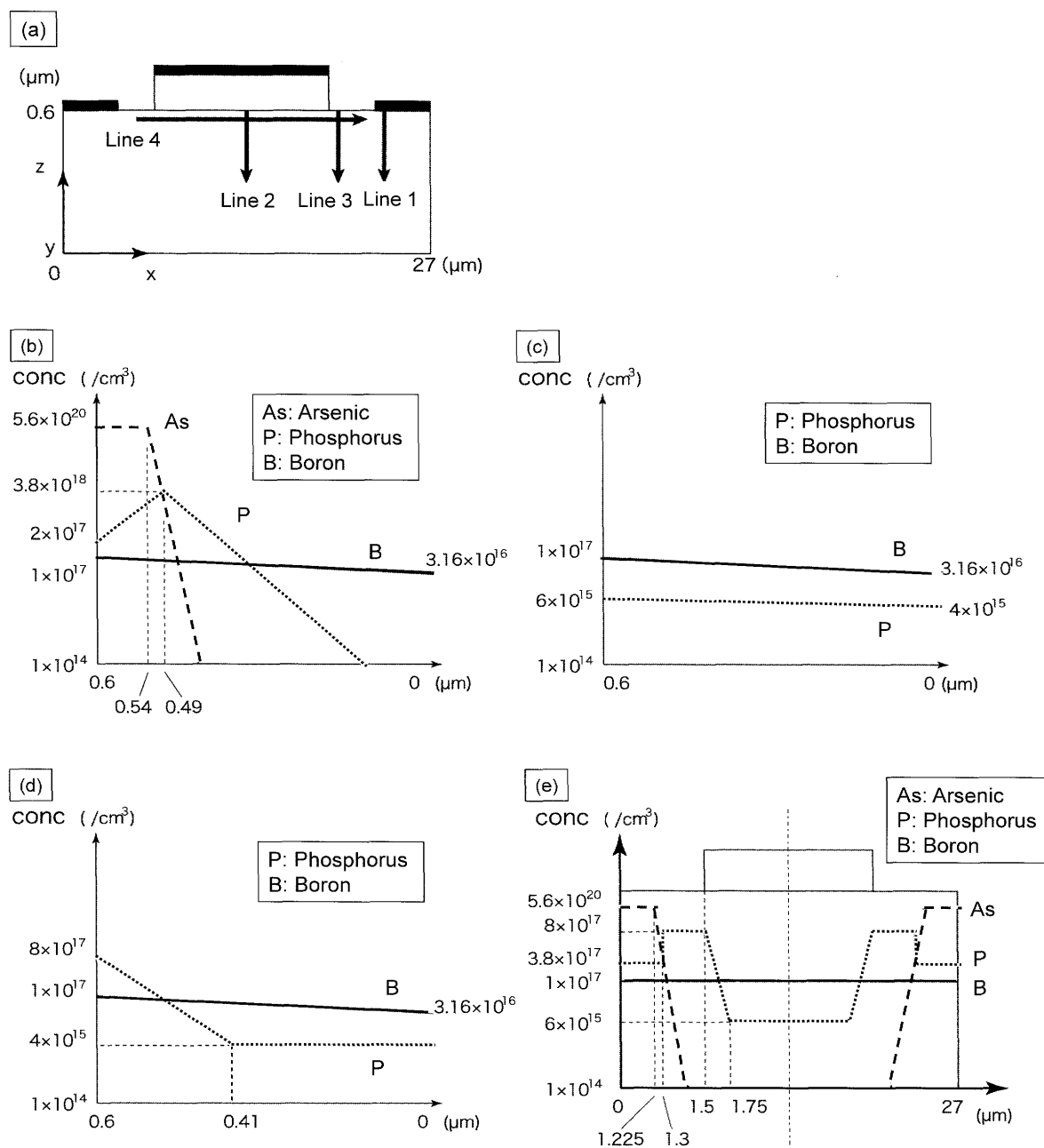


Fig. 11 Impurity concentration in nMOSFET.

(a) measurement regions of impurity concentration, (b) along line 1 in (a), (c) along line 2 in (a), (d) along line 3 in (a), (e) along line 4 in (a).

Fig. 4に示した実験結果と比較すると、しきい値電圧の値はほぼ一致している。ドレイン電流値は、シミュレーション結果の方が実験結果よりも多少大きくなったが、実際のデバイスが有する個体差を考慮すれば十分な精度で一致している。次に、応力によるドレイン電流変化のシミュレーション結果では、今回入力したゲート水平面内の2軸圧縮応力によりドレイン電流が減少し、圧縮応力が大きくなるほどドレイン電流の減少が大きくなった。さらに、しきい値電圧の変動は見られなかった。すなわちこれらの結果も、Fig. 4に示した実験結果と一致している。Fig. 13には、 G_m (相互コンダクタンス) 変化率のデバイスシミュレーショ

ン結果を既報¹²⁾の実験結果と比較して示す。なお、 G_m 値はドレイン電流曲線におけるゲート電圧2Vでの接線の傾きとして算出した。 G_m はいわゆる増幅率であり、トランジスタ性能を表す重要な基本特性の1つである。また、これまでも応力に対する G_m の変化に関する評価が報告されている^{6),18)}。Fig. 13に示すとおり、 G_m 変化率のシミュレーション結果と実験結果はよく一致した。 G_m 変化率を定量的に見ると、実験結果も含めてFig. 8で示した移動度変化率とほぼ同じであった。すなわち、本研究で用いたnMOSFETでは、応力による G_m 変化率の変動は応力による移動度変動を定量的に反映すると考えられる。以上、応

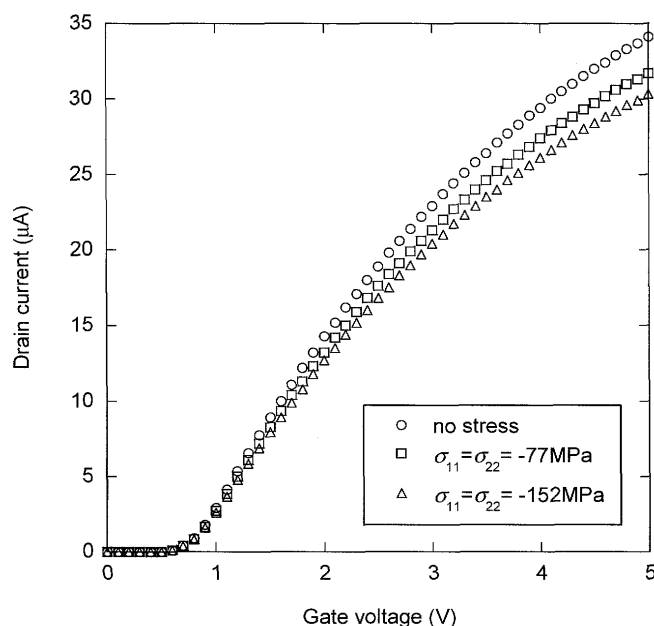


Fig. 12 Device simulation results of drain current shift under stress

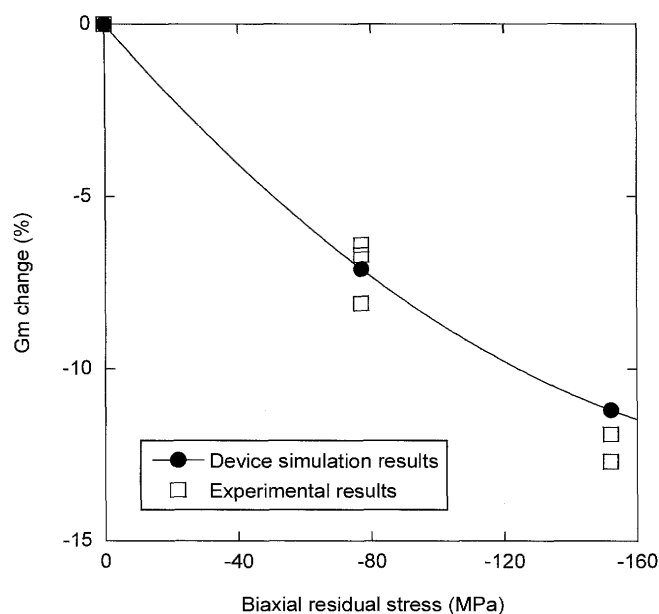


Fig. 13 Device simulation results of Gm change induced by stress

力効果を考慮した移動度モデルを用いてデバイスシミュレーションを実施し、2.で示した範囲の実験結果をシミュレーションでできることを示した。

本研究で実施したデバイスシミュレーションでは、シミュレーション実行時に使用される移動度（実効移動度 $\mu_{\text{eff},k}$ ）はモデル節点で異なるが、デバイス中の応力分布を一樣と仮定しているため、加味されている応力効果（移動度変化係数 $f_{\text{str,tot}}$ ）は節点によらず一定である。本研究で評価したデバイスよりさらに微細なデバイスでは、微細構造

に起因した応力分布の効果¹⁸⁾が顕在化することも考えられる。したがって、微細デバイスの評価には、その微細構造に起因した応力分布を有限要素法解析などにより見積もり、デバイスシミュレーション上で考慮できる手法が必要であると考えられる。その際、今回は比較的簡単な2次元のデバイスシミュレーションモデルを用いているが、プロセスシミュレータなどを用いて3次元のシミュレーションモデルを作製する必要もあると考えられる。このようなシミュレーション手法の高度化は、応力感度のデバイス形状依存性¹²⁾などのメカニズム解明に有用であると考えられる。

また、本研究の評価は実装時の残留応力を念頭に置いており、デバイス形成後の状態を応力ゼロ、すなわち特性変動ゼロの基準にしている。したがって、プロセス時の酸化膜形成などに起因した‘真性応力’による特性変動は考慮していない。しかしながら、何らかの方法でプロセス時に発生する残留応力を見積もることができれば、その応力値を入力データとすることで同様の手法によりプロセス時の特性変動評価が可能となる。この評価スキームは、現在研究開発が活発に行われている‘歪み’Siのデバイス設計、評価にも用いることができる。

以上、半導体デバイスの応力効果におけるデバイスシミュレーションを用いた評価手法は応用範囲が広く、工学的に有用な手法であると考えられる。今後、さらに多くの実デバイスへのシミュレーションの適用とシミュレーション手法の検証が望まれる。

5. 結 論

本研究では、デバイスシミュレーションを用いた応力に起因するnMOSFETのDC特性変動評価手法を示した。具体的には、応力（ひずみ）によるSi伝導帯エネルギーの変化、および伝導帯エネルギー変化によって引き起こされる電子存在確率と散乱確率の変化を考慮した電子移動度モデルについて検討を行った。

実験結果と比較することにより移動度モデルの妥当性を検証した結果、実験結果から得られる移動度変化率を再現できることを示した。ただし、1軸負荷における移動度変化については、その物理現象の反映においてさらに検討を要することがわかった。この電子移動度モデルを用いてドリフト拡散デバイスシミュレーションを実施し、応力に起因するnMOSFETのDC特性変動を評価した。その結果、本研究で示したデバイスシミュレーション手法により、実装時の残留応力に起因するドレイン電流の変動、しきい値電圧の挙動および相互コンダクタンスの変動をシミュレーションでできることを示した。すなわち、デバイスシミュレーションを用いた評価手法は、応力に起因する半導体デバイスの電気特性変動に対して有効である。今後、さらなる移動度モデルの高度化、およびシミュレーション手法の汎用性向上が期待される。

謝 辞

本研究を実施するにあたり、実験にご協力いただいた新日本無線 吉田誠一郎氏、ならびにミツミ電機 井芹陽一氏に感謝いたします。

本研究の一部は、文部科学省知的クラスター創成事業（第Ⅱ期）の支援による。

(2008.6.25-受理)

文 献

- 1) 電子情報技術産業協会：“2007年度版日本実装技術ロードマップ”，2007
- 2) 嶋田勇三：“先端実装技術の動向と今後の展望”，電子情報通信学会論文誌，(C)，Vol. **J88-C**，No. 11，pp. 827–838，2005
- 3) エレクトロニクス実装学会半導体パッケージ技術委員会：“半導体実装-チップ積層技術の最新動向と今後の課題”，エレクトロニクス実装学会誌，Vol. **10**，No. 1，pp. 38–41，2007
- 4) 赤沢 隆：“SiPの最新技術動向”，エレクトロニクス実装学会誌，Vol. **10**，No. 5，pp. 363–367，2007
- 5) エレクトロニクス実装学会配線板製造技術委員会：“部品内蔵基板の現状と展望”，エレクトロニクス実装学会誌，Vol. **11**，No. 1，pp. 14–18，2008
- 6) 三浦英生，西村朝雄：“パッケージング応力起因の半導体素子特性変動”，日本機械学会論文集，A編，Vol. **61**，No. 589，pp. 1957–1964，1995
- 7) H. Ali: “Stress-Induced Parametric Shift in Plastic Packaged Devices”, IEEE Transactions on Components, Packaging, and Manufacturing Technology, Vol. **20**, Part B, No. 4, pp. 458–462, 1997
- 8) 池田晃裕，浜口 淳，小木博志，岩崎一也，服部励治，黒木幸令：“チップスタック型マルチチップ実装におけるMOSFETの移動度の変動について”，電子情報通信学会論文誌，(C)，Vol. **J88-C**，No. 11，pp. 866–873，2005
- 9) C. M. Snowden: “Introduction to Semiconductor Device Modeling”, World Scientific, 1986
- 10) 富澤一隆：“半導体デバイスシミュレーション”，コロナ社，1996
- 11) 小金丸正明，池田 徹，宮崎則幸，友景 肇：“実験とデバイスシミュレーションによるnMOSFETの応力に起因したDC特性変動評価”，電子情報通信学会論文誌(C)，Vol. **J90-C**，No. 4，pp. 351–362，2007
- 12) 小金丸正明，池田 徹，宮崎則幸，友景 肇：“樹脂封止実装時の残留応力に起因したnMOSFETのDC特性変動評価と電子移動度モデルに関する検討”，電子情報通信学会論文誌(C)，Vol. **J91-C**，No. 4，pp. 257–272，2008
- 13) 高木信一：“Si系高移動度MOSトランジスタ技術”，応用物理，Vol. **74**，No. 9，pp. 1158–1170，2005
- 14) J. L. Egleý and D. Chidambarrão: “Strain Effects on Device Characteristics: Implementation in Drift-Diffusion Simulators”, Solid-State Electronics, Vol. **36**, No. 12, pp. 1653–1664, 1993
- 15) V. Moroz, N. Strecker, X. Xu, L. Smith and I. Bork: “Modeling the Impact of Stress on Silicon Processes and Devices”, Materials Science in Semiconductor Processing, Vol. **6**, pp. 27–36, 2003
- 16) S. Dhar, H. Kosina, V. Palankovski, S. E. Ungersboeck and S. Selberherr: “Electron Mobility Model for Strained-Si Devices”, IEEE Transactions on Electron Devices, Vol. **52**, No. 4, pp. 527–533, 2005
- 17) S. Dhar, E. Ungersböck, H. Kosina, T. Grassner and S. Selberherr: “Electron Mobility Model for, 〈110〉 Stressed Silicon Including Strain-Dependent Mass”, IEEE Transactions on Nanotechnology, Vol. **6**, No. 1, pp. 97–100, 2007
- 18) A. Hamada, T. Furusawa, N. Saito and E. Takeda: “A New Aspect of Mechanical Stress Effects in Scaled MOS Devices”, IEEE Transactions on Electron Devices, Vol. **38**, No. 4, pp. 895–900, 1991
- 19) A. T. Bradley, R. C. Jaeger, J. C. Suhling and K. J. O'Connor: “Piezoresistive Characteristics of Short-Channel MOSFETs on (100) Silicon”, IEEE Transactions on Electron Devices, Vol. **48**, No. 9, pp. 2009–2015, 2001
- 20) 小金丸正明，池田 徹，宮崎則幸：“ピエゾ抵抗テストチップと有限要素法解析を用いた樹脂封止に起因する半導体チップ表面の残留応力評価”，エレクトロニクス実装学会誌，Vol. **9**，No. 3，pp. 186–194，2006
- 21) C. S. Smith: “Piezoresistance Effect in Germanium and Silicon”, Physical Review, Vol. **94**, No. 1, pp. 42–49, 1954
- 22) Y. Kanda: “A Graphical Representation of the Piezoresistance Coefficients in Silicon”, IEEE Transactions on Electron Devices, Vol. **ED-29**, No. 1, pp. 64–70, 1982
- 23) K. Seeger: “Semiconductor Physics”, Springer-Verlag, 4th ed., 1989
- 24) S. Takagi, J. L. Hoyt, J. J. Welser and J. F. Gibbons: “Comparative Study of Phonon-Limited Mobility of Two-Dimensional Electrons in Strained and Unstrained Si Metal-Oxide-Semiconductor Field-effect Transistors”, Journal of Applied Physics, Vol. **80**, No. 3, pp. 1567–1577, 1996
- 25) C. Herring and E. Vogt: “Transport and Deformation-Potential Theory for Many-Valley Semiconductors with Anisotropic Scattering”, Physical Review, Vol. **101**, No. 3, pp. 944–961, 1956
- 26) 半導体先端テクノロジーズ：“3次元デバイスシミュレータHyDeLEOS ver.3.1 ユーザーズマニュアル”，2000
- 27) J. J. Wortman and R. A. Evans: “Young’s Modulus, Shear Modulus, and Poisson’s Ratio in Silicon and Germanium”, Journal of Applied Physics, Vol. **36**, No. 1, pp. 153–156, 1965
- 28) M. V. Fischetti and S. E. Laux: “Band Structure, Deformation Potential, and Carrier Mobility in Strained Si, Ge, and SiGe Al-

- loys", Journal of Applied Physics, Vol. **80**, No. 4, pp. 2234–2252, 1996
- 29) 浜口智尋: “半導体物理”, 朝倉書店, pp. 209–211, 2001
- 30) K. Uchida, T. Krishnamohan, K. C. Saraswat and Y. Nishi: “Physical Mechanisms of Electron Mobility Enhancement in Uniaxial Stressed MOSFETs and Impact of Uniaxial Stress Engineering in Ballistic Regime”, International Electron Devices Meeting, pp. 135–138, 2005
- 31) Y. Kanda and K. Suzuki: “Origin of the Shear Piezoresistance Coefficient π_{44} of n-Type Silicon”, Physical Review B, Vol. **43**, No. 8, pp. 6754–6756, 1991
- 32) S. M. Sze: “Physics of Semiconductor Devices”, John Wiley & Sons, Inc., 2nd ed., 1981
- 33) S. A. Mujtaba: “Advanced Mobility Models for Design and Simulation of Deep Submicrometer MOSFETs”, Ph. D dissertation, Stanford University, 1995
- 34) H. Shin, A. F. Tasch, J. R., C. M. Maziar and S. K. Banerjee: “A New Approach to Verify and Derive a Transverse-Field-Dependent Mobility Model for Electrons in MOS Inversion Layers”, IEEE Transactions on Electron Devices, Vol. **36**, No. 6, pp. 1117–1124, 1989
- 35) D. L. Scharfetter and H. K. Gummel: “Large-signal Analysis of a Silicon Read Diode Oscillator”, IEEE Transactions on Electron Devices, ED-16, No. 1, pp. 64–77, 1969
- 36) K. Uchida, R. Zednik, C. H. Lu, H. Jagannathan, J. McVittie, P. C. McIntyre and Y. Nishi: “Experimental Study of Biaxial and Uniaxial Strain Effects on Carrier Mobility in Bulk and Ultra-thin-Body SOI MOSFETs”, International Electron Devices Meeting, pp. 229–232, 2004