

氏 名	ご しま まさ ひろ 五 島 正 裕
学 位 の 種 類	博 士 (情 報 学)
学 位 記 番 号	論 情 博 第 52 号
学位授与の日付	平 成 16 年 3 月 23 日
学位授与の要件	学 位 規 則 第 4 条 第 2 項 該 当
学 位 論 文 題 目	Out-of-Order ILPプロセッサにおける命令スケジューリングの高速化 の研究

論文調査委員 (主 査) 教 授 富 田 眞 治 教 授 中 村 行 宏 教 授 小 野 寺 秀 俊

論 文 内 容 の 要 旨

配線遅延はほとんどスケーリングされないため、LSIの微細化が進むにつれ、ゲート遅延に対して相対的に増大することになる。配線遅延の影響が深刻になる将来の命令レベル並列 (Instruction Level Parallelism, ILP) プロセッサでは、高いIPC (Instructions Per Cycle) を維持するために、out-of-order命令スケジューリングが不可欠なものとなる。しかし、従来言われてきたように、out-of-order命令スケジューリングのためのロジックがクロック速度向上の足枷となるのなら、その効果は相殺されてしまう可能性もある。逆に言えば、もしクロック速度を制限しないようなout-of-order命令スケジューリングの方式が開発できれば、LSIの微細化に伴うアーキテクチャ上の問題を解決できることになる。

本論文では、そのような技術として、ILPプロセッサ向けの命令セットアーキテクチャ (Instruction Set Architecture, ISA) であるDualflowアーキテクチャと、その命令スケジューリング・ロジックを通常のスーパースカラ・プロセッサに応用した直接方式を提案している。研究成果は、これらの技術によって、スーパースカラ・プロセッサのout-of-order命令スケジューリング・ロジックがクロック速度を制限しなくなることを示し、更なるプロセッサ高速化が可能となることを示している。

本論文は以下の8章から構成されている:

第1章 序論

本研究の背景、目的、ならびに、本論文の構成について述べている。

第2章 CMOS回路の基礎

本章では、動的命令スケジューリング・ロジックで用いられている、ダイナミック・プリチャージ回路をはじめとする、やや技巧的な回路技術について説明している。また、LSIのスケーリングについてまとめ、配線遅延がほとんどスケーリングされない理由について述べている。

第3章 Out-of-Order命令スケジューリング

プログラムに記述された順序とは関係なく命令を実行できるout-of-orderな動的命令スケジューリングの原理について説明すると同時に、従来の一般的な実装法である連想方式を紹介している。連想方式は、RAMを読み出した結果をCAMによって連想検索するという構造を持ち、これらのメモリの遅延がLSIの微細化に伴ってクリティカルになることを示している。

第4章 間接方式

DEC Alpha 21264プロセッサで採用されている間接方式について述べている。間接方式は、4章で述べるdualflowアーキテクチャや5章で述べる直接方式と同様に、依存行列を用いた方式であるが、従来の連想方式との連続性が高い。そのため、間接方式の説明は、後述する提案方式の理解の助けとなっている。

第5章 Dualflow アーキテクチャ

Dualflow アーキテクチャは、out-of-order命令スケジューリング・ロジックを単純化することを目的として開発された out-of-order ILP プロセッサ向けの命令セット・アーキテクチャであり、その実行モデルを素直に実装することにより、高速なロジックを得ることができる。本章ではDualflow アーキテクチャ、特にレジスタレス構造、演算結果の次命令への引渡し法など、について詳細に述べている。

第6章 直接方式

制御駆動型のISAに準拠する通常のスーパースカラ・プロセッサのout-of-order命令スケジューリング・ロジックを高速化する直接方式について述べている。直接方式は、5章で述べたdualflowアーキテクチャの命令スケジューリング・ロジックを通常のスーパースカラ・プロセッサに応用したものであるが、制御駆動の性質を利用した高速化手法を提案している。

第7章 回路の評価

富士通株式会社から提供された実在するCMOSプロセスのデザイン・データを用いて、それぞれのロジックの回路面積と回路遅延の評価を行っている。評価の結果は、提案手法によって、out-of-order命令スケジューリング・ロジックの遅延がスーパースカラ・プロセッサのクロック速度を制限する可能性は極めて低くなることを示し、直接方式の優位性について述べ、飽和化するマイクロプロセッサの高速化に対し新たな方式提案を行っている。

第8章 結論

本論文で得られた主要な結論について要約している。

論文審査の結果の要旨

Out-of-order命令スケジューリングは、配線遅延が支配的となる将来のILPプロセッサにおいて、高いIPCを維持するために不可欠な技術となる。しかし、その複雑さゆえに、特にwakeupと呼ばれる処理を実現するロジックがクロック速度を制限すると考えられてきた。本論文は、このwakeupロジックを高速化するための研究の成果についてまとめたものである。得られた主要な成果は以下のとおりである：

1. 制御駆動とデータ駆動を兼備したDualflow アーキテクチャの提案と評価

Dualflowは、制御駆動とデータ駆動の両方の性質をあわせ持つ命令セット・アーキテクチャである。制御駆動アーキテクチャと同様のプログラム・オーダを定義するが、制御駆動アーキテクチャのようなレジスタを定義しない。命令間のデータの受け渡しは、制御駆動アーキテクチャのようにレジスタを介して間接的に行われるのではなく、データ駆動アーキテクチャのように定義側の命令が参照側の命令を直接的に指定することで行われる。

Dualflow アーキテクチャでは、命令間の依存関係を表す行列を用いて命令スケジューリングを実現することになる。その結果、スーパースカラと同様のout-of-order命令スケジューリングを行いながら、行列を格納する小型のRAM 1個を読み出すことでwakeup処理を実現することができる。

2. 連想記憶を排除した直接依存行列を用いたスケジューリング方式の提案と評価

直接方式は、dualflowアーキテクチャで開発された依存行列を用いたwakeupロジックを、通常の制御駆動アーキテクチャを持つスーパースカラ・プロセッサに応用したものである。

DEC Alpha 21264プロセッサに採用されている間接方式と、この直接方式とを定量的に比較し、その結果、直接方式は、間接方式に対して、面積は3/16以下、遅延は1/2以下になることを示した。更に、狭幅化と呼ぶ最適化を施した場合、IPCは約2%程度低下するが、遅延は更に半減され、その絶対値はインバータ（ファンアウト数4）2個分を切っている。したがって、wakeup ロジックの遅延がクロック速度を制限する可能性は極めて低いことを示し、今後高速化が困難と見なされていたスーパースカラ方式への新たな高速化手法を提案した。

以上要するに本論文は、配線遅延が問題となる将来のILPプロセッサにおいて不可欠となるout-of-order命令スケジューリングのためのロジックがクロック速度を制限することを防ぐ方式を提案するとともに、それらの有用性と優れた特性を明らかにしたものであり、学術上、実際上寄与するところが少なくない。よって、本論文は博士（情報学）の学位論文として価値あるものと認める。また、平成16年2月24日実施した論文内容とそれに関連した試問の結果合格と認めた。