

プログラム依存性を考慮した8ビットマイクロコントローラの電源電流解析

齊藤 義行^{†a)} 野村 勝也[†] 安原 昌克[†] 和田 修己^{†b)}

Power Supply Current Analysis of 8-bit Micro-Controller with Considering Program Dependency

Yoshiyuki SAITO^{†a)}, Katsuya NOMURA[†], Masakatsu YASUHARA[†],
and Osami WADA^{†b)}

あらまし LSI のコア回路用電源供給系の高周波電流をシミュレーションするための EMC マクロモデルとして LECCS-core モデルと呼ぶ電源系デバイスモデルを開発している。これまでは、LSI の電源系の周波数特性を正確に表現するための線形等価回路の構造とその各素子の値の決定方法の検討が主に行われてきた。本論文では8ビットマイクロコントローラを対象として機能ブロックごとの電流源モデルを実測により構築し、それらをマイコンのパイプライン処理を考慮して足し合わせることでプログラムや動作周波数を変更した場合でも電源電流のシミュレーションが可能であることを示す。また、シミュレーションによって得られた電流の時間波形から周波数スペクトルを求め、動作クロック周波数の高調波だけでなく、イントラ EMC では問題となる次数間調波もよく一致することを示す。

キーワード EMC マクロモデル, LECCS-core モデル, 等価電流源, プログラム依存性, 電流シミュレーション

1. ま え が き

近年の LSI の高集積化, 低電圧化, 高速化に伴い, LSI 動作により生じる高周波電源電流は増大するとともに, 高周波化してきている。このため, LSI で発生する高周波電源電流による電源電圧変動や不要電磁波放射といった問題が顕在化している。LSI で生じた高周波電源電流がパッケージやプリント回路基板 (Printed Circuit Board : PCB) の電源供給系 (Power Distribution Network : PDN) を流れることで, 寄生インダクタンスや寄生抵抗により電源電圧の電位変動 (パワーバウンス及びグラウンドバウンス) が発生し, パワーインテグリティ (Power Integrity : PI) の悪化を引き起こす。PI の悪化は誤動作を引き起こすだけでなく, ジッタや波形ひずみといったシグナルインテグリティ (Signal Integrity : SI) の悪化にもつながる [1]。

また, 携帯電話を代表とする無線機能を備えたモバイル機器では LSI 動作時に流れる高周波電流により発生した不要電磁波が, 通信に利用している周波数帯においてあるレベルを超えると通信品質に悪影響を及ぼす。こういった問題は機器内部の近距離で発生するため, 3 m, 10 m といった遠方界で放射ノイズが規制されている従来の不要電磁波放射問題に比べ, 微小な不要電磁波であっても問題となることが多い。このような現象はイントラ EMC や自家中毒と呼ばれ, 近年大きな課題となってきた [2]。このような課題に対して, LSI の電源・グラウンド電流の振舞いを表す EMC マクロモデルを用いて電源系高周波電流を設計段階でシミュレーションする手法及びシミュレーションモデルの開発・規格化が行われている [3], [4]。

我々は EMC マクロモデルの一つとして LSI 内部を線形等価回路と等価内部電流源で表す電源系デバイスモデルを開発しており, これを LECCS (Linear Equivalent Circuit and Current Sources) モデルと呼んでいる [5]~[9]。これまで LECCS モデルに関して, 線形等価回路については LSI をどのような構造の

[†] 京都大学大学院工学研究科電気工学専攻, 京都市
Kyoto University, Kyoto-shi, 615-8510 Japan

a) E-mail: saito@circuit.kuee.kyoto-u.ac.jp

b) E-mail: wada@kuee.kyoto-u.ac.jp

線形等価でモデル化するか、また、線形等価回路の各素子の値をどのように決定するかといった研究が主体であった。一方、等価内部電流源については文献[8]で報告されているように、PCBとLSI内部それぞれのインピーダンスで決まる電流変換係数 K を用いて周波数軸で抽出する研究が主体であった。等価内部電流源はLSIの動作に起因して発生する電源電流をマクロに表現したものであり、マイクロコントローラ（以下、マイコン）のようなプログラムに応じて動作が変化する場合には等価内部電流源も変化する。このような考え方で内部電流源を抽出し、EMCシミュレーションに適用する研究もいくつか報告されている[10]～[12]。

文献[10]ではSPICEモデルを用いて論理ゲートの入力波形や出力負荷に応じて電源電流が変化することを示し、これらを考慮して各ゲートの電流を重ね合わせることで電流シミュレーションが可能であることが報告されている。また、この考え方に基き開発した論理ゲートの電流を重ね合わせて電源電流を求めるオリジナルツールでSPICEシミュレーションと同等の精度のシミュレーション結果が短時間で得られることが報告されている。

文献[11],[12]ではPIC (Peripheral Interface Controller) マイコンを対象として命令コードごとに測定した電源電流をEMCマクロモデルの電流源とし、これらをプログラムに応じて切り換えることでLSIの電源電流シミュレーションを行っている。その結果は実測とよく一致している。更に、文献[12]ではマイコンのパイプライン処理も考慮して解析を行った事例が示されている。

パイプライン処理とは命令の処理をいくつかの処理ステージに分割し、各ステージを並列に実行することでマイコンの処理性能を向上する方法である[13]。図1に概念図を示す。図1には3段パイプラインの例を示しており、処理が命令フェッチ (Fetch)、デコー

ド (Decode)、実行 (Execute) の3段のステージに分けられ、並列処理されている。

しかしながら、文献[10]～[12]では論理ゲートや命令コードごとに電流源をモデル化しているため、LSI全体をモデル化する場合、非常に多くの電流源モデルが必要となり、シミュレーション時間の増大につながる。また、通常、LSIユーザが論理ゲートのSPICEモデルを入手することは不可能であり、論理ゲートをベースとしたアプローチでモデルを構築することは不可能である。

更に、文献[11],[12]ではシミュレーションにより得られた電流波形から電源電流の周波数スペクトルを求めて実測との比較を行っている。比較結果を見ると、動作クロック周波数の低次の高調波に関してはよく一致しているが、次数間調波に関してはずれが大きい。従来の不要電磁波放射問題においては最大ピークが重要であり、動作クロック周波数の高調波を考慮することで問題はなかったが、イントラ EMC の場合には微小なレベルでも問題を発生するため、次数間調波に関しても精度が必要となる。

そこで、本論文ではマイコンの機能ブロックごとに電流要素を抽出して電流源とし、実行される命令に応じて動作するブロックの電流源を足し合わせることで時間領域での電流シミュレーションを行った。このとき、パイプライン処理、パイプラインの各処理ステージの状況に応じて挿入されるウェイトサイクル、命令の実行サイクルも考慮した。これにより、同じ命令の繰返しであっても電流波形が変化する現象が再現され、電流シミュレーション結果から求めた周波数スペクトルでは次数間調波についても精度良く予測可能であった。

2. 磁界プローブを用いた電流測定

2.1 DUT の仕様

本論文では8ビットマイコンMN101CF91D（以下、CF91D）を評価対象とした。CF91Dの論理コア部の機能ブロック概略を図2に示す[14]。なお、図2のROMはプログラム格納用であり、Flashメモリで構成されている。

CF91Dのクロック発生回路は1～10 MHzに対応しており、クロック分周回路ではレジスタ設定に従って最大128分の1まで分周可能である。したがって、動作周波数範囲は7.8125 kHz～10 MHzである。パッケージは48ピンのQuad Flat Package (QFP) であ

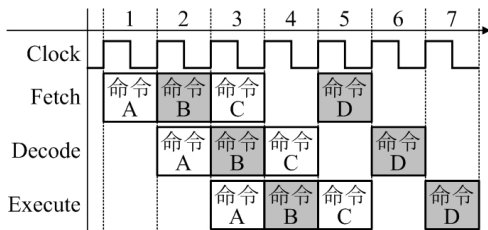


図1 パイプライン処理

Fig. 1 Pipelining.

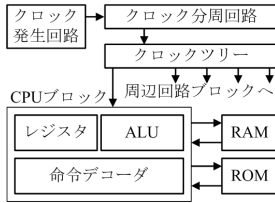


図 2 MN101CF91D の論理コア部の機能ブロック
Fig. 2 Core logic function blocks of MN101CF91D.

る。電源ピンは 3 端子あり、コア回路用 (Core 電源, 1.8 V), I/O 用 (I/O 電源, 3.3 V), アナログ回路用 (Analog 電源, 3.3 V) となっているが、マイコン内部に降圧回路をもち、外部から供給された I/O 電源より Core 電源が生成される。ただし、Core 電源端子には電圧安定用のキャパシタを接続する必要がある。したがって、Core 電源の高周波電流は外部のキャパシタから供給されるものと考えられ、Core 電源端子を流れる高周波電流が Core 電源の電流であるとしなせる。グランドピンは 1 本であり、各電源共通である。また、CF91D は 3 段パイプライン (図 1) 処理機能を備えている。なお、CF91D は 8 ビットマイコンであるが、CPU と ROM は 16 ビットバスで接続されており、1 回の命令フェッチにより 16 ビットの命令コードを ROM より読み出すことができる。

2.2 測定環境

図 3, 図 4 に電源電流の測定系と測定用基板写真を示す。また、使用した機器の仕様を表 1 に示す。図 3 において、アッテネータは磁界プローブとアンプ間での反射を減衰させるために挿入した。また、パッシブプローブは測定のトリガ信号用である (後述)。電流測定用基板にはマイコンのプログラムを外部から書き換えるための入出力ポートを設けており、同一の基板でプログラムの書換えと電流測定が可能である。これにより、プログラム変更及び電流測定はすべて同一の DUT と基板を用いて実施することが可能であり、DUT や基板のばらつきによる測定ばらつきを無視することができる。なお、測定は外来ノイズの混入を抑えるため、シールドルーム内で行った。

図 4 においてマイコンは第 1 層に配置してあり、3 種類の電源端子それぞれを貫通ビアで第 4 層に引き出し、磁界プローブによる電流測定ラインを設けている。磁界プローブを用いた測定では電流が流れる経路を切断することなく非接触で電流を測定することが可能である [15], [16]。しかし、測定データは電圧値であり、

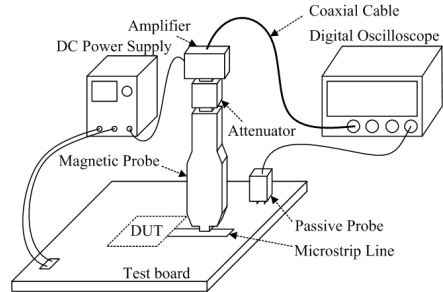


図 3 電源電流の測定系
Fig. 3 Setup for measurement of power supply current.

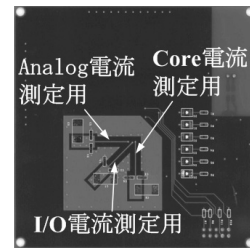


図 4 電流測定用基板の写真 (第 4 層)
Fig. 4 Photo of test board. (Layer 4)

表 1 測定機器の仕様

Table 1 Specifications of measurement instruments.

名称	仕様
デジタルオシロスコープ (Agilent 54832B)	DC~1 GHz 4G サンプル/s
磁界プローブ (NEC 真空硝子 CP-2S)	帯域 10 MHz~3 GHz
アッテネータ (Agilent 8493A)	減衰量 6 dB 帯域 DC~12.4 GHz
ブリアンプ (R&K AR01302-3015-00)	ゲイン 31~33 dB 帯域 10 kHz~3 GHz

校正係数を用いて電流への変換を行う必要がある [17]。校正係数は 50 Ω 線路とネットワークアナライザで測定した S パラメータから導出した (付録参照)。

2.3 アベレージング測定

図 3 の測定系で Core 電源を測定した結果 (校正前, アンプ出力値) を図 5 に示す。図 5 では測定系のノイズフロアが高く、有意な測定結果が得られていない。そこで、本論文では同じ命令列を繰り返し実行し、デジタルオシロスコープのアベレージング機能を用いることでノイズフロア低減を図った。具体的には図 6 に示すように Jmp 命令を用いてループプログラムを構成し、ループの最初に 1 本の外部端子を High/Low と変化させる命令を加えた。パッシブプローブでこの信

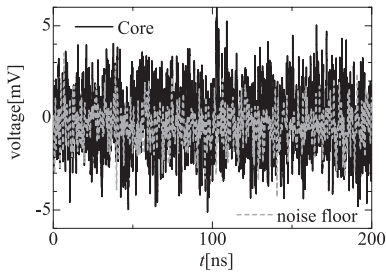


図 5 Core 電源の測定結果 (校正前, アベレーシングなし)

Fig. 5 Measurement result of power supply line for core block without averaging.

```

loop A:
  mov 0x01, (0x3F15) #外部端子にHigh出力
  mov 0x00, (0x3F15) #外部端子にLow出力
  ...
  ...
  ...
} #測定対象命令列
jmp loop A

```

図 6 電流測定用プログラムの基本構成

Fig. 6 Basic flow of program for current measurement.

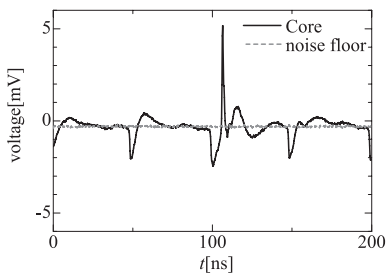


図 7 Core 電源の測定結果 (校正なし, アベレーシング 4096 回)

Fig. 7 Measurement result of power supply line for core block with averaging 4096 times.

号をデジタルオシロスコープに入力し、立下りエッジをトリガとしてデータ取込み、アベレーシングを行うことでノイズフロアのみを低減した。アベレーシング回数はデジタルオシロスコープの最大値である 4096 回とした。

図 5 と同じ環境でアベレーシングを適用して測定した結果を図 7 に示す。ノイズフロアが低くなり、信号が抽出できていることが分かる。なお、本論文で示す以降の電流測定結果はすべて 4096 回のアベレーシングで測定した結果である。

3. 電流要素抽出

3.1 電流を構成する要素

図 3 の測定系で Core 電源電流を測定した結果 (校

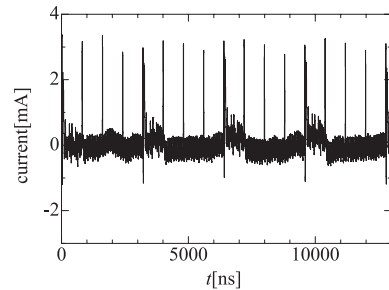


図 8 Core 電源電流の測定結果

Fig. 8 Measurement result of core current.

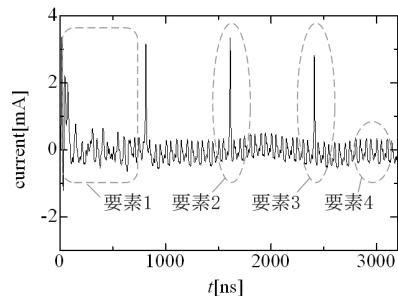


図 9 Core 電源電流の測定結果 (拡大)

Fig. 9 Measurement result of core current. (zoom)

正係数で電流値に変換したもの) を図 8 に示す。発振周波数は 10 MHz, 分周比は 16 であり、動作周波数は 625 kHz である。測定対象命令列は Nop (No operation) のみの 100 回の繰返しである。したがって、マイコンはプログラムに依存しないクロック生成・分周・分配とトリガ信号生成、命令フェッチ・解読のみを行い、そのほかは何も実行しない。図 9 に一部を拡大した波形を示す。この波形を見ると、Core 電源の電流は四つの要素で構成されていると考えられる。

図 9 の要素 1 は他の要素に比べて電流変動の時間が長く、図 8 から $3.2 \mu\text{s}$ (2 周期) ごとに現れていることが分かる。これは今回のマイコンが基本的に命令フェッチを 2 周期に 1 回行う仕様であることと一致しており、この電流は命令フェッチ、すなわち ROM アクセスによるものであると考えられる。

要素 2, 3 は 800 ns ごとに交互に現れており、要素 2, 3 は要素 3 より若干大きい。測定時のマイコンの動作周波数が 625 kHz (周期は $1.6 \mu\text{s}$) であることから、これらはそれぞれクロックの立上り、立下り時にクロックトリーにより生じる電流であると推定される。なお、要素 2, 3 は同じ回路ブロックで発生する電流ではあるが、分周比を変更して動作周波数を変えた場合に各

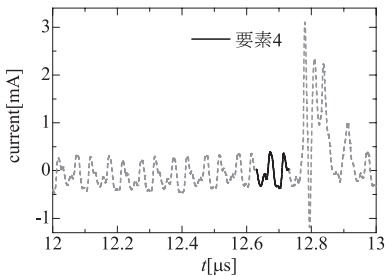


図 10 要素 4 の抽出

Fig. 10 Extraction of current element No. 4.

要素が発生する間隔が変わるため、個別の要素として取り扱う。

要素 4 は絶対値は小さいが、全時間帯にわたり発生している。要素 4 は約 100 ns の周期性をもっておりこれは発振周波数の 10 MHz に相当する。したがって、要素 4 はクロック生成回路及び分周回路で発生した電流であると考えられる。

以上、Nop のみを繰り返すプログラムには、四つの電流要素が含まれており、これらを個別に抽出することで、図 2 に示す各機能ブロックに対応した次の四つの電流源モデルを構築することができる。

要素 1：ROM の電流

要素 2：クロックトリー（立上り）の電流

要素 3：クロックトリー（立下り）の電流

要素 4：クロック発生/分周回路の電流

ただし、要素 1 には CPU ブロックの電流が一部含まれているが、ROM アクセス時には常に発生するものであり、切り分ける必要はないと考えている。

3.2 各要素の抽出

図 8 に示す測定結果を用いて、次の手順で各要素の抽出を行った。

(1) 要素 4 の抽出

要素 4 は図 8 の波形全体で観測されており、どの部分からでも抽出が可能である。しかし、できる限り、他の回路ブロックの動作の影響を受けていない状態で抽出するため、図 10 に示すように、クロックの立上り直前の 1 周期分を要素 4 として抽出した。

(2) 要素 2, 3 の抽出

クロック発生/分周回路のみの電流を想定して要素 4 を繰り返し並べ (図 11)、この波形を測定波形から引くことでクロック発生/分周回路の影響を取り除き、要素 2, 3 を抽出した (図 12)。

(3) 要素 1 の抽出

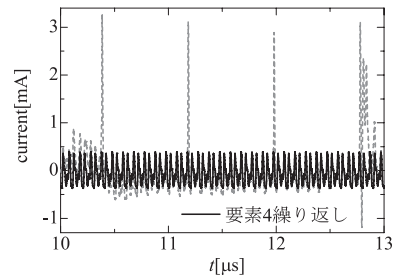


図 11 要素 4 の繰り返し

Fig. 11 Repetition of current element No. 4.

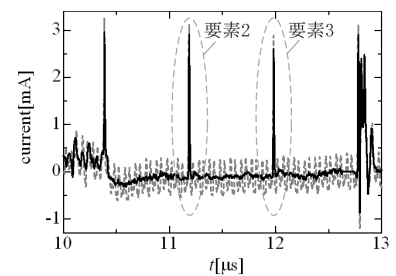


図 12 要素 2, 3 の抽出

Fig. 12 Extraction of current elements No. 2 and 3.

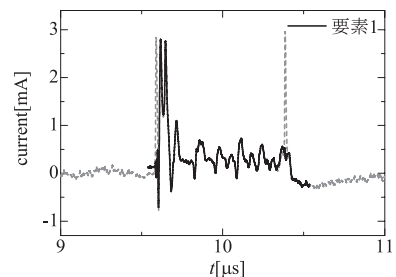


図 13 要素 1 の抽出

Fig. 13 Extraction of current element No. 1.

最後に図 12 の波形から要素 2, 3 を差し引いてクロックトリーによる電流の影響を取り除き、要素 1 を抽出した (図 13)。

3.3 その他のブロックの電流要素抽出

次に、命令コマンド “add” と “mov” を実行した際の電流より、CPU ブロックと RAM ブロックの電流を抽出した。add は足し算を実行する命令であり、CPU 内の ALU が動作する。mov はデータの書き込み・読み出しを行う命令であり、アクセス先のアドレスを変更することで RAM, ROM, レジスタ等、異なるブロックへのアクセスを実行することができる。本論文では RAM とレジスタへデータを書き込むことで RAM ブロックとレジスタブロックの電流を抽出した。電流測

定の際には 3.2 で用いたプログラムの Nop 100 回の繰返しの中に 1 回だけ add あるいは mov を挿入したプログラムを用いた。ただし、本論文では足し合わせるデータ、書き込むデータともに 0 とし、データ変化に伴う電流を無視できるようにした。各ブロックの電流要素は測定波形から 3.2 で抽出した要素 1~4 を差し引くことにより抽出した。抽出結果を図 14~図 16 に示す。図 14, 15 ではピークが四つ、図 16 ではピークが六つ観測されており、add 命令、レジスタ書き込み命令、RMA 書き込み命令の実行サイクル（それぞれ、

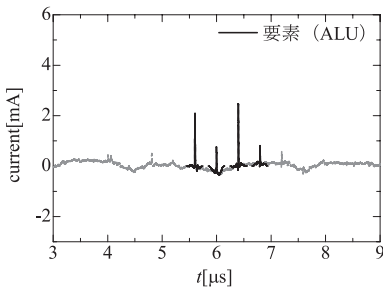


図 14 add 命令実行時の電流

Fig. 14 Power supply current in the case of executing "add".

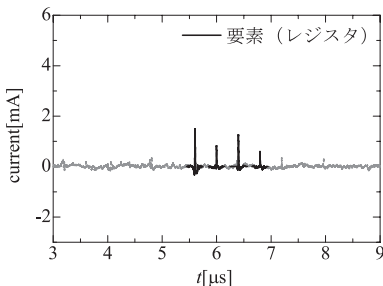


図 15 レジスタ書き込み命令実行時の電流

Fig. 15 Power supply current in the case of writing data to a register.

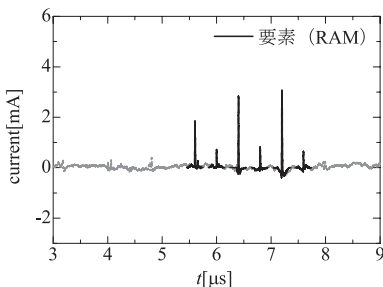


図 16 RAM 書き込み命令実行時の電流

Fig. 16 Power supply current in the case of writing data to RAM.

2, 2, 3) のちょうど 2 倍の数となっている。また、奇数番目のピークレベルに対して偶数番目のピークレベルは小さい。これはクロックの立上り・立下りに同期して内部回路が動作することで電流が発生するが、立下りに同期して動作する回路が少ないためと考えられる。なお、要素 2, 3 と同様、動作周波数の変更に対応するため、各ピーク電流を個別に電流要素として抽出した。

4. プログラム依存性を考慮した電流解析

これまでに抽出した電流要素を用いてプログラム及び動作周波数（分周比）を変更して電流シミュレーションを行い、実測との比較評価を行った。本論文では時間領域、周波数領域の両面から評価を行った。

4.1 時間領域での電流解析

電流シミュレーションの実施前に各要素の不連続性により発生する不要な電流変化について補正を行った。

図 17 に示すように抽出した各要素を並べた場合、各要素の端点のレベルに差があるため、不連続な点が発生する（図 17 の Error）。この不連続点は電流変化分（電流の微分）を求めると大きなピーク、あるいはディップとして現れる。これは実際には発生しないものであり、補正を行う必要がある。

補正には 2 通りの方法を用いた。要素 4 以外の各要素に関しては時間波形を合成する際に連続して並べる必要があるため、各要素の端点はすべて一致している必要がある。各要素が回路動作に起因して発生していることを考慮すると本来これらの端点は 0 となるべきである。このためこれらの要素については窓関数を時間領域で掛け合わせることで補正を行った。時間波形合成時の端点での電流変化に大きな影響を与えないようにするため、窓関数としては端点が滑らかに変化するものを用いる必要がある。今回はハニング窓の中心

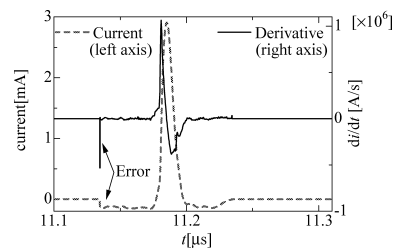


図 17 電流要素の不連続性によるエラー

Fig. 17 Composition error due to discontinuity of current.

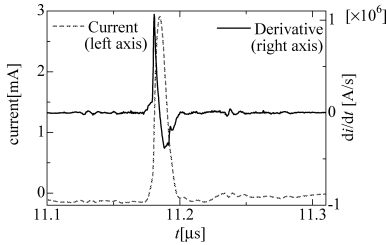


図 18 電流要素の不連続部の補正結果

Fig. 18 Recomposed wave with compensation of discontinuity.

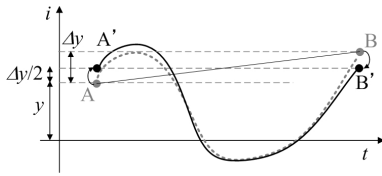


図 19 要素 4 の不連続性の補正方法

Fig. 19 Compensation method of discontinuity for current element No.4.

に値が 1 となる部分を挿入したものを用いた。図 18 に補正した要素を用いて合成した波形を示す。形状を大きく変化させることなく、図 17 の不連続部による誤差が取り除かれている。

要素 4 はクロック発生/分周回路により生じるものであり、他のブロックの動作には影響されない。したがって、電流解析では全時間領域にわたって要素 4 のみを並べたものを他のブロックの電流に重ね合わせればよいと考えられる。このため、要素 4 ではその両端が 0 である必要はなく、電流値が一致していればよい。図 19 に補正方法を示す。まず、要素 4 の両端 (A, B) の電流値の差 Δy を求める。次に $i = y + \Delta y/2$ の直線と線分 AB の差を求め、元の波形に足し合わせる。これにより、端点は A', B' に移動し、大きく波形を変形せずに端点の電流値を一致させることができる。

図 20 に電流シミュレーションと実測の比較を行ったプログラムを示す。ただし、図 6 のプログラム中の測定対象命令列のみを示している。add, レジスタ書き込み, RAM 書き込みをランダムに実行するプログラムとした。本論文の電流シミュレーションでは動作クロックの立上りエッジでどの命令が実行されているかを考慮し、実行されている命令に応じた各電流要素を合成することで電流の時間波形を求めている。ただし、CF91D は基本的には 2 サイクルごとに命令フェッチを行うが、実行ステージの状況に応じて命令フェッチ

add	0x00, D0	#足し算
mov	0x00, D0	#レジスタ書き込み
add	0x00, D0	#足し算
mov	0x00, (0x00F0)	#RAM書き込み
mov	0x00, D0	#レジスタ書き込み
mov	0x00, D0	#レジスタ書き込み
mov	0x00, (0x00F0)	#RAM書き込み
mov	0x00, (0x00F0)	#RAM書き込み
mov	0x00, (0x00F0)	#RAM書き込み
add	0x00, D0	#足し算
mov	0x00, D0	#レジスタ書き込み
mov	0x00, (0x00F0)	#RAM書き込み
mov	0x00, D0	#レジスタ書き込み
add	0x00, D0	#足し算
add	0x00, D0	#足し算

図 20 電流解析対象のプログラム

Fig. 20 Target program for current analysis.

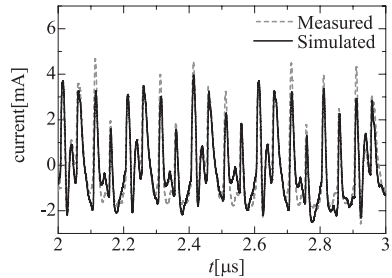


図 21 電流解析結果

Fig. 21 Current analysis result.

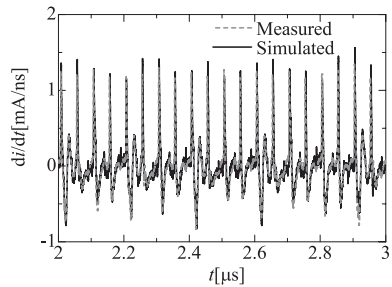


図 22 電流変化解析結果

Fig. 22 Current derivative analysis result.

に重みが発生するため、シミュレーションにより電流を求める際にはパイプラインの状態も考慮し、命令フェッチ時の ROM ブロックの電流 (要素 1) を足し合わせた。なお、動作周波数は 10 MHz (分周比 1) である。図 21, 図 22 に実測とシミュレーションで得られた電流波形と電流の変化分 (微分) をそれぞれ示す。

これらの結果を見ると、電流波形の外形はほぼ一致しており、625 kHz 動作時の電流から今回抽出した電流要素を用いて、命令をランダムに 10 MHz で実行し

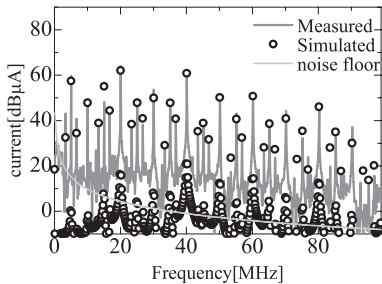


図 23 RAM アクセス繰返し時の電流スペクトル
Fig. 23 Current spectra at writing data to RAM repeatedly.

た場合の波形予測が可能であるといえる。また、図 22 の電流変化の波形では -0.5 mA/ns を下回るディップと下回らないディップがランダムに発生している様子をシミュレーションで再現できている。図 22 のピーク値の平均誤差は 8.6% であり、各電流要素をプログラムに応じて合成することにより電流変化も精度良くシミュレーションできるといえる。このことから、インダクタンス (L) による電位変動 (Ldi/dt) に起因する PI 問題のシミュレーションに対して本論文の電流解析手法を適用することが可能であるといえる。

4.2 周波数領域での電流解析

RAM 書き込み命令 [`mov 0x00, (0x00F0)`] のみを繰り返すプログラムを用いて周波数領域での電流解析を行った。抽出した電流要素を用いて RAM 書き込みのみを繰り返した際の電流波形を求め、フーリエ変換により電流スペクトルを求めた。動作周波数は 10 MHz (分周比 1) である。図 23 に電流スペクトル、図 24 に電流波形を実測波形とともに示す。図 23 を見ると 10 MHz の高調波だけでなく、3.3 MHz, 5 MHz とその通倍の周波数といった次数間調波も精度良く再現できている。1/3 分数調波が発生する原因については、図 24 より、RAM アクセスの実行サイクルが 3 clock であり、3 clock ごとに RAM アクセスの電流 (図 16) が発生しているためと考えられる。また、1/2 分数調波に関しては図 24 より、2 clock ごとに命令フェッチが行われて ROM アクセスの電流 (図 13) が発生しているためと考えられる。この結果から機能ブロックごとの電流を抽出し、パイプライン処理を考慮した電流解析を実施することで次数間調波を含めてシミュレーションで再現することが可能であるといえる。

なお、図 24 では 100 MHz までの解析しか示していないが、これは対象としたマイコンの動作周波数が

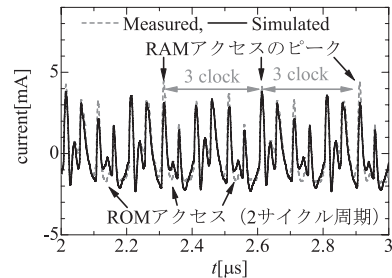


図 24 RAM アクセス繰返し時の電流波形
Fig. 24 Current wave form at writing data to RAM repeatedly.

10 MHz と低速であり、100 MHz を超える電流成分がノイズフロアと同等以下であったためである。本論文の解析では電流要素抽出時のオシロスコープや磁界プローブの帯域の制限により、1 GHz 程度が予測可能な上限周波数と考えられるが、より広帯域な機器を用いて電流要素の抽出を行う、あるいはシミュレーションにより電流要素の抽出を行うことにより、上限周波数を 3 GHz 程度まで拡張することは容易であると考えている。

5. む す び

本論文では 8 ビットマイコンを対象として、各機能ブロックの動作により生じる電流を電流要素として抽出し、時間領域での電流波形シミュレーションを実施した。今回用いたマイコンでは七つの電流源を抽出し、パイプライン処理を考慮して足し合わせることで、動作周波数及びプログラムを変更した場合でも非常に少ない電流源で電流波形を精度良く見積もることができることを示した。また電流波形をフーリエ変換することにより周波数領域での電流解析を実施し、動作周波数の高調波だけでなく、次数間調波まで精度良く一致することを示した。更に周波数領域の解析結果から、各ブロックの電流が周期的に発生することで次数間調波の原因となっていることを示した。

今後はマイコン内部で扱うデータと電源電流の関係を明確にするとともに、機能ブロックごとの線形等価回路と電流源モデルを組み合わせることで、プログラム及びデータ依存性を考慮した LECCS モデルの構築を目指す。

文 献

- [1] M. Swaminathan and A. Engin, Power Integrity Modeling and Design for Semiconductors and Systems, pp.16-17, Prentice Hall, Upper Saddle River, NJ,

- USA, 2007.
- [2] 前川智哉, 岩城秀樹, 山田 徹, 小川晃一, “近傍磁界分布を用いたノイズ源最適配置推定法の提案,” 信学技報, EMCJ2008-6, June 2008.
- [3] S.B. Dhia, M. Ramdani, and E. Sicard, (eds.), *Electromagnetic Compatibility of Integrated Circuits*, Chap. 5, Springer, NewYork, 2006.
- [4] IEC 62433-2 Ed. 1.0, *EMC IC modelling - Part 2: Models of integrated circuits for EMI behavioural simulation — Conducted emissions modeling (ICEM-CE)*, Oct. 2008.
- [5] 高山恵介, 木下智博, 松石拓也, 松永茂樹, 王 志良, 豊田啓孝, 和田修己, 古賀隆治, 福本幸弘, 柴田 修, “LSI の電源端子電流モデルの EMI シミュレーションへの適用,” 信学論 (B), vol.J86-B, no.2, pp.226–235, Feb. 2003.
- [6] 豊田友博, 南澤裕一郎, 中村克己, 和田修己, 豊田啓孝, 古賀隆治, “LECCS モデルの多電源ピン LSI への拡張,” 信学技報, EMCJ2003-119, Dec. 2003.
- [7] K. Nakamura, T. Toyota, O. Wada, R. Koga, and N. Kagawa, “EMC macro-model (LECCS-Core) for multiple power-supply Pin LSI,” 2004 International Symp. Electromagnetic Compatibility, Sendai, Japan (EMC’04/Sendai), 3A1-4, pp.493–496, June 2004.
- [8] 中村克己, 南澤裕一郎, 豊田啓孝, 古賀隆治, 和田修己, 齊藤義行, 中村 篤, “マイクロコントローラの多電源ピン LECCS-core モデルの構築,” 信学論 (C), vol.J89-C, no.11, pp.833–842, Nov. 2006.
- [9] 齊藤義行, 安原昌克, 船戸是宏, ウンベルト パオレッティ, 久門尚史, 和田修己, “多電源ピン LSI のブロック間結合を考慮した 3 ポート LECCS-core モデル,” 信学論 (B), vol.J93-B, no.2, pp.332–340, Feb. 2010.
- [10] A. Gstöttner, T. Steinecke, and M. Huemer, “Activity based high level modeling of dynamic switching currents in digital IC modules,” Proc. 17th Int. Zurich Symp. Electromagn. Compat., pp.598–601, 2006.
- [11] S.Y. Yuan, C.F. Yang, E. Sicard, C.K. Chen, and S.S. Liao, “EMI prediction under different program behavior,” 2007 IEEE EMC Symposium, pp.429–432, Honolulu, USA, July 2007.
- [12] S.Y. Yuan and W.S. Huang, “Instruction current model for pipelined microcontroller EMI behavior estimation,” 2009 International Symp. EMC, Kyoto (EMC’ 09 Kyoto), vol.1, pp.429–432, 2009.
- [13] D.A. Patterson and J.L. Hennessy (著), 成田光彰 (訳), “パイプラインを用いた性能向上,” コンピュータの構成と設計第 2 版, 下巻 第 6 章, 日経 BP 社, 1999.
- [14] “MN101CF91D LSI 説明書第 2.1 版,” 松下電器産業, 2005.
- [15] 土井達也, 増田則夫, “磁界プローブの空間特性を用いたプリント基板配線中の電流同定,” 電学論 (A), vol.122, no.3, pp.315–321, 2002.
- [16] T. Harada, N. Masuda, and M. Yamaguchi, “Near-field magnetic measurements and their application to EMC of digital equipment,” IEICE Trans. Electron.,

vol.E89-C, no.1, pp.9–15, Jan. 2006.

- [17] IEC 61967-6 Ed. 1.0, *Integrated circuits — Measurement of electromagnetic emissions, 150 kHz to 1 GHz — Part 6: Measurement of conducted emissions — Magnetic probe method*, June 2002.

付 録

電圧から電流への校正係数の導出

磁界プローブによる電流測定の方法の原理については [17] の Annex B で説明されている。図 A・1 に示すようなマイクロストリップ線路において磁界プローブで測定を行う場合を考える。プローブ及びブリアンプ等を含む測定系の周波数特性を複素領域で考慮して、測定された電圧から電流の実時間波形を再現する。

測定されたプローブ出力電圧を $v_p(t)$ とすると、伝送線路上を流れる電流の周波数領域における複素振幅 $I(\omega)$ はフーリエ変換 $F[]$ を用いて次式で表される。

$$I(\omega) = \frac{C_\alpha}{C_h} C_f(\omega) F[v_p(t)] \quad (\text{A} \cdot 1)$$

ここで、 $C_f(\omega)$ はプローブ及びブリアンプ等を含む測定系の感度の周波数特性であり、電流から磁界への複素伝達係数の逆数である。また、 C_h は図 A・1 に示すマイクロストリップ線路に流れる電流とストリップ導体から高さ Y の位置の磁界の変換係数であり、伝送線路幅 W が十分に狭く、電流 $I(\omega)$ が幅のない線状に集中して流れているとみなせる場合、磁界 $H_x(\omega)$ 、電流 $I(\omega)$ 、変換係数 C_h は理想グラウンド面によるイメージ電流を考慮して次式で表される。

$$H_x(\omega) = \frac{h I(\omega)}{\pi Y(Y + 2h)} = C_h I(\omega) \quad (\text{A} \cdot 2)$$

$$C_h = \frac{h}{\pi Y(Y + 2h)} \quad (\text{A} \cdot 3)$$

実際には伝送線路は幅をもっているため、幅がない場

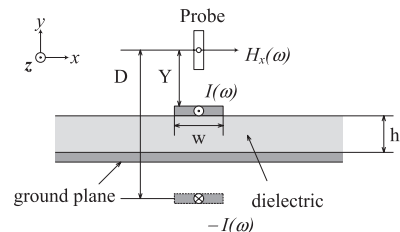


図 A・1 マイクロストリップ線路の断面図
Fig. A・1 Cross section of micro-strip line.

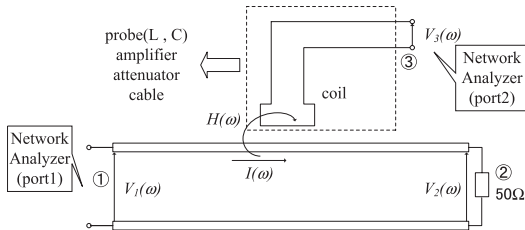


図 A-2 磁界プローブ校正系の 50Ω 伝送線路と磁界プローブ出力系の等価回路

Fig. A-2 Equivalent circuit of 50Ω transmission line and output of magnetic probe in calibration setup.

合に鎖交する全磁束 ϕ と伝送線路の幅方向に一樣に電流が流れる場合にループプローブに鎖交する全磁束 ϕ_{sqr} の比を $C_\alpha \equiv \phi/\phi_{sqr}$ として式 (A-1) で補正する。

なお, [17] では $C_f(\omega)$ について磁界プローブの周波数特性を表す校正係数として絶対値のみを使用しているが, 電流の時間波形を求めるためには $C_f(\omega)$ を位相も含んだ複素校正係数として扱う必要がある。複素校正係数 $C_f(\omega)$ は伝送線路長 l と伝送線路上の位置 z と磁界プローブ位置 z_0 によって決まり, 次式で表される。

$$C_f(\omega) = \frac{1}{S_{31}(\omega)} \int_0^l A(z) \{S_{21}(\omega)\}^{z/l} dz \quad (\text{A-4})$$

$$A(z) \equiv \frac{1}{200\pi} \left[\frac{Y}{\{(z-z_0)^2 + Y^2\}^{3/2}} - \frac{Y+2h}{\{(z-z_0)^2 + (Y+2h)^2\}^{3/2}} \right] \quad (\text{A-5})$$

ここで図 A-2 のようにポートを定義したとき, S_{31} は伝送線路ポート 1 から磁界プローブの出力への透過特性 (アッテネータ, アンプ, ケーブルを含む) であり, S_{21} は伝送線路の両端の透過特性である。これらは 50Ω マイクロストリップラインを用いてネットワークアナライザで測定することが可能である。最終的に式 (A-1) で得られた電流を逆フーリエ変換することで時間領域の電流波形を得る。

(平成 22 年 3 月 4 日受付, 6 月 17 日再受付)



斉藤 義行 (正員)

平 3 京大大学院・農・農業工学修士課程了。同年, 松下電器産業 (現 Panasonic (株)) 入社。以来, プリント基板設計技術の研究開発に従事。平 19 より, 京大大学院工学研究科電気工学専攻博士後期課程に在学中。エレクトロニクス実装学会会員。



野村 勝也

平 20 京大・工・電気電子卒。平 22 同大大学院修士課程了。デジタル回路の EMC マクロモデリングに関する研究に従事。



安原 昌克

平 20 京大・工・電気電子卒。平 22 同大大学院修士課程了。デジタル回路の EMC マクロモデリングに関する研究に従事。



和田 修己 (正員)

昭 56 京大・工・電子卒。昭 58 同大大学院修士課程了。昭 62 同博士課程了。昭 63 岡山大・工・電気電子助手, 同大大学院自然科学研究科助教授を経て, 平 17 より, 京大大学院工学研究科教授。デジタル回路の電磁特性及び EMI モデル化の研究に従事。工博。電気学会, エレクトロニクス実装学会, IEEE 各会員。