

多 値 論 理 回 路 に つ い て

長谷川 利治

(京都大学工学部)

1. はしがき

Lukasiewicz や Post などによって現代の多値論理が発展を開始して以来、多くの人々が多値論理を用いた回路理論と結合させようとして努力してきた。また、これによって多くの多値論理回路に関する研究もなされ、三値の電子計算機の出現など、種々の成果が得られている。用いた回路理論は、本来、用いた回路の発展なくしては発展不可能なものであり、諸回路の現状および趨勢を知ることが不可欠である。

多値論理回路として歴史的にも古く、しかももっとも大量に用いられているものとして回転用いた回路がある。Step-by-stepの電話交換機は、多値論理回路システムと考えられるからである。しかし、ここでは、半導体素子による多値論理回路について、多安定回路も含めて報告することにする。

2. 多値論理回路

リレー等による多値論理回路およびその合成理論などは、多くの研究者によって研究されてきた。^{(1)~(5)} また、真空管回

路による多値論理回路も発表されている。しかし、ここでは、トランジスタ（以下Trと略す）、FETおよびエサキ・ダイオードを用いた回路に限る。

一般に、多値論理回路といえは三値以上の論理回路を意味するが、回路実現上での問題や応用の問題から、三値論理回路が中心となっている。したがって、本報告では三値論理回路が中心となっている。かなり多数の研究者が三値論理回路系を発表しているが、それらの論理回路系に、ほとんど共通して含まれているものにANDとORがある。ANDは入力真理値群の最小の値を、ORは最大の値を与える回路であり、いずれも、二値のダイオード回路によるANDとORと同様に回路実現される。

E. Mühldorf は、三値基本論理回路として $J_0(x)$, $J_1(x)$, $J_2(x)$, AND, OR を採用して三値完全論理回路系を構成している。⁽⁶⁾⁽⁷⁾ これらの基本回路は、Trおよびダイオードによって構成され、これらによって三値半加算器が構成されている。図1. (a), (b), (c), (d)は $J_0(x)$, $J_0(x) \text{ OR } J_1(x)$, $J_1(x)$, $J_2(x)$ の回路をそれぞれ示している。Mühldorfによる三値回路系は、Trを用いたものとしては最古の部類に属している。三値論理回路を開発した理由として、Mühldorf は三値が2値に最も近い整数値系であることをあげている。

0. Lowenschuss

は, Rut3 の Tr を
用いた三値論理
回路を提案して
いる。⁽⁹⁾ Rut3 の Tr
の特性は, 図2
に示すようにも
のごおり, その
図においての,
 I_e, I_{c1}, I_{c2}
の関係も真理値
表示すると下表

I_e	I_{c1}	I_{c2}
0	0	0
1	1	0
2	0	1
3	1	1
4	1	1

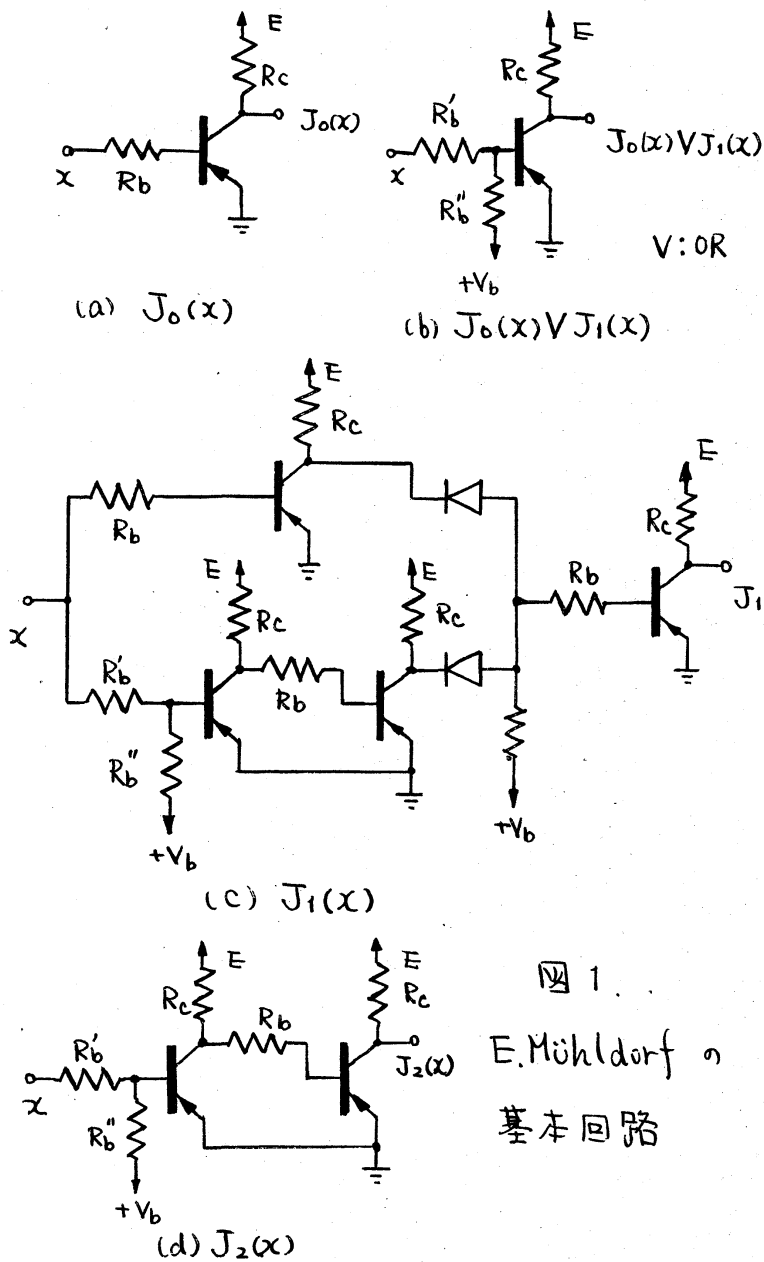


図1.

E. Mühldorf の
基本回路

に示すようになる。この Rut3 の Tr を用いて構成した三値論理
回路の1例を図3に示す。図3に示された回路による論理演
算の真理値表示を表1に示す。この回路において, Tr の結合
を変えらることにより異った演算が行われる。その例を表2

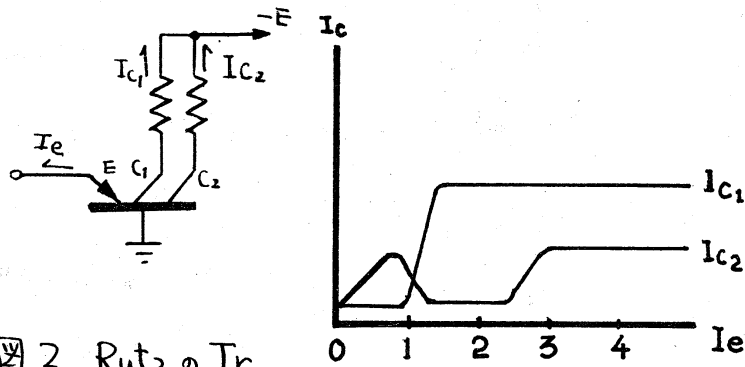


図2 Rut3のTr.

に示す。これらの論理演算を用いての展開定理が示され、Mod 3の直列加算器の構成が示

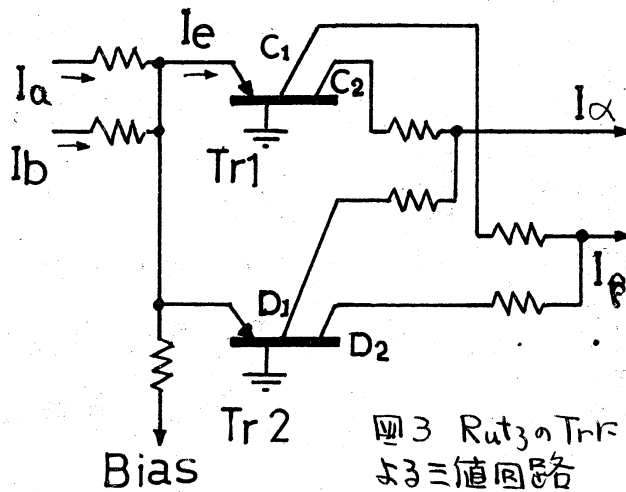


図3 Rut3のTrによる三値回路

されている。また、発振回路を制御することによって記憶回路も示している。

表1. 図3の回路の真理値表示

I_e	I_{C1}	I_{C2}	I_{D1}	I_{D2}	I_α	I_β
0	0	0	0	0	0	0
1	1	0	0	0	1	0
2	0	1	1	0	0	2
3	1	1	0	1	2	1
4	1	1	1	1	2	2

表2. 図3の回路の変形回路 (C_1+D_1, C_2+D_2)の真理値表示

I_e	I_{C1+D1}	I_{C2+D2}	I_{C1+D1}	$\overbrace{I_a}^{0\ 1\ 2}$
0	0	0	$I_b \begin{cases} 0 \\ 1 \\ 2 \end{cases}$	$\begin{cases} 0 & 0 & 1 & 1 \\ 1 & 1 & 1 & 1 \\ 2 & 1 & 1 & 2 \end{cases}$
1	1	0		
2	1	1		
3	1	2		
4	2	2	I_{C2+D2}	$\overbrace{I_a}^{0\ 1\ 2}$
			$I_b \begin{cases} 0 \\ 1 \\ 2 \end{cases}$	$\begin{cases} 0 & 0 & 0 & 1 \\ 1 & 0 & 1 & 2 \\ 2 & 1 & 2 & 2 \end{cases}$

I_α	$\overbrace{I_a}^{0\ 1\ 2}$	I_β	$\overbrace{I_a}^{0\ 1\ 2}$
$I_b \begin{cases} 0 \\ 1 \\ 2 \end{cases}$	$\begin{cases} 0 & 0 & 1 & 0 \\ 1 & 1 & 0 & 2 \\ 2 & 0 & 2 & 2 \end{cases}$	$I_b \begin{cases} 0 \\ 1 \\ 2 \end{cases}$	$\begin{cases} 0 & 0 & 0 & 2 \\ 1 & 0 & 2 & 1 \\ 2 & 2 & 1 & 2 \end{cases}$

R. P. Hallworth & F. G. Heath は、NPNおよびPNPのTrを用い

て三値論理回路系を構成している。⁽¹⁰⁾ 基本論理としては, Inverter, Cycling gate, Coincident detector (一方の入力を反とするは JK(X) にもなる) などを用いている。また, 入出力電圧 V に対して, $V \geq 1.5V$ のとき真理値 0 を, $0.6V \geq V \geq -0.6V$ に対して 1, $V \leq -1.5V$ に対して 2 を与えている。これらの基

本回路とは別に, Mod 3 の半加算および Carry 回路を構成している。また, Inverter を用いて三安定回

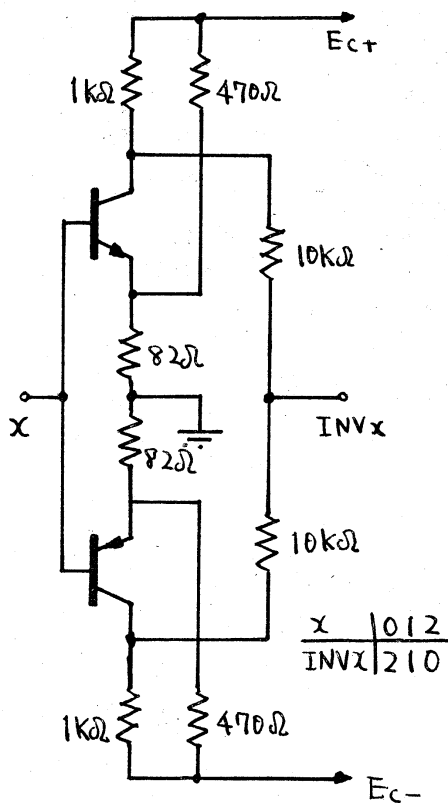


図4 Inverter

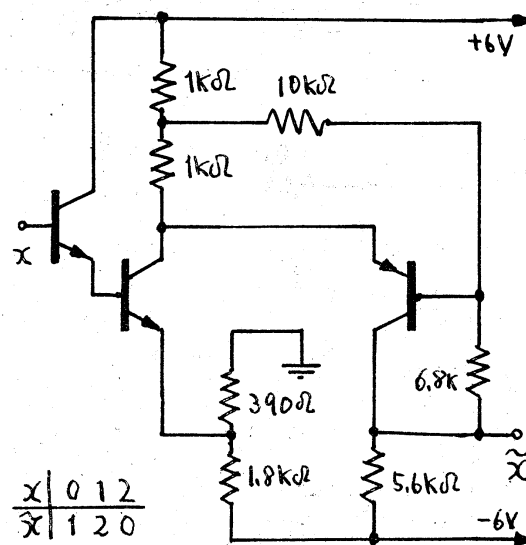


図5. Cycling gate

路を構成し, シフトレジスタの構成法も示している。図4および図5に, それぞれ, Inverter と Cycling gate を示す。

常本らは, 完全系をなしている論理回路系として, Mod.3 の半加算器, 半積器を構成している。⁽¹¹⁾ これらの回路を図6お

よび図7に示す。これらの回路の特長は、キャリイ回路を半

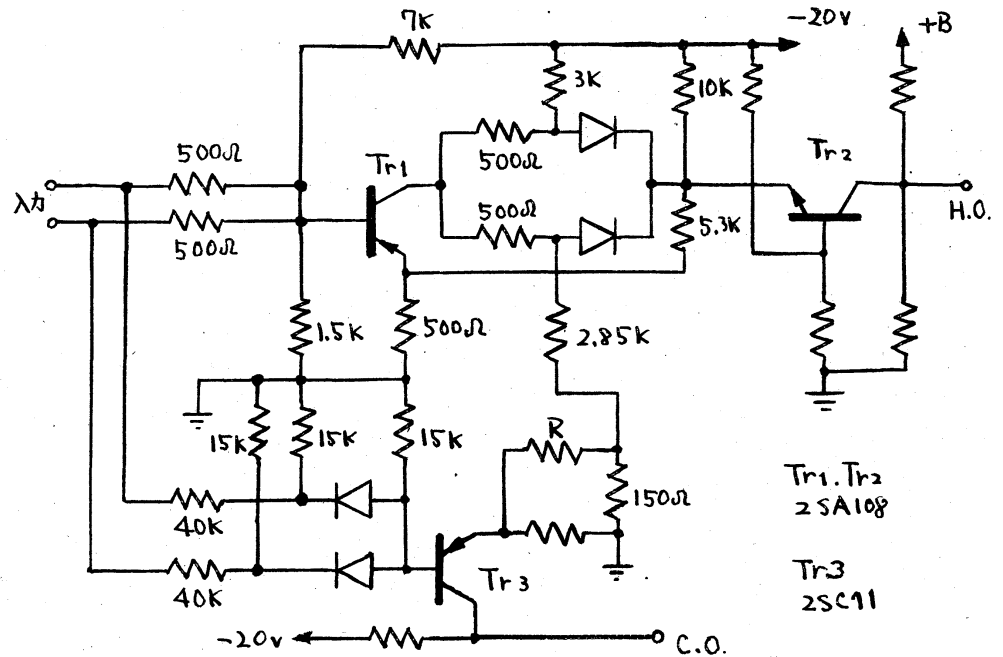


図6 半加算およびキャリー回路

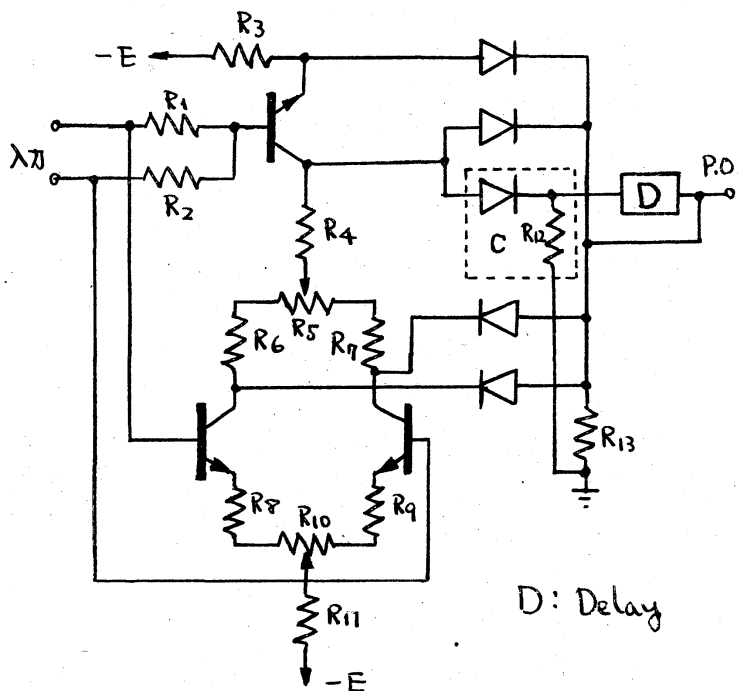


図7 半積およびキャリイ回路

加算回路あるいは半積回路から分離してあるのではなく、全体に Built-in してある点である。

三根の構成した三値論理回路系は、PNPあるいはNPNの一方の形の4のTrとシリコンゲイオード、

ツエナ-グイオード⁽¹²⁾などを使用している。構成されている基

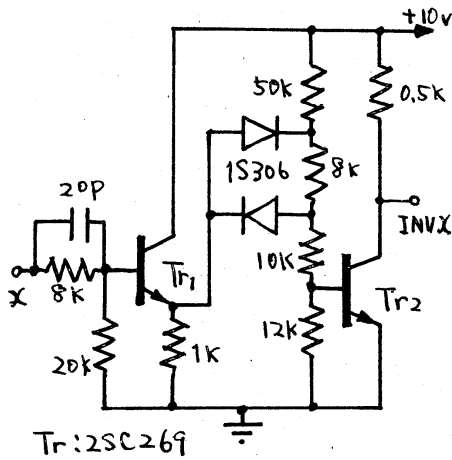


図8 Inverter

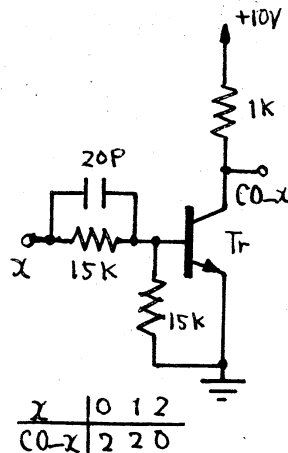


図9 -Contrary

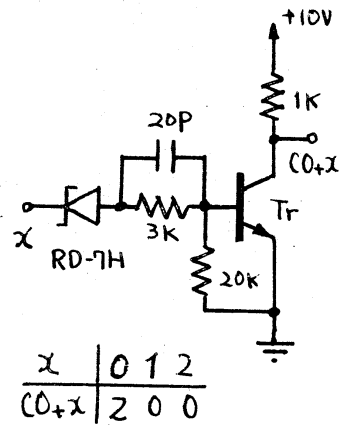


図10 +Contrary

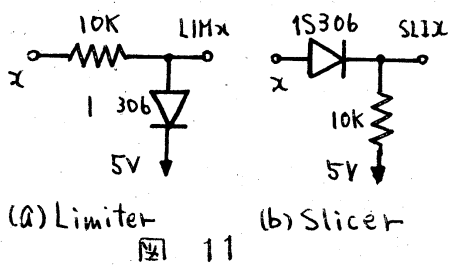


図11

X	0	1	2
LIMX	1	1	2

X	0	1	2
SLIX	0	1	1

本回路は, Inverter,
-Contrary, +Contrary,
Limiter, Slicer
である。これらは

完全論理回路系としては冗長なものであるが, 回路実現の容易さを目的としているため冗長になっている。基本論理回路は図8~11に示されているが, ここでは, 表3に示すような真理値, 電圧, 数値対応を採用している。これらを用いて,

表3. 真理値, 電圧, 数値の対応

真理値	+	0	-
電圧	高	中	低
数値	0	1	2

Mod.3の半加算器, 全加算器⁽¹³⁾, 数値を+1, 0, -1としたときの半加算器, 二値非同期半加算器⁽¹⁴⁾などと構成している。また, 二変数関数として OR·INV, AND·INV, などの回路も

基本演算回路として採用している。この論理回路系の特徴は、従来の二値非同期論理回路系では二値の二重系を採用しているのに対して、三値論理系によって非同期論理回路を構成することを目的の一つとしている点である。

A. Pugh は、二値論理回路およびブール代数を用いて三値論理回路を構成している。⁽¹⁵⁾ この考え方は新しいものではなく、多線論理などすでに発表されている。⁽¹⁶⁾⁽¹⁷⁾ この構成法の一般的形態は図12に示されている。この図において、Positive

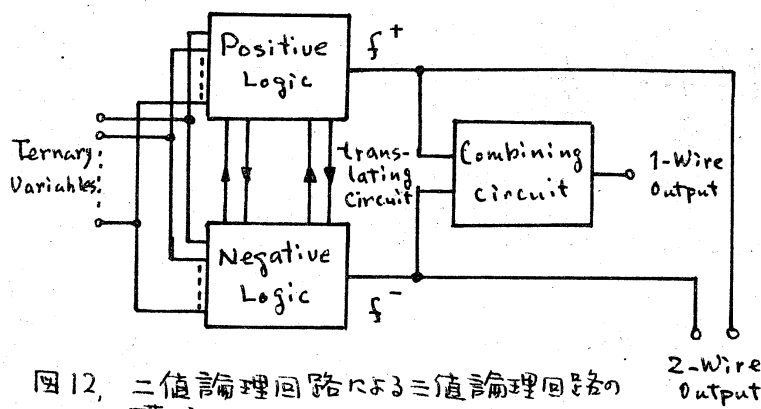


図12, 二値論理回路による三値論理回路の構成法

LogicおよびNegative Logicは二値論理回路であり、ブール代数を用いて構成される。Translating Circuitおよび一線

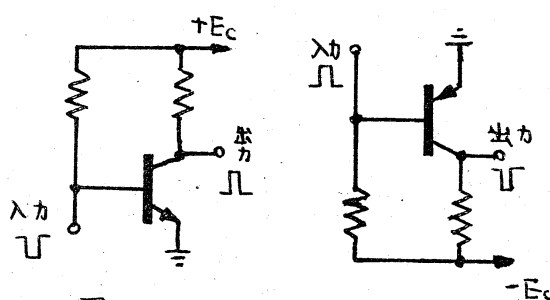


図13 Translating Circuits

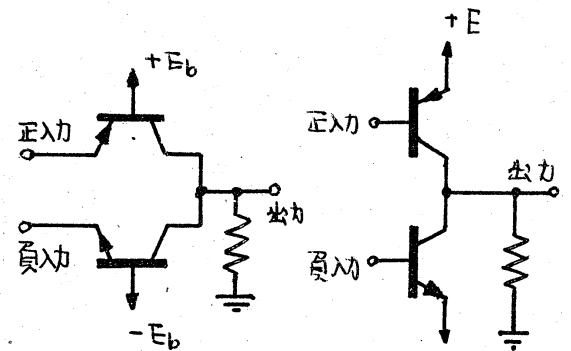
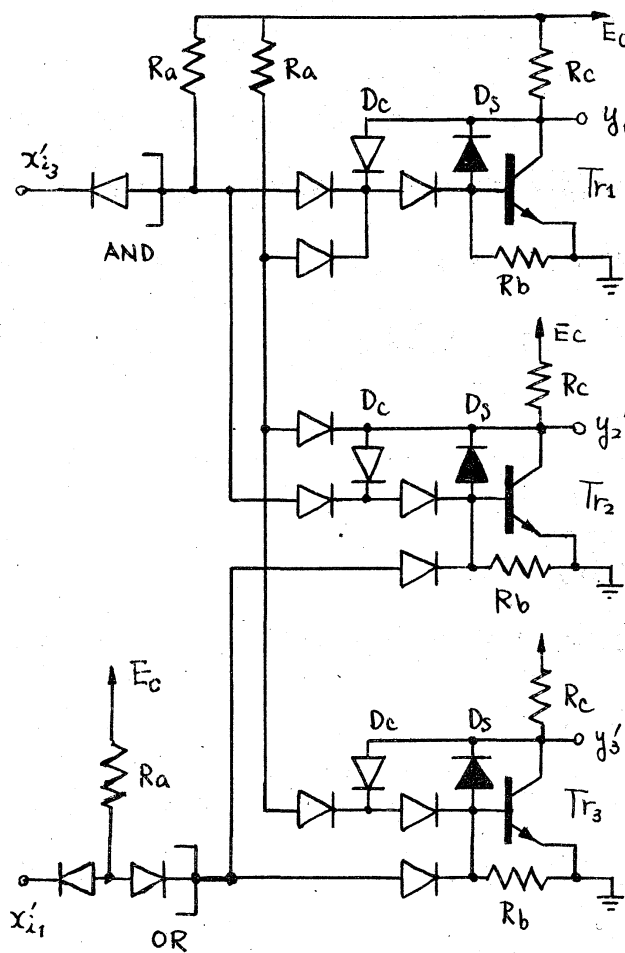


図14. Combining Circuits

式出力を得るための Combining Circuit とおおよそ図13, 14に示す。これらの回路によって三値半加算器を構成している。

この論理回路系の構成目的の一つは、二値による算術演算に比べて、三値による算術演算がすぐれた点と多く持つことに着目し、三値算術演算などの回路の実理を試みることである。

回路実現の容易さを求める三値論理回路系としては、原田らの三線式三値論理回路⁽¹⁸⁾も発表されている。これは、多線式論理によるもので、素演算として置換と束演算を用いてい



$$E_c = 6V, R_c = R_b = 3k\Omega, R_a = 1.5k\Omega.$$

$$Tr_1 \sim Tr_3 = 2SC269, D_s = 1S307, D_c = 1S953$$

図15 DTL形束演算回路

る。置換は6個存在するが、線の入れ換えによって簡単に実現できる。すなわち、三値を a, b, c で示すとすると、 a, b, c を入れ換えればよい。これらの a, b, c に順序をつける方法にも6種考えられるが、そのそれぞれに対して $\min(X_1, X_2, \dots, X_n)$ なる演算を考える。ここに、 X_i は a, b, c の値のいずれかとする三値変数であり、 $\min$ は最小の値を取ることを意味する。

6種の演算を、それらの性質から束演算と呼び、6種の置換とともに素演算とほっている。すべての束演算は一種の回路で実現される。入力変数 x_i ($i=1, 2, \dots, n$) および出力変数 y の三値信号をそれぞれ $(x'_{i1}, x'_{i2}, x'_{i3})$ および (y'_1, y'_2, y'_3) とし、 x'_{i1} および y'_1 , x'_{i2} および y'_2 , x'_{i3} および y'_3 がそれぞれ示す三値を a', b', c' とし、 $a' < b' < c'$ であるとする。この時、束演算の定義から、 y'_1, y'_2, y'_3 は次式で与えられる。ここに

$$y'_1 = x'_{11} \vee x'_{21} \vee \dots \vee x'_{n1}, \quad y'_2 = \overline{y'_1 \vee y'_3}, \quad y'_3 = x'_{13} \wedge x'_{23} \wedge \dots \wedge x'_{n3}$$

一、 $\vee, \wedge$ はそれぞれ二値論理における否定、論理和および論理積を示す。これを実現回路の実用性のため次のように変形し、回路実現をしている。この回路を図5に示す。この回

$$y'_1 = \overline{(x'_{13} \wedge x'_{23} \wedge \dots \wedge x'_{n3}) \vee y'_2}$$

$$y'_2 = \overline{(x'_{13} \wedge x'_{23} \wedge \dots \wedge x'_{n3}) \vee (x'_{11} \vee x'_{21} \vee \dots \vee x'_{n1})}$$

$$y'_3 = \overline{(x'_{11} \vee x'_{21} \vee \dots \vee x'_{n1}) \vee y'_2}$$

路を用いて三進全加算器および半加算器を構成し、この回路の修正によって三安定回路も構成し、これらによって三進可逆計数器の構成も行われている。また、Speed Independent logicのための論理基本回路も示している。この三値三線式論理回路をさらに展開させたものも発表されている。⁽¹⁹⁾

平山らは、電流切換形三値論理回路⁽²⁰⁾を発表している。ここでは、一変数関数を基本演算とするのではなく、二変数関

数も素演算としてゐる。素演算とほつてゐる二変数関数 φ は、

φ の真理値表を表4に示す。

表4 φ および $\bar{\varphi}$

	φ				$\bar{\varphi}$		
	0	1	2		0	1	2
0	1	0	0	0	2	0	0
1	2	1	0	1	2	2	0
2	2	2	1	2	2	2	2

これらの実現回路を図16 (a), (b)

に示す。多変数DR回路は、 φ 回路を用いて図17のように構成でき

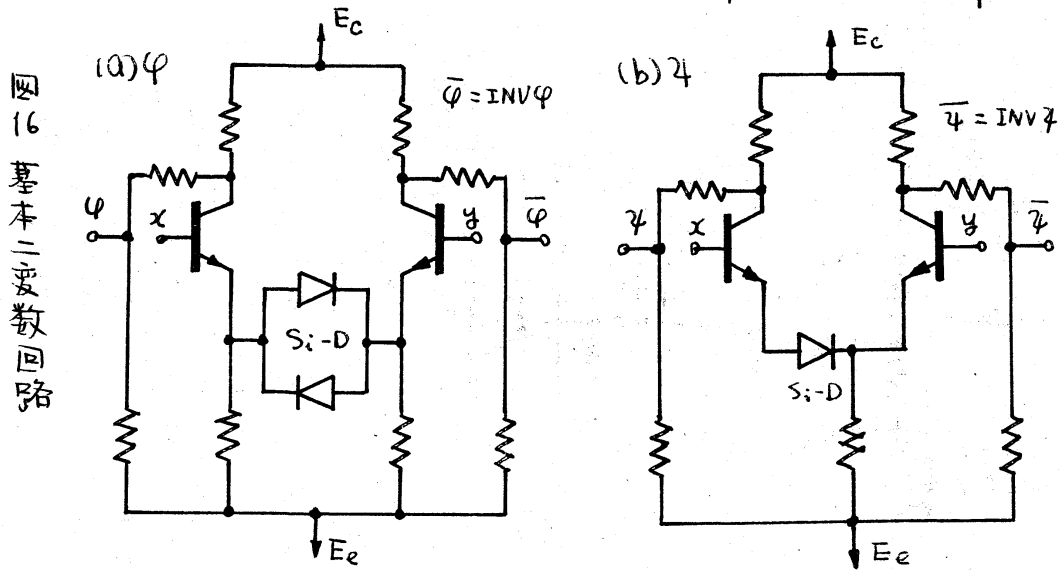


図16 基本二変数回路

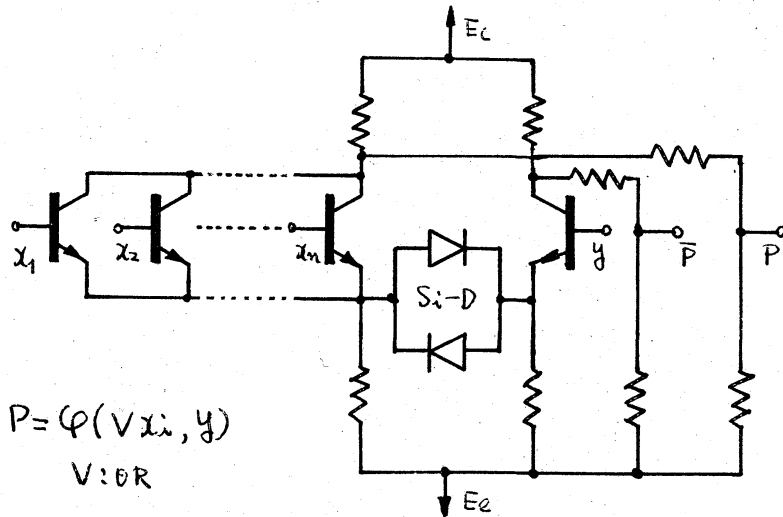


図17 多変数DR回路

る。以上の回路

を用いて T-gate

(2) を構成してい

る。また三値半

加算器の構成も

行なつてゐる。

φ 回路を用いた

三安定回路も示

している。これらの回路は、レベルの安定性、演算の高速性、簡単な構成などの特長をもつ。

今回は、一対の Tr を用いた三値基本演算回路を構成している。⁽²⁾ 図18に、相補 Tr 対による基本論理回路を、図19に同種 Tr 対によるものを示している。この基本回路と AND あるいは OR

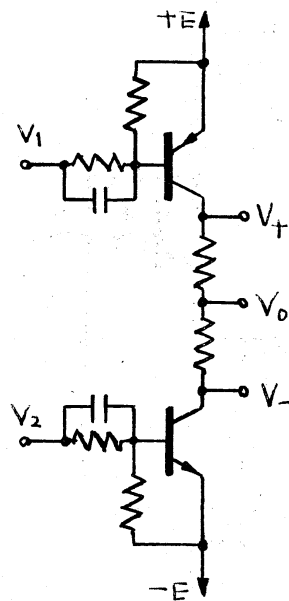


図18 相補 Tr 対を用いた回路

表示する。図19に示す回路は、図18に示す回路とは異なった論理演算を行なう。入力 x_1 , x_2 に対する出力を

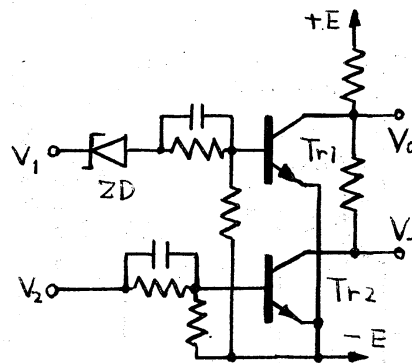


図19 同種 Tr 対を用いた回路

とによってすべての三値論理回路を構成できる。図18の回路において、入力電圧の組 (V_1, V_2) の表わす三値変数 x_1, x_2 とすると、出力電圧

V_+ , V_0 , V_- の入力電圧に対する関数関係 $f_+(x_1, x_2)$, $f_0(x_1, x_2)$, $f_-(x_1, x_2)$ が得られる。

これらの関数を表5, (a), (b), (c) に真理値

	x_1		x_1		x_1						
	- 0 +		- 0 +		- 0 +						
-	+	+	/	-	+	+	/	-	+	+	/
x_2 0	+	+	-	x_2 0	0	0	-	x_2 0	-	-	-
+	+	+	-	+	0	0	-	+	-	-	-

(a) $f_+(x_1, x_2)$ (b) $f_0(x_1, x_2)$ (c) $f_-(x_1, x_2)$

表5, 図18の回路の真理値表示。

$g_0(x_1, x_2)$, $g_-(x_1, x_2)$, (V_0 と V_- に対応)としたとき, これらの関数関係を表6(a), (b)に示す。

図19の回路の Tr_1 , Tr_2 に並列に

Tr を接続して, 二値論理における

NOR回路に相当する三値完全回路 (a) $g_0(x_1, x_2)$ (b) $g_-(x_1, x_2)$

とすることが出来る。

表6. 図19の回路の真理

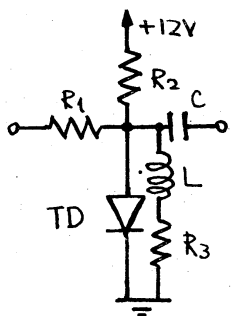
長谷川らは, トンネルダイオードの 値表示.

定電流源単安定回路を基本として三値論理回路系を構成して

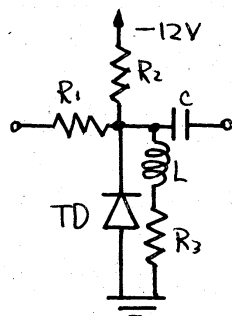
いる。⁽²³⁾基本単安定回路は, 正入力に対して正出力パルスと与

えるP形回路と, 負入力に対して負出力と与えるN形回路と

によりなっている。この回路を図20に示す。三値論理演算と



(a) P形基本回路
(Load lineの変更によ
りN形にもなる。)



(b) N形基本回路

図20 基本単安定回路

正演算と負演算に分割し,

それぞれの演算を, 二値論

理回路であるP形およびN

形の基本回路を用いて行な

う。この基本回路の他に,

トランスを用いた Inverter

も構成している。Inverterは, トンネルダイオード負荷のト

ンネルダイオード回路でも構成できる。これらのN形, P形

および Inverterを用いてバッファ増幅器, サイクリングゲー

ト, $J_R(x)$ 回路, Mod 3 半加算器などを構成している。また

これらの他に、三安定回路も構成している。トンネルダイオードは2端子回路要素であるために、入力と出力を分離するバックワードダイオードも重要な回路構成となっている。

上記の回路がトンネルダイオードとバックワードダイオードを中心に用いているのに対して、喜田村らは、トンネルダイオードとTrを結合させた三値論理回路を示している。⁽²⁴⁾ この三値論理回路を図21に示す。この回路の理想化された入出力

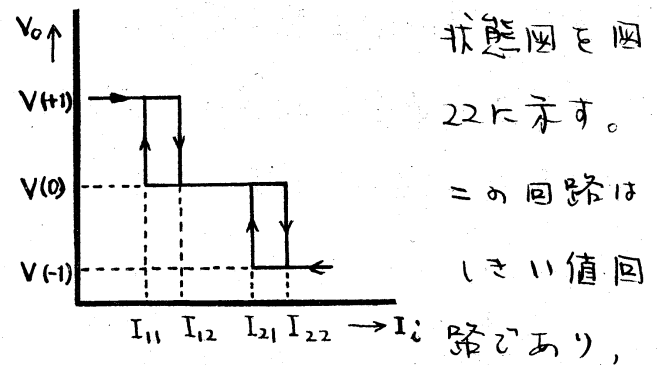
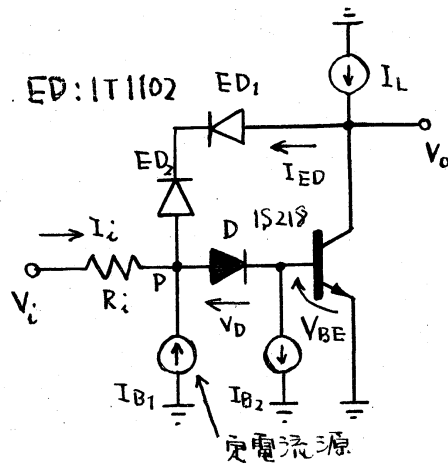


図22 理想化した図21 三値論理回路の入出力特性図

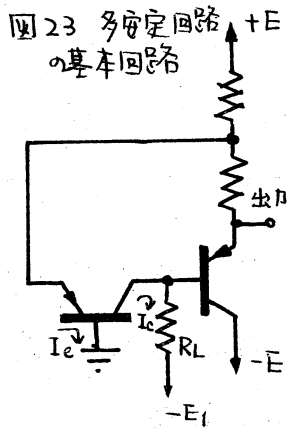
図21 三値論理基本回路 回路の入出力特性図と適当に選定することによって任意の一変数関数を実現することができ。また、回路構成も比較的簡単で高性能であり、バッファ増幅器などとも必要としないで縦続接続できる。

三値論理回路としてはJ.Santosらによるものもある。⁽²⁵⁾

3. 多安定回路

多安定回路は多値論理回路と比較して、その実用性のためより多くの研究が行われている。真空管回路による三安定回

路もいくつか開発されてゐるが、⁽²⁶⁾ 半導体を用いた多安定回路で最も早く提案されたものに属するものに、R.A. Henle の Tr による多安定回路がある。⁽²⁷⁾ この回路の基本的な表示を図23に示す。この回路の負荷 R_L に折線特性を持たせることによって



多安定回路として動作させることができる。

ツェナーダイオードなどにより折線特性を持つ負荷を構成できるが、ダイオードクランプ⁷⁰による構成を図24に示す。このときの Tr のコレクタ $V-I$ 特性を図25に示す。この多安定回路のトリガの方法は図26のように

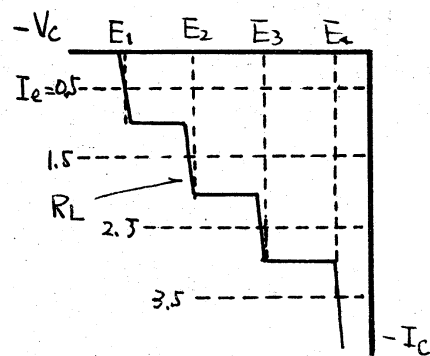
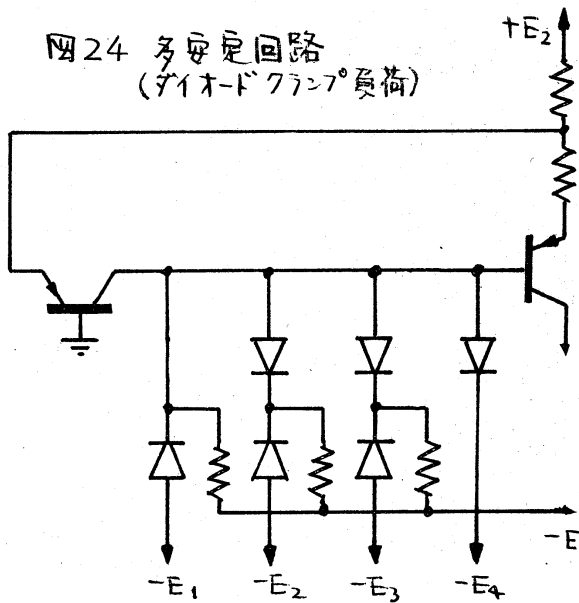
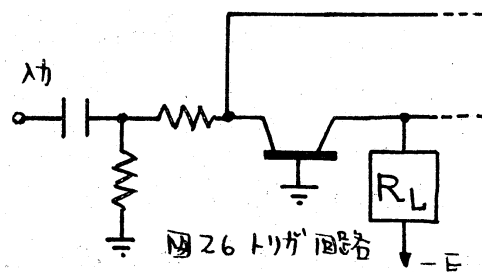


図25 折線負荷線を持つときのコレクタ $V-I$ 特性

なっている。

Hallworth & Heath も三安定回路を構成している。⁽¹⁰⁾ その回路を図



27に示す。この回路は、図4のInverterを中心に構成さ

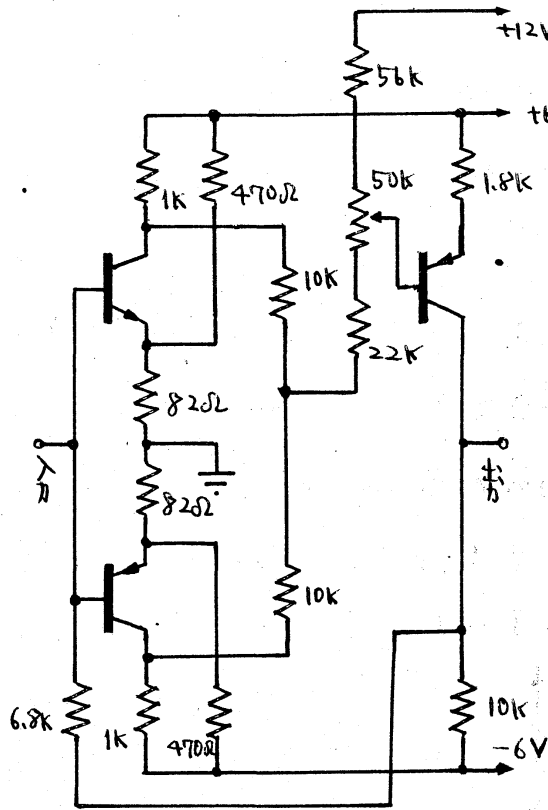


図27 三安定回路

に示す三安定回路では、図28に示すような形の波分入を¹⁹に入をResetに使用しなければならい。しかし、ミフトレジスタの構成としては充分可能である。⁽²⁸⁾

図28の回路はTD対を用いているが、Forrest Salterは1個のTDを用いて三安定回路を構

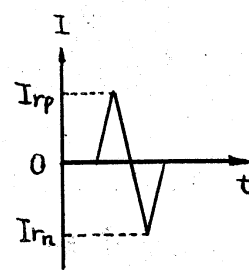


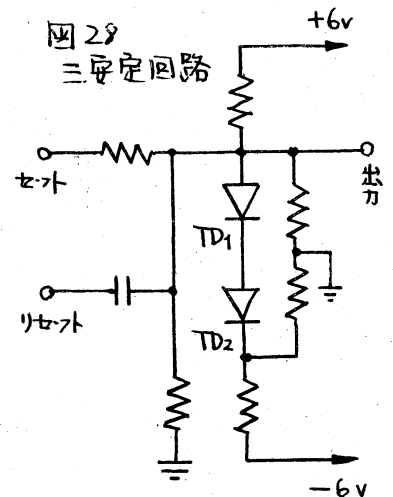
図29 Reset Pulse

成しているか、Resetの問題があると思われる。この三安定回路を用いた三値ミフトレジスタの構成も提案している。

トネルダイオードを用いた三安定回路を長谷川らが構成しているが、⁽²³⁾やはりResetに注意を充分用わなければならない。図27の回路では、

Resetのためには、入力を接地するか、Feedback loopを切

断しなければならい。図28



成している。⁽²⁹⁾ この回路は、図30のTD発振回路において、TDのV-I特性が図31に示されるように、負抵抗領域に正抵抗領域

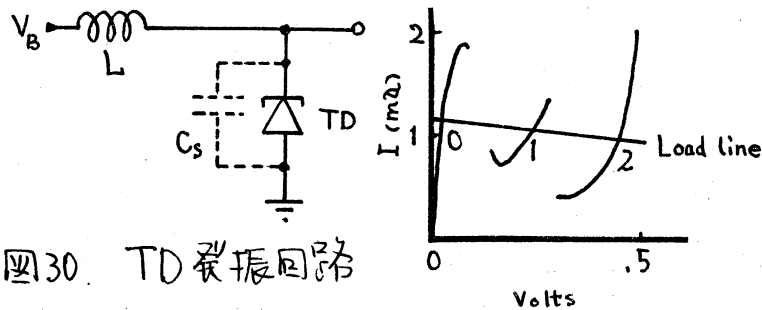


図30 TD発振回路

域が与えることと、図31. 発振しているTD

利用して三安定回路のV-I特性

路としている。この回路を図32に示す。

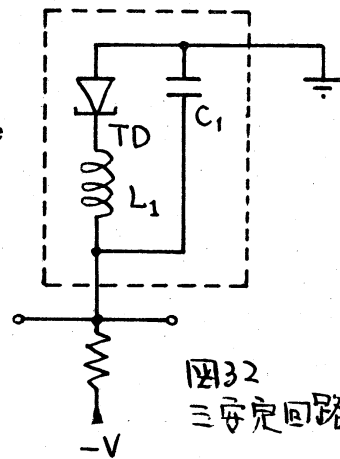


図32 三安定回路

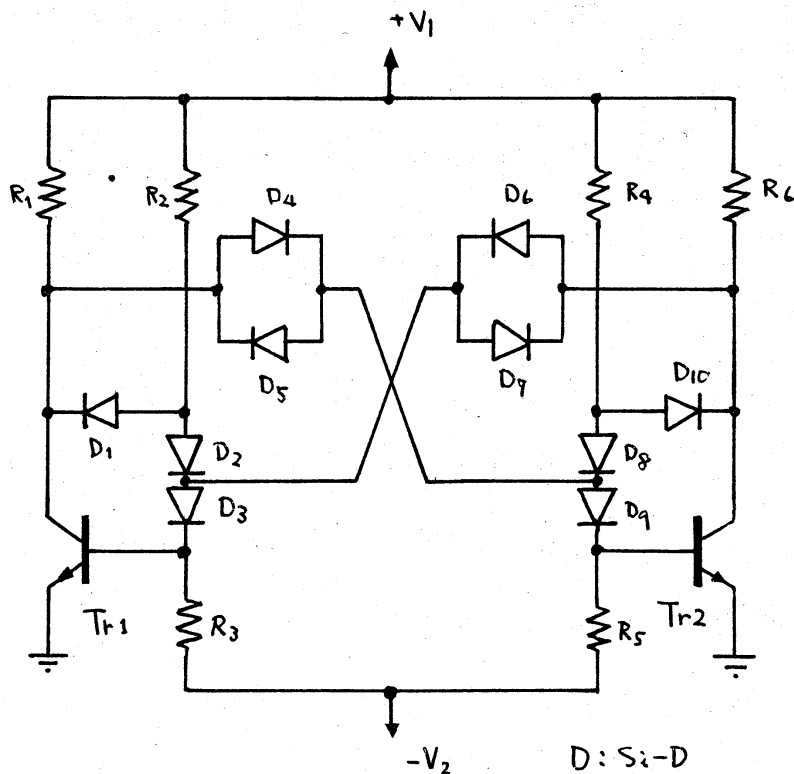


図33 三安定回路

使用を当初から目的として構成された三安定回路としては、D. M. Taub のものがあ⁽³⁰⁾る。この回路を図33に示す。この回路は、電子計算機のメモリのあ⁽³⁰⁾る種のものか、bipolar の読出し出力を

与えるが、その出力信号の蓄積などを目的として構成されたものである。この回路は、同種のT_rを用いること、トリガがしやすいことなどの特長をもっている。したがって、その回路設計の複雑さは、この回路の原形というべき二値のエクレス・ジョーゲン型フリップ・フロップとあまりかゝらない。

同じく、エクレス・ジョーゲン型フリップ・フロップの変形による三安定回路として、三根のものがあ⁽³¹⁾る。回路構成を図

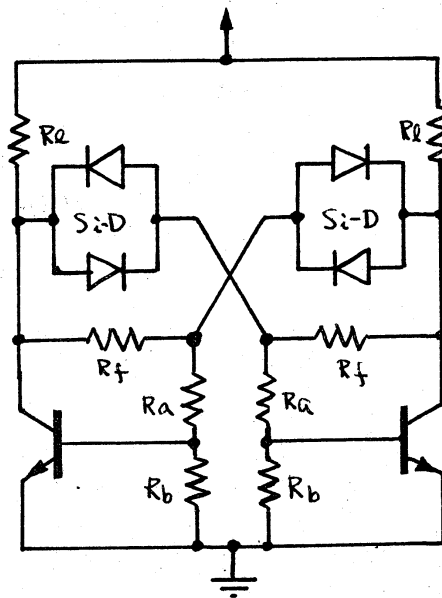


図34 三安定回路

34に示す。図34の回路も、図33の回路と同じく、双方のT_rが能動領域にあるとき、逆方向に並列接続されたS_i-D対によってループ利得を1以下にし、新しい安定領域を作っているが、その他の回路構成の違いにより、異なる特長が得られている。この回路はかなり実用性を持っており、三値シフト

レジスタの構成なども、二値の場合とほとんど同様に、容易に構成できる。この構成を図35に示し、これと図8~11に示した三値論理回路を用いて三値フィードバックシフトレジスタの構成がされている⁽³¹⁾。図36に、三値フィードバックシフトレジスタによってM系列生成回路も構成した際の生成三値M系

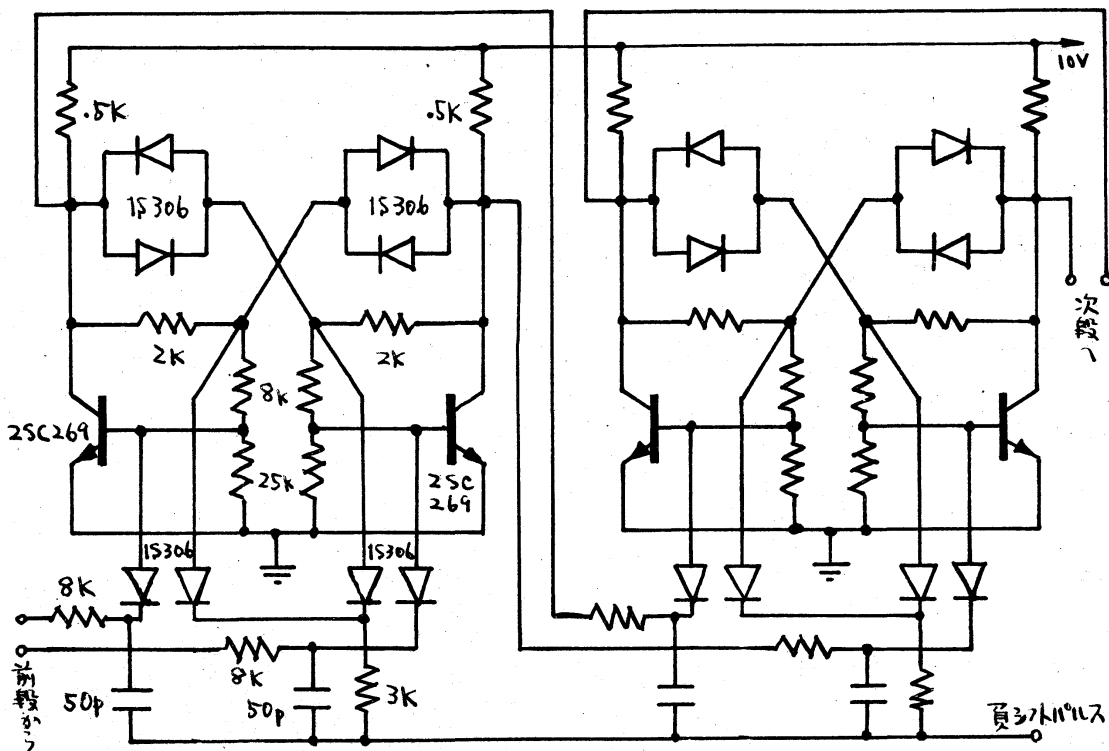


図35, 三値シフトレジスタ.

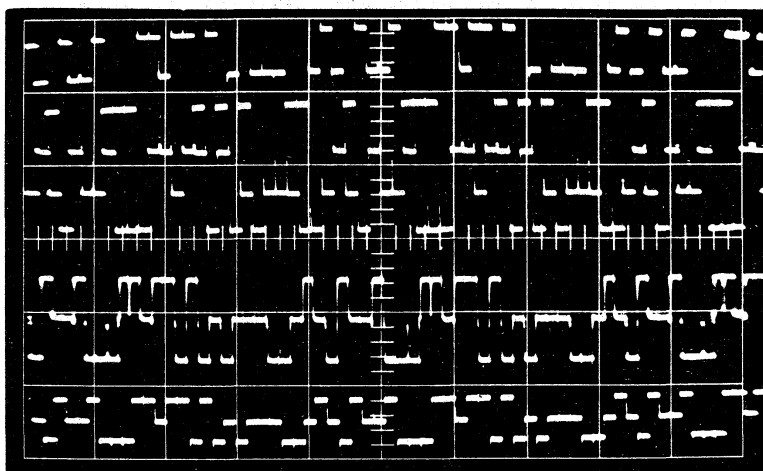


図36, 三値M系列 (Vertical: 10V/div. Hori: 50μs/div.)

列の一例を
 x_2 図36に示す。
 x_3 この回路は
 $f(x_2, x_3)$ 三値のフィードバック
 x_1 シフトレジスタを構成

し、フィードバックループに適当な論理回路を入れることにより、周期 $3^3 - 1 = 26$ のM系列を生成させるものである。⁽³¹⁾ 図34の回路により、二値のスタックストアも構成するこ

ともできる。⁽³²⁾ また、この回路の Tr を FET に置きかえても、三安定回路を構成することができ。⁽³³⁾

平山らは、電流切換形の三安定回路を構成している。⁽²⁹⁾ その回路を図 37 に示す。電流切換形論理回路として図 16 に示した ϕ 論理回路を修正したものであり、やはり高速動作が可能となっている。

原田らの三線式論理回路系のための三値情報蓄積回路の一線分の蓄積回路を図 38 に示す。⁽¹⁸⁾ この回路を三段に積みあげれば、三線式三値情報蓄積回路を構成することができ。この回路は、高速で安定に動作し、三進可逆計数器なども簡単に構成できる。

H. Arango らは、折線特性を持った負荷を用いて、三安定回路を構成し、三値シフトレジスタの構成法を提案して

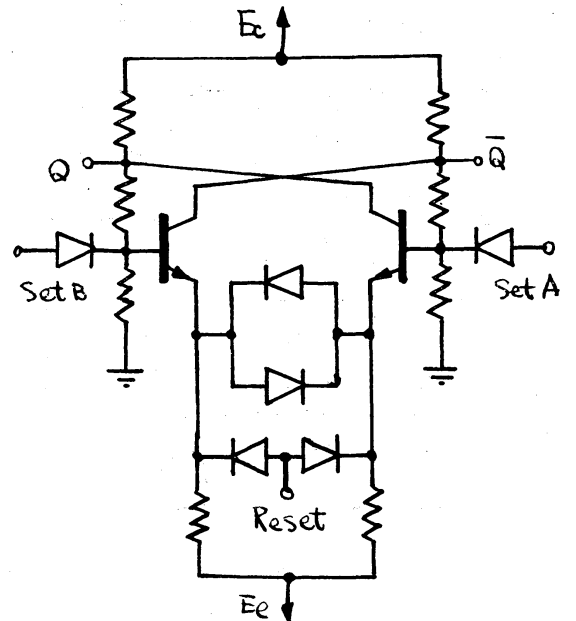


図 37. 電流切換形三安定回路

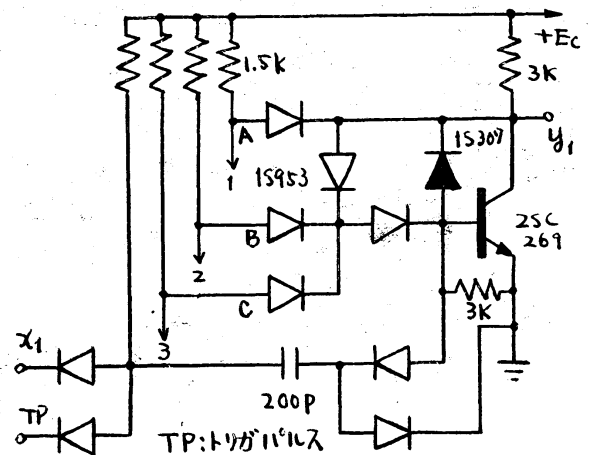
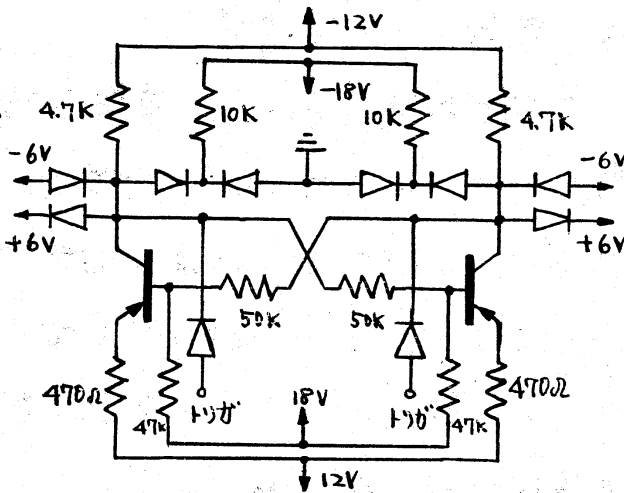


図 38. 三線式情報蓄積回路の基本回路 (図中、1 は、 x_2 系の B, x_3 系の C, 2 は A, B, 3 は C, A に接続される。)

11. (34) その回路を図39に示す。この回路において、 T_r の代わりにFETを用いた三安定回路の解析を田中⁽³⁵⁾が行なっている。実験結果との対応を示している。



本図では T_r あるいは FET のスイッチ回路を、PスイッチおよびNスイッチなる三端子スイッチ

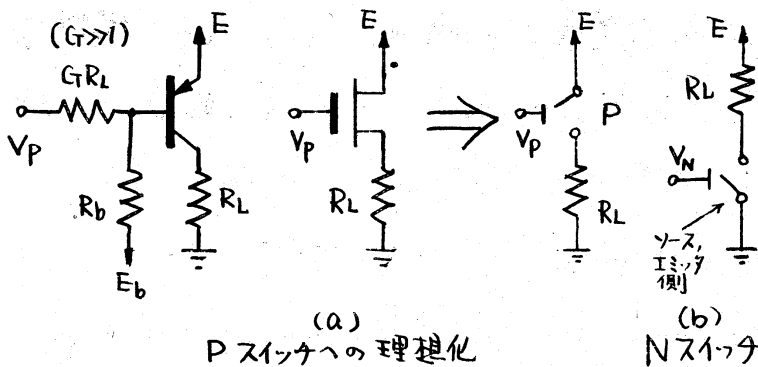


図40. 三端子スイッチへの理想化

への理想化を、図40に示すように行ない、それらの三端子スイッチによる多値基本回路構成を、図41に示すように提案している。⁽³⁶⁾ この回路を二個用いて多安定回路を構成することもでき、その例といえるFETによる三安定回路などが発表されている。⁽³⁷⁾⁽³⁸⁾

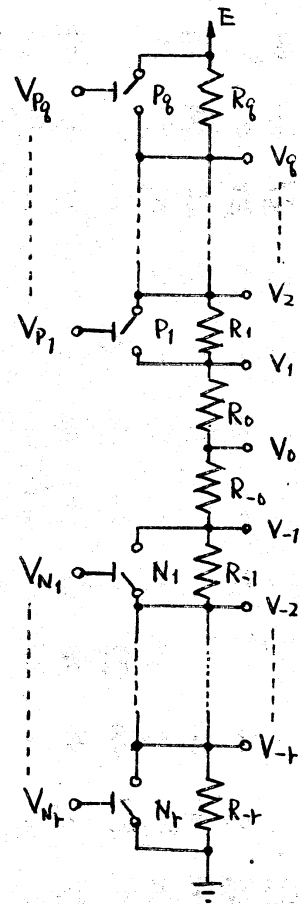


図41 多値基本回路

4. 検討およびまとめ

多安定回路も含めて、多値論理回路を開発していくために解決しなければならない問題はきわめて多岐にわたる。かつ大きなものである。回路の開発である以上、その使用目的がはっきりしたものでなければならぬ。その使用目的にあった、かつ何らかの意味で最適な素演算回路構成、それを用いた展開定理の構成などを行なわなければならない。

多値論理回路の使用目的にはつぎのよう なものが考えられる。即ち、非同期論理系の構成、非同期情報処理および伝送系の構成、奇数進法算術演算系の構成、Fail-Safe 論理系の構成などである。これらの目的のために回路を開発する際、信号形式（多レベル信号か多線信号か）の選定、展開方法の選定など解決しておかなければならない問題は多い。

非同期論理系の応用に関しては種々の研究がなされ、いくつかの論理回路が発表されている。⁽¹⁴⁾⁽¹⁸⁾⁽³⁹⁾ また、非同期情報処理および伝送系の応用に関してはいくつかの発表がある。⁽⁴⁰⁾⁽⁴¹⁾ 奇数進法の算術演算系は偶数進法系に比べてすぐれている点が多々あり、その目的のために三値論理系を構成したのである。⁽¹⁵⁾ また、島田らもこの目的のために三進算術演算系に対する提案を行なっている。⁽⁴²⁾ Fail-Safe 論理系への応用に関しては、本研究集会において、高岡、向殿、浦野

らか述べているように、多くの研究がなされてきた。

以上、これまで発表されてきた多値回路について概説したが、二値回路との比較、Speed Independent Logic 回路、Fail-Safe 論理回路、その他への応用については言及しなかった。種々の論理系の応用に関する文献は、前述のように多々あるが、二値論理系との比較については、三値の方が二値に近い整数値系であるという点以外に、もっと検討されなければならない。算術演算における三値の優越性については、島田らの他に、Setun なる三値計算機⁽⁴³⁾の出現や、W. Alexander⁽⁴⁴⁾や、N.P. Brusentov⁽⁴⁵⁾などの報告にも示されているが、この理論的優越性を具体化する Hardware の開発などが期待される。

ここで言及した多線式あるいは多レベル式多値信号形式の他に、連続信号の位相を変化させることによって多値信号を表現できる。また、三値の場合、任意の信号推移の際不要な信号を経由しないで推移できるようにできる。しかし、演算速度の低下、回路の複雑化などの欠点を生ずる。しかし、Fail-Safe 論理系構成のためには、この信号形式は有効であると思われる。

また、多値と多進の区別についても言及しなかったが、充分両者の差を認識しておかなければならない。

文献

- (1) C.E. Shannon: "A symbolic analysis of relay and switching Circuits,"
AIEE. Trans. 57, 1938.
- (2) 後藤, 「多値論理方程式の一般解の諸形式」電気試験所彙報,
20, 9, 昭31.
- (3) 安浦, 「継電器回路による多値命題論理の表現に就いて」九州大学
工学集報. 28, 5, 昭30.
- (4) 栗原, 「有限多値論理の電気回路による表現について」九州大学工学集報
28, 5, 昭30.
- (5) M. Yoeli: "Ternary-transmission contact networks," IEEE. Trans. CT, Sept. '65
- (6) E. Mühldorf: "Ternäre Schaltalgebra," Arch. elekt. Über. 12, 3, 1958.
- (7) —: "Schaltungen für ternäre Schaltvariable," Arch. elekt. Über. 12, 4, 1958.
- (8) R.F. Rutz: "Two-collector transistor for binary full addition," IBM Jour.
of Res. & Dev. 1, 3, 1957
- (9) O. Löwenschuss: "Nonbinary switching theory," IRE National Conv. Rec. pt.4.
1958
- (10) R.P. Hallworth & F.G. Heath: "Semiconductor circuits for ternary logic."
Proc. Instn. Elect. Engrs. Pt. C. 1962.
- (11) 佐藤, 長島, 新井, 堀江, 宮本, 「3値演算回路」昭39. 電気学会東支部
大会予稿
- (12) 三根, 長谷川, 池田, 新谷, 「三値論理回路の構成」電子通信論議文誌C.

51-C, 12, B643.

- (13) —: 「三値全加算器の構成」 電子通信学会全国大会論文集 B643.
- (14) —: 「三値論理回路とその二値非同期回路への応用」 電子通信学会電子計算機研究会資料. EC 67-29, 1967.
- (15) A. Pugh: "Application of binary devices and Boolean algebra to the realisation of 3-valued logic circuits," Proc. Instn. Elect. Engrs, 114, 3, 1967.
- (16) 三根, 長谷川, 古賀, 池田, 「三値論理回路の實現法について」 電子通信学会全国大会論文集. B640.
- (17) J. von Neumann: "Probabilistic logic and the synthesis of reliable organisms from unreliable components," Automata Studies, Princeton Univ. Press, 1956.
- (18) 原田, 島田, 爲貞, 「三線式三値論理回路について」 電子通信学会論文誌C, 52-C, 1, B644.
- (19) 島田, 「多値論理における置換と束演算について」 京大数理解析研究利用研究会「多値論理およびその応用」発表予定
- (20) 平山, 永井, 「電流切環形三値論理回路」 電子通信学会電子計算機研究会資料 EC 68-36, 1969.
- (21) C.Y. Lee & W.H. Chen: "Several-valued combinational switching circuits," Communication & Electronics (AIEE) 25, 1956.
- (22) 牟田, 「一対トランジスタを用いた三値基本演算回路」 電子通信学会論文誌C, 52-C, 9, B644.
- (23) 長谷川, 長岡, 千塚, 笠原, 「トネルダイオードを用いた三値論理回路」 通信学会誌, 47, 10, B629.
- (24) 喜田村, 寺田, 武井, 「エサキダイオード三値論理回路」 電子通信学会論文誌C, 52-C, 7, B644.

- (25) J. Santos, H. Arango & F. Lorenzo: "Threshold synthesis of ternary digital systems," IEEE Trans. on E.C. EC-15, 1, 1966
- (26) R. Weissman; "High-speed counter uses ternary notation," Electronics, Oct, 1952.
- (27) R. Henle: "A multistable transistor circuit," Electrical Eng'g, 74, 5, 1955.
- (28) 長谷川, 池田, 寺塚, 笠原. 「トネルダイオードを用いた三値三入力レジスタ」電気学会連合大会論文集. 昭40.
- (29) F. Salter: "A ternary memory element using a tunnel diode," IEEE, Trans. E.C. EC-13, 2, 1964.
- (30) D. M. Taub: "Tristable circuit with well defined triggering threshold," Proc. Instn, Elect, Engrs, 112, 2, 1965
- (31) 三根, 長谷川, 古賀, 池田, 新谷, 「三安定回路の構成, 解析 および三値フリップフロップレジスタへの応用」電子通信学会論文誌C, 52-C, 8, 昭44.
- (32) —: 「三安定回路の応用およびその周辺回路」電子通信学会電子計算機研究会資料. 昭43-01-23.
- (33) 三根, 長谷川, 池田, 新谷, 「FETを用いた三安定回路」電子通信学会論文誌C, 51-C, 11, 昭43.
- (34) H. Arango, J. Santos, "Threshold implementation of ternary systems," IEEE. Trans. EC, EC-15. 1966.
- (35) 田中, 田原 「三安定回路の位相面解析」電子通信学会論文誌C, 52-C, 11, 昭44.
- (36) 岸田, 中原 「三端子スイッチ素子による多安定回路の一構成法」電子通信学会論文誌C, 51-C, 5, 昭43.

- (37) 中原, 幸田, 「相補 MOS トランジスタによる三安定回路」電子通信学会誌, 50, 7, 昭42.
- (38) —, 「同種トランジスタによる2層ブリッドフロップ形三安定回路」電子通信学会誌, 50, 10, 昭42.
- (39) 島田, 豊島, 「三値 NAND を用いた Speed Independent Logic」電子通信学会
電子計算機研究会資料, EC-69-06, 昭44.
- (40) 三根, 長谷川, 古賀, 池田, 新宿, 「三安定回路を用いたエラストックメモリ」電気通信学会
通信方式研究会資料, 昭41-09-29.
- (41) 三根, 長谷川, 池田, 新宿, 「FET による三安定回路とそのバッファメモリへの応用」
電子通信学会通信方式研究会資料, 昭43-01-25.
- (42) R. Shimada, T. Hasegawa & H. Mine: "A system of ternary arithmetic operations,"
Proc. 3rd Hawaii International Conference on System Sciences, Pt. 2, 1970.
- (43) J. W. Carr & A. J. Perlis: "A visit to computation centers in the Soviet
Union," Comm. A.C.M. 2, June, 1959.
- (44) W. Alexander: "The ternary computer" J. IEE, 10, 1964.
- (45) N. P. Brusentov: "Ternary computer development experience,"
Vest. Mos. Gos. Univ. [1] 2, 1965.

謝辞

本報告の準備にあたって, また日頃の研究においても, 有益な御指導, 御助言を下さった京都大学三根 久教授, 徳島大学島田良作講師(日本学術振興会流動研究員として京都大学で研究中)に心から感謝の意を表す。